

第一章 开关理论基础

1. 将下列十进制数化为二进制数和八进制数

十进制	二进制	八进制
49	110001	61
53	110101	65
127	1111111	177
635	1001111011	1173
7.493	111.1111	7.74
79.43	10011001.0110111	231.334

2. 将下列二进制数转换成十进制数和八进制数

二进制	十进制	八进制
1010	10	12
111101	61	75
1011100	92	134
0.10011	0.59375	0.46
101111	47	57
01101	13	15

3. 将下列十进制数转换成 8421BCD 码

1997=0001 1001 1001 0111
65.312=0110 0101.0011 0001 0010
3.1416=0011.0001 0100 0001 0110
0.9475=0.1001 0100 0111 0101

4. 列出真值表，写出 X 的真值表达式

A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$X = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

5. 求下列函数的值

当 A,B,C 为 0,1,0 时:

$$\begin{aligned}\bar{A}B+BC &= 1 \\ (A+B+C)(\bar{A}+\bar{B}+\bar{C}) &= 1 \\ (\bar{A}B+A\bar{C})B &= 1\end{aligned}$$

当 A,B,C 为 1,1,0 时:

$$\begin{aligned}\bar{A}B+BC &= 0 \\ (A+B+C)(\bar{A}+\bar{B}+\bar{C}) &= 1 \\ (\bar{A}B+A\bar{C})B &= 1\end{aligned}$$

当 A,B,C 为 1,0,1 时:

$$\begin{aligned}\bar{A}B+BC &= 0 \\ (A+B+C)(\bar{A}+\bar{B}+\bar{C}) &= 1 \\ (\bar{A}B+A\bar{C})B &= 0\end{aligned}$$

6. 用真值表证明下列恒等式

(1) $(A \oplus B) \oplus C = A \oplus (B \oplus C)$

A	B	C	$(A \oplus B) \oplus C$	$A \oplus (B \oplus C)$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

所以由真值表得证。

(2) $\bar{A} \oplus \bar{B} \oplus \bar{C} = A \oplus B \oplus C$

A	B	C	$\bar{A} \oplus \bar{B} \oplus \bar{C}$	$A \oplus B \oplus C$
0	0	0	1	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

7. 证明下列等式

(1) $A + \bar{A}B = A + B$

证明: 左边 $= A + \bar{A}B$
 $= A(B + \bar{B}) + \bar{A}B$
 $= AB + A\bar{B} + \bar{A}B$
 $= AB + A\bar{B} + AB + A\bar{B}$
 $= A + B$
 $= \text{右边}$

$$(2) \quad ABC + A\bar{B}C + AB\bar{C} = AB + AC$$

$$\begin{aligned} \text{证明: 左边} &= ABC + A\bar{B}C + AB\bar{C} \\ &= ABC + A\bar{B}C + AB\bar{C} + ABC \\ &= AC(B + \bar{B}) + AB(C + \bar{C}) \\ &= AB + AC \\ &= \text{右边} \end{aligned}$$

$$(3) \quad A + \bar{A}\bar{B}\bar{C} + \bar{A}CD + (\bar{C} + \bar{D})E = A + CD + E$$

$$\begin{aligned} \text{证明: 左边} &= A + \bar{A}\bar{B}\bar{C} + \bar{A}CD + (\bar{C} + \bar{D})E \\ &= A + CD + A\bar{B}\bar{C} + \bar{C}\bar{D}E \\ &= A + CD + \bar{C}\bar{D}E \\ &= A + CD + E \\ &= \text{右边} \end{aligned}$$

$$(4) \quad \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C} + \bar{A}BC = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C}$$

$$\begin{aligned} \text{证明: 左边} &= \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C} + \bar{A}BC \\ &= (\bar{A}\bar{B} + \bar{A}\bar{B}\bar{C}) + \bar{A}BC + \bar{A}BC \\ &= \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C} = \text{右边} \end{aligned}$$

8. 用布尔代数化简下列各逻辑函数表达式

$$(1) \quad F = A + ABC + A\bar{B}\bar{C} + CB + \bar{C}\bar{B} = A + BC + \bar{C}\bar{B}$$

$$(2) \quad F = (A + B + \bar{C})(A + B + C) = (A + B) + C\bar{C} = A + B$$

$$(3) \quad F = ABC\bar{D} + ABD + BC\bar{D} + ABCD + B\bar{C} = AB + BC + BD$$

$$(4) \quad F = \overline{AC + \bar{A}\bar{B}\bar{C} + \bar{B}\bar{C} + \bar{A}BC} = BC$$

$$(5) \quad F = \overline{(A + B) + (A + \bar{B}) + (\bar{A}\bar{B})(\bar{A}\bar{B})} = \bar{A}\bar{B}$$

9. 将下列函数展开为最小项表达式

$$(1) \quad F(A, B, C) = \Sigma(1, 4, 5, 6, 7)$$

$$(2) \quad F(A, B, C, D) = \Sigma(4, 5, 6, 7, 9, 12, 14)$$

10. 用卡诺图化简下列各式

$$(1) \quad F = \overline{AC + \bar{A}\bar{B}\bar{C} + \bar{B}\bar{C} + \bar{A}BC}$$

AB		C			
		00	01	11	10
C	0	1	1	1	1
	1	0	0	0	0

化简得 $F = \bar{C}$

$$(2) F = \overline{A}BCD + A\overline{B}C\overline{D} + \overline{A}\overline{B} + \overline{A}\overline{D} + \overline{A}\overline{B}C$$

AB \ CD	00	01	11	10
00			1	1
01				1
11				1
10			1	1

化简得 $F = \overline{A}\overline{B} + \overline{A}\overline{D}$

$$(3) F(A,B,C,D) = \sum m(0,1,2,5,6,7,8,9,13,14)$$

AB \ CD	00	01	11	10
00	1			1
01	1	1	1	1
11		1		
10	1	1	1	

化简得 $F = \overline{C}D + \overline{B}C + \overline{A}BC + \overline{A}C\overline{D} + BC\overline{D}$

$$(4) F(A,B,C,D) = \sum m(0,13,14,15) + \sum \phi(1,2,3,9,10,11)$$

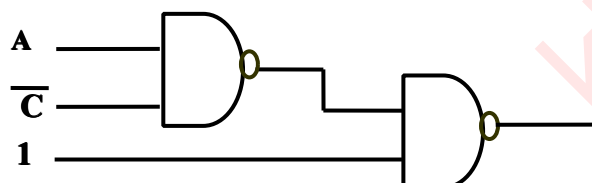
AB \ CD	00	01	11	10
00	1			
01	Φ		1	Φ
11	Φ		1	Φ
10	Φ		1	Φ

化简得 $F = \overline{A}\overline{B} + AD + AC$

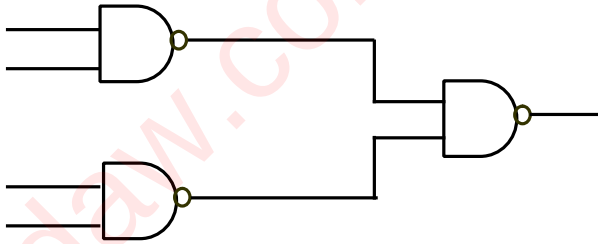
11. 利用与非门实现下列函数，并画出逻辑图。

$$(1) F = ABC\overline{C} + \overline{A}\overline{B}\overline{C} = \overline{\overline{A}\overline{B}\overline{C}} \cdot 1$$

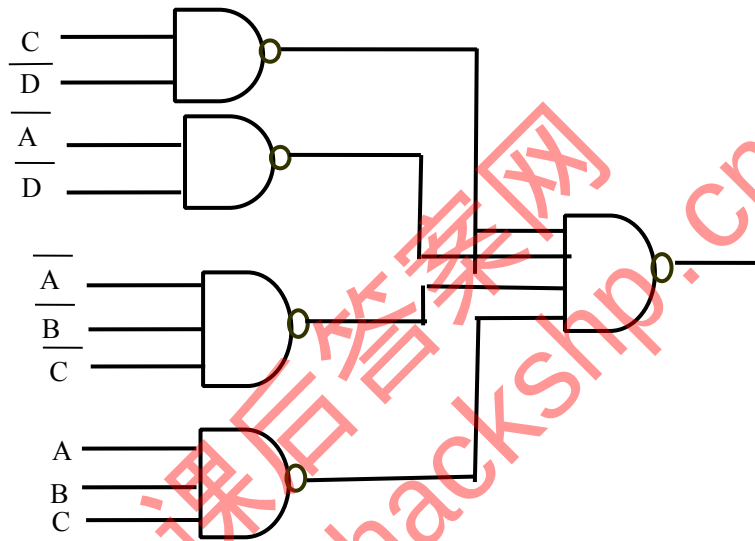
$$F \leq (A \text{ nand } (\text{not } C)) \text{ nand } 1$$



$$(2) F = \overline{(A+B)(C+D)} = \overline{(\overline{AB})(\overline{CD})}$$



$$(3) F(A,B,C,D) = \sum m(0, 1, 2, 4, 6, 10, 14, 15) = \overline{(CD)(AD)(\overline{ABC})(\overline{ABC})}$$



12. 已知逻辑函数 $X = \overline{A}B + B\overline{C} + C\overline{A}$ ，试用以下方法表示该函数

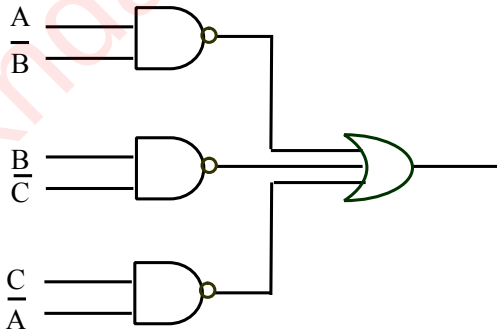
真值表：

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

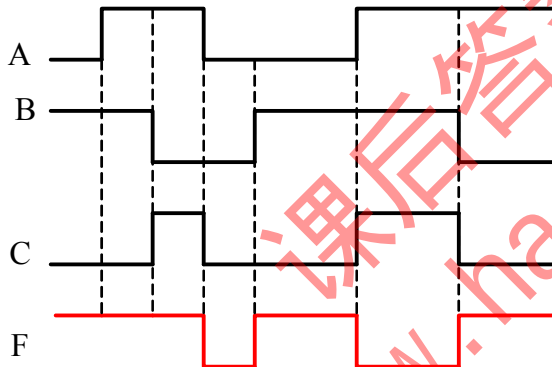
卡诺图：

AB					
C		00	01	11	10
0			1	1	1
1		1	1		1

逻辑图：



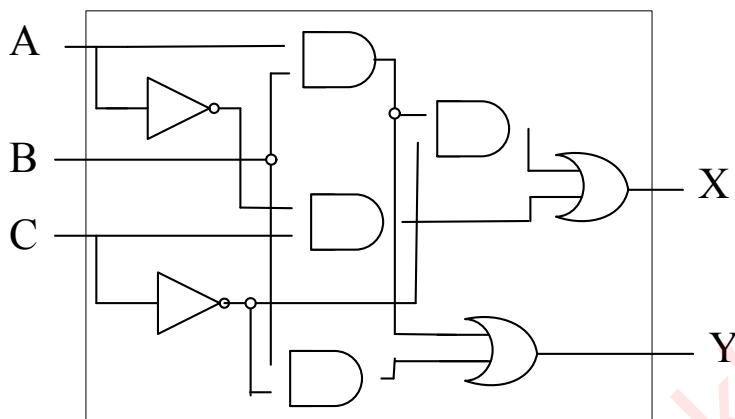
波形图

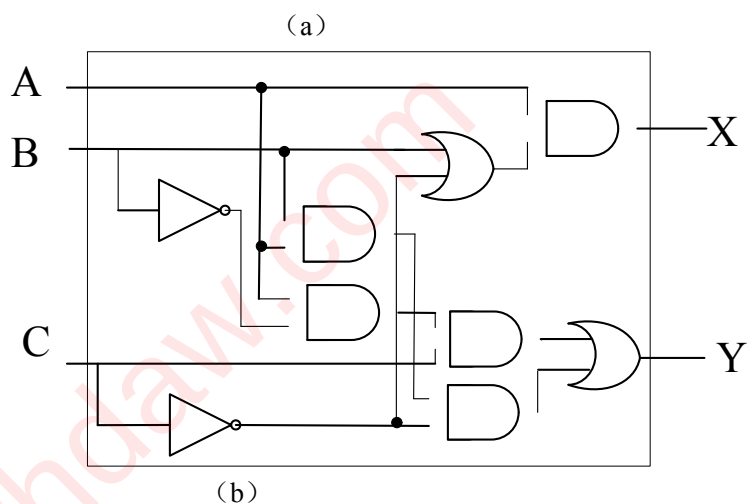


VHDL 语言

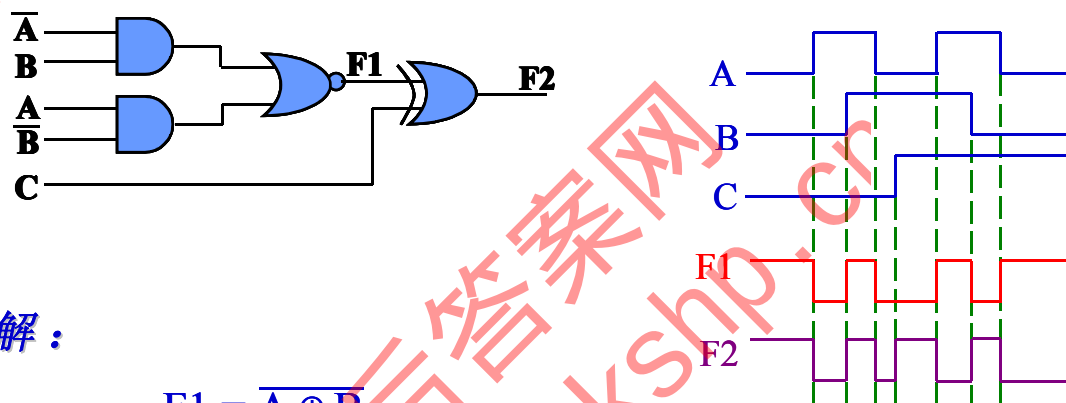
$X \leftarrow (A \text{ and not } B) \text{ or } (B \text{ and not } C) \text{ or } (C \text{ and not } A)$

13. 根据要求画出所需的逻辑电路图。





14..画出 F1,F2 的波形



解：

$$F1 = A \oplus B$$

$$F2 = F1 \oplus C$$

1-11 已知逻辑函数 $F = \overline{A}B + BC + C\overline{A}$ ，试用真值表、卡诺图和逻辑图表示该函数。

解：(1) 真值表表示如下：

输 入			输出
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

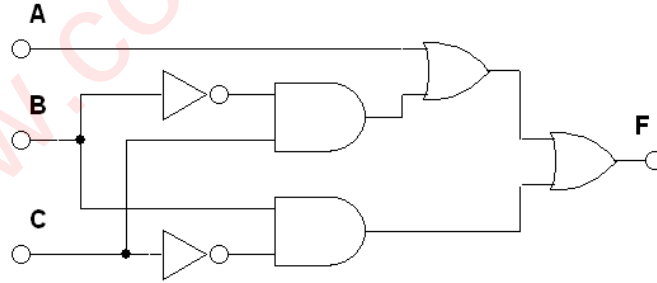
(2) 卡诺图表示如下：

A \ BC	00	01	11	10
0	0	1	0	1

$$1 \quad \begin{array}{|c|c|c|c|} \hline 1 & 1 & 1 & 1 \\ \hline \end{array}$$

由卡诺图可得 $F = A + \overline{B}C + B\overline{C} = \overline{\overline{A} \cdot \overline{\overline{B}C} \cdot \overline{B\overline{C}}}$

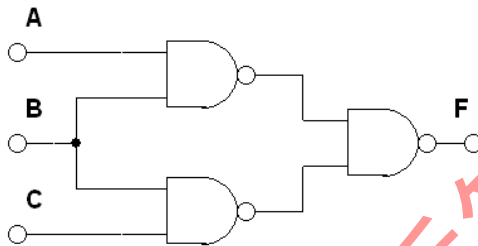
(3) 逻辑图表示如下:



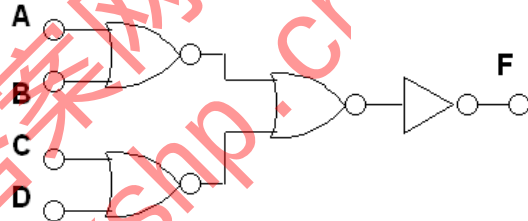
1-12 用与非门和或非门实现下列函数, 并画出逻辑图。

解: (1) $F(A, B, C) = AB + BC = \overline{\overline{AB} \cdot \overline{BC}}$

(2) $F(A, B, C, D) = \overline{(A+B) \cdot (C+D)} = \overline{\overline{\overline{A+B} \cdot \overline{C+D}}}$



题 1-12 (1)



题 1-12 (2)

1-14 利用公式法化简下列函数为最简与或式。

解: (2) $F = \overline{AC} + \overline{A}BC + \overline{B}C + ABC = \overline{AC} \cdot \overline{ABC} \cdot \overline{BC} + ABC$

$$= (\overline{A} + \overline{C}) \cdot (A + \overline{B} + \overline{C}) \cdot (B + \overline{C}) + ABC$$

$$= (\overline{A}B + \overline{A}C + \overline{A}C + \overline{B}C + \overline{C}) \cdot (B + \overline{C}) + ABC$$

$$= \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}C + \overline{A}B\overline{C} + \overline{A}C + \overline{B}C + \overline{B}C + \overline{C} + ABC$$

$$= \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}C + \overline{A}B\overline{C} + \overline{A}C + \overline{B}C + \overline{B}C + \overline{C} + ABC$$

$$= \overline{C}$$

解 (3) $F = AD + \overline{A}\overline{D} + AB + \overline{A}C + BD + ACE + \overline{B}E + DE$

$$= A + \overline{A}C + BD + \overline{B}E + DE$$

$$= A + C + BD + \overline{B}E$$

解 (5) $F = (A + B + C + D)(\overline{A} + B + C + D)(A + B + \overline{C} + D)$

$$\therefore F = ABCD + \overline{A}BCD + AB\overline{C}D = BCD + AB\overline{C}D = BCD + ABD$$

$$F = (B + C + D)(A + B + D) = AC + B + D$$

1-15 利用卡诺图化简下列函数为最简与或式。

解：(3) $F = (A + \bar{B} + \bar{C} + D)(\bar{A} + \bar{B} + C + D)(A + \bar{B} + \bar{C} + D)(A + B + \bar{C} + \bar{D})$

方法 1: $F = (A + \bar{B} + \bar{C} + D)(\bar{A} + \bar{B} + C + D)(A + B + \bar{C} + \bar{D})$

$= (\bar{A}\bar{B} + AC + AD + \bar{A}\bar{B} + \bar{B} + \bar{B}\bar{C} + \bar{B}D + \bar{A}\bar{C} + \bar{C}D + \bar{A}D + CD + D)(A + B + \bar{C} + \bar{D})$

$= (AC + \bar{B} + \bar{A}\bar{C} + D)(A + B + \bar{C} + \bar{D})$

$= AC + ABC + ACD + \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{B}D + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C} + \bar{A}\bar{C}D + AD + BD + \bar{C}D$

$= AC + \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{B}D + \bar{A}\bar{C} + AD + BD + \bar{C}D$

方法 2: $\bar{F} = \bar{A}BCD + \bar{A}\bar{B}CD + A\bar{B}CD$

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	0	0
10	0	0	0	0

$\bar{F}$ 的卡诺图

AB \ CD	00	01	11	10
00	1	1	0	1
01	1	1	1	0
11	0	1	1	1
10	1	1	1	1

F 的卡诺图

$F = AC + \bar{A}\bar{C} + BD + \bar{B}\bar{D} + AD$

解 (5) $F(A, B, C, D) = \sum(m_0, m_2, m_5, m_6, m_8, m_{10}, m_{12}, m_{14}, m_{15})$

AB \ CD	00	01	11	10
00	1	0	0	1
01	0	1	0	1
11	1	0	1	1
10	1	0	0	1

$F(A, B, C, D) = \bar{C}\bar{D} + \bar{A}\bar{D} + \bar{B}\bar{D} + ABC + \bar{A}\bar{B}CD$

1-16 (1) $F(A, B, C, D) = \sum(m_2, m_4, m_6, m_9, m_{13}, m_{14}) + \sum(d_0, d_1, d_3, d_{11}, d_{15})$

解：画出函数 F 的卡诺图如下：

AB \ CD	00	01	11	10
00	×	×	×	1
01	1	0	0	1
11	0	1	×	1
10	0	1	×	0

经化简可得 $F(A, B, C, D) = \bar{A}\bar{D} + AD + ABC$

1-16 (3) $F(A, B, C, D) = \sum(m_0, m_{13}, m_{14}, m_{15}) + \sum(d_1, d_2, d_3, d_9, d_{10}, d_{11})$

解：画出函数 F 的卡诺图如下：

AB \ CD	00	01	11	10
00	1	×	×	×
01	0	0	0	0
11	0	1	1	1
10	0	×	×	×

经化简可得 $F(A, B, C, D) = \overline{AB} + AD + AC$

1-18 (1) $Y = AB + AC + BC \quad Z = \overline{AB} + \overline{AC} + \overline{BC}$

解：画出函数 Y、Z 的卡诺图如下：

A \ BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Y 的卡诺图

A \ BC	00	01	11	10
0	1	1	0	1
1	1	0	0	0

Z 的卡诺图

由卡诺图可知： $Y = Z$

1-18 (2) $Y = (A + \overline{B} + C)(AB + CD) \quad Z = AB + CD$

解： $Y = (A + \overline{B} + C)(AB + CD) = AB + ACD + \overline{B}CD + ABC + CD$

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	1	1	1	1
10	0	0	1	0

Y 的卡诺图

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	1	1	1	1
10	0	0	1	0

Z 的卡诺图

由卡诺图可知： $Y = Z$

1-19 已知 A、B、C、D 是一个十进制数 X 的 8421BCD 码，当 X 为奇数时，输出 Y 为 1，否则 Y 为 0。请列出该命题的真值表，并写出输出逻辑函数表达式。

解：该命题的真值表如下：

(1) 不考虑无关项的情况下，输出逻辑函数表达式为：

$$F = \sum(m_1, m_3, m_5, m_7, m_9) = \overline{A}D + \overline{B}CD$$

(2) 考虑无关项的情况下，输出逻辑函数表达式为：

输 入				输出
A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

1-20 已知下列逻辑函数，试用卡诺图分别求出 Y_1+Y_2 和 $Y_1 \cdot Y_2$ ，并写出逻辑函数表达式。

$$(1) \begin{cases} Y_1(A, B, C) = \sum(m_0, m_2, m_4) \\ Y_2(A, B, C) = \sum(m_0, m_1, m_5, m_7) \end{cases}$$

解：分别画出 Y_1 、 Y_2 的卡诺图如下：

A \ BC	BC			
	00	01	11	10
0	1	0	0	1
1	1	0	0	0

Y_1 的卡诺图

A \ BC	BC			
	00	01	11	10
0	1	1	0	0
1	0	1	1	0

Y_2 的卡诺图

将 Y_1 、 Y_2 卡诺图中对应最小项相或，得到 Y_1+Y_2 的卡诺图如下：

A \ BC	BC			
	00	01	11	10
0	1	1	0	1
1	1	1	1	0

Y_1+Y_2 的卡诺图

由此可得

$$Y = Y_1 + Y_2 = \bar{B} + AC + \bar{A}C$$

将 Y_1 、 Y_2 卡诺图中对应最小项相与，得到 $Y_1 \cdot Y_2$ 的卡诺图如下：

A \ BC	00	01	11	10
	0	1	0	0
1	0	0	0	0

$Y_1 \cdot Y_2$ 的卡诺图

由此可得到

$$Y = Y_1 \cdot Y_2 = \overline{ABC}$$

$$(2) \begin{cases} Y_1(A, B, C, D) = \overline{ABCD} + \overline{BCD} + \overline{ABCD} + BCD \\ Y_2(A, B, C, D) = ABD + \overline{ABCD} + \overline{ABD} + \overline{ABCD} \end{cases}$$

解：分别画出 Y_1 、 Y_2 的卡诺图如下：

AB \ CD	00	01	11	10
	00	01	11	10
00	1	0	0	0
01	1	1	1	0
11	0	1	1	0
10	0	0	0	0

Y_1 的卡诺图

AB \ CD	00	01	11	10
	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	1	0	0	1

Y_2 的卡诺图

将 Y_1 、 Y_2 卡诺图中对应最小项相或，得到 $Y_1 + Y_2$ 的卡诺图如下：

AB \ CD	00	01	11	10
	00	01	11	10
00	1	0	0	0
01	1	1	1	0
11	0	1	1	0
10	1	0	0	1

$Y_1 + Y_2$ 的卡诺图

由此可得到

$$Y = Y_1 + Y_2 = BD + \overline{ABD} + \overline{ACD}$$

将 Y_1 、 Y_2 卡诺图中对应最小项相与，得到 $Y_1 \cdot Y_2$ 的卡诺图如下：

AB \ CD	00	01	11	10
	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

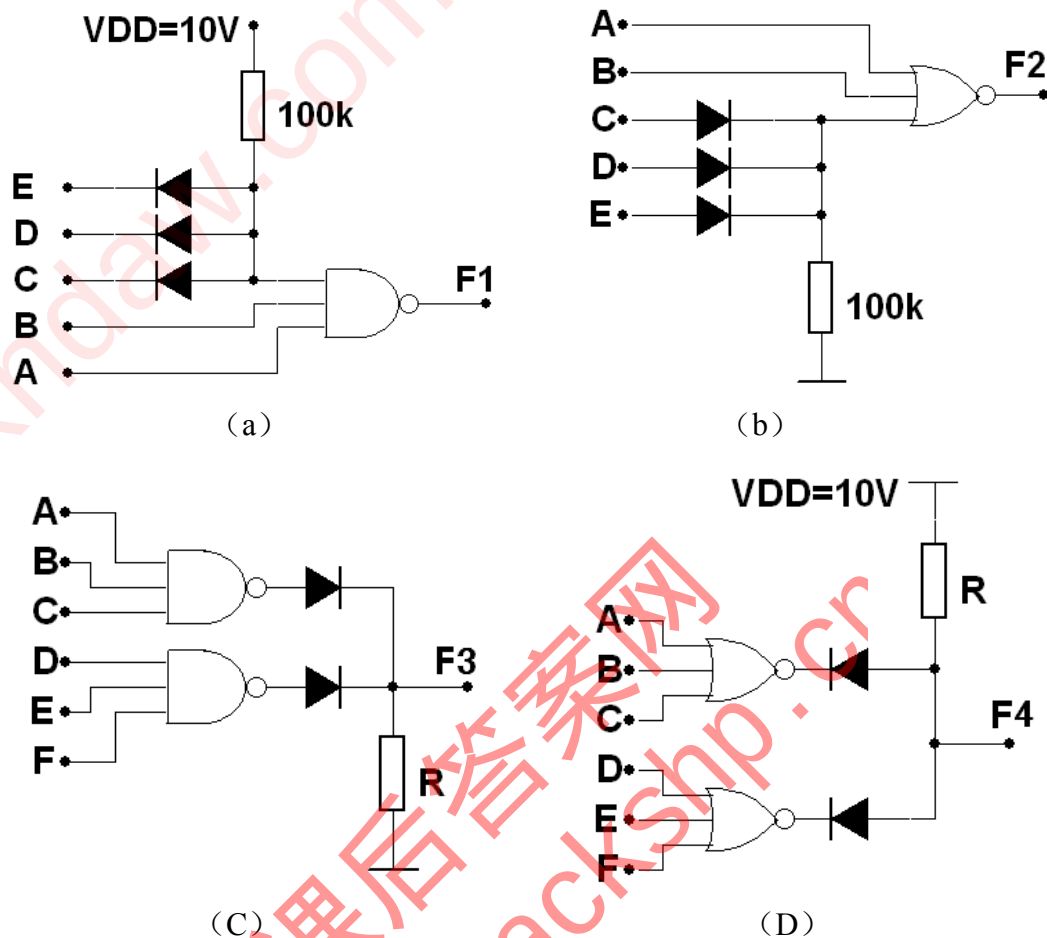
$Y_1 \cdot Y_2$ 的卡诺图

由此可得到

$$Y = Y_1 \cdot Y_2 = BD$$

第二章 逻辑门电路 作业及参考答案

2-5 图 2-74 所示逻辑门均为 CMOS 门电路，二极管均为硅管。试分析各电路的逻辑功能，写出输出 $F_1 \sim F_4$ 的逻辑表达式。



解：

(a) $F_1 = \overline{ABCDE}$

(b) $F_2 = \overline{A+B+C+D+E}$

(c) $F_3 = \overline{ABC} + \overline{DEF} = \overline{ABCDEF}$

(d) $F_4 = \overline{A+B+C+D+E}$

P93:

2-6 上题中使用的扩展功能的方法能否用于 TTL 门电路？试说明理由。

答：(a) 不可以。如果 VDD 改为 5V 即可。

(b) 不可以。100kΩ 大于开门电阻 R_{ON} ，所以当 CDE 均为低电平时，或非门最下方的输入端仍然为高电平。

(c) 可以， F_3 输出高电平电压为 $3.6V - 0.7V = 2.9V$ 。

(d) 不可以。如果 VDD 改为 5V 即可。

2-8 根据图 2-76 (a) 所示 TTL 与非门的电压传输特性、输入特性、输出特性和输入端数在特性，求出图 2-76 (b) 中的输出电压 $v_{01} \sim v_{07}$ 的大小。

解：

$$\begin{aligned} v_{01} &= 0.2V & v_{02} &= 3.6V & v_{03} &= 0.4V & v_{04} &= 3.6V & v_{05} &= 3.6V \\ v_{06} &= 3.6V & v_{07} &= 0.4V \end{aligned}$$

P94:

2-10 用 OC 与非门实现的电路如图 2-78 所示, 分析逻辑功能, 写出逻辑表达式。

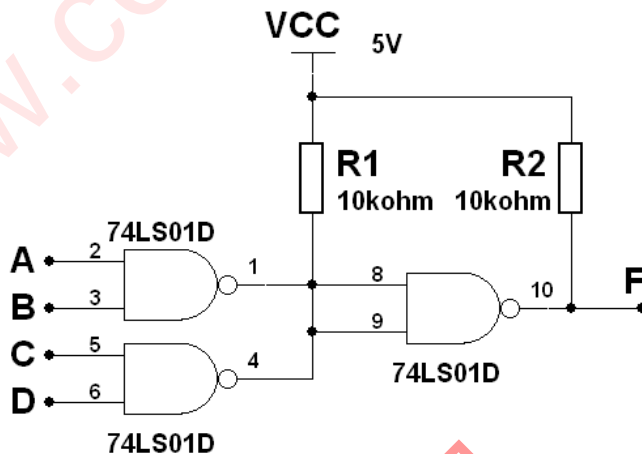


图 2-78

解: $F = \overline{\overline{AC} \cdot \overline{BD}} = AC + BD$

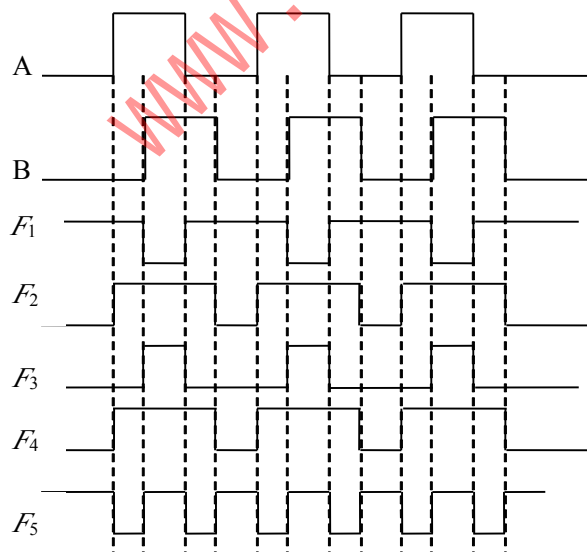
P95:

2-13 已知门电路及其输入 A、B 的波形如图 2-81 所示, 试分别写出输出 $F_1 \sim F_5$ 的逻辑函数表达式, 并画出它们的波形图。

解: 分别列出 $F_1 \sim F_5$ 函数表达式如下:

$$F_1 = \overline{AB} \quad F_2 = A + B \quad F_3 = \overline{\overline{A} + \overline{B}} = AB \quad F_4 = \overline{\overline{A} \cdot \overline{B}} = A + B \quad F_5 = A \oplus B$$

然后画出 $F_1 \sim F_5$ 的波形图如下:



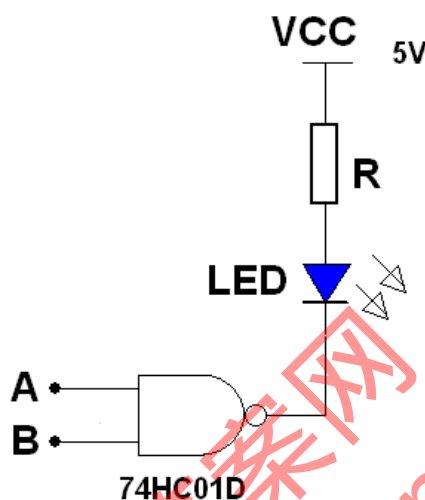
2-16 由 TTL 门和 CMOS 门构成的电路如图 2-84 所示, 试分别写出逻辑表达式或逻辑值。

解:

$$F_1 = AB \quad F_2 = \overline{A} \quad F_3 = 1 \quad F_4 = B$$

P96:

2-17 已知发光二极管导通时的电压降约为 2.0V，正常发光时需要约 5mA 的电流。当发光二极管如图 2-85 那样连接时，试确定上拉电阻 R 的电阻值。



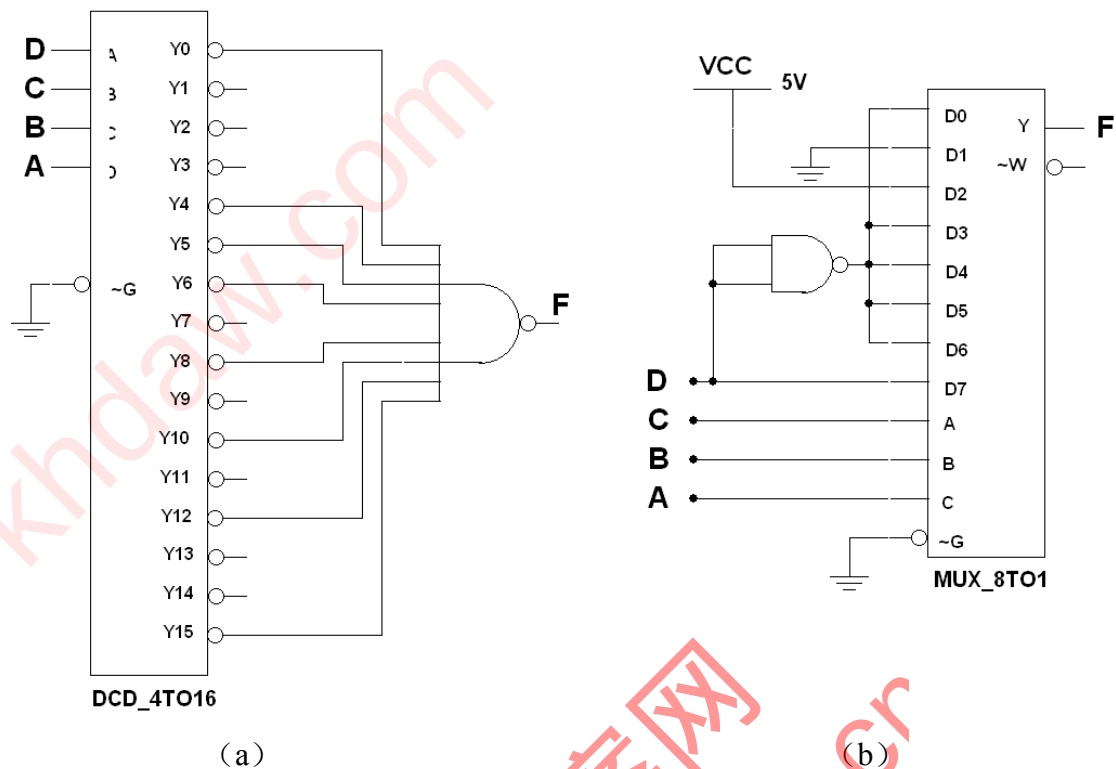
解: $R \approx \frac{V_{CC} - 2V}{5mA} = \frac{3V}{5mA} = 0.6k\Omega = 600\Omega$ (忽略门电路输出低电平 V_{OL})

第三章 逻辑门电路 作业及参考答案

(2008. 10. 15、16)

P151:

3-3 试说明图 3-36 所示两个逻辑电路图的逻辑功能相同吗?



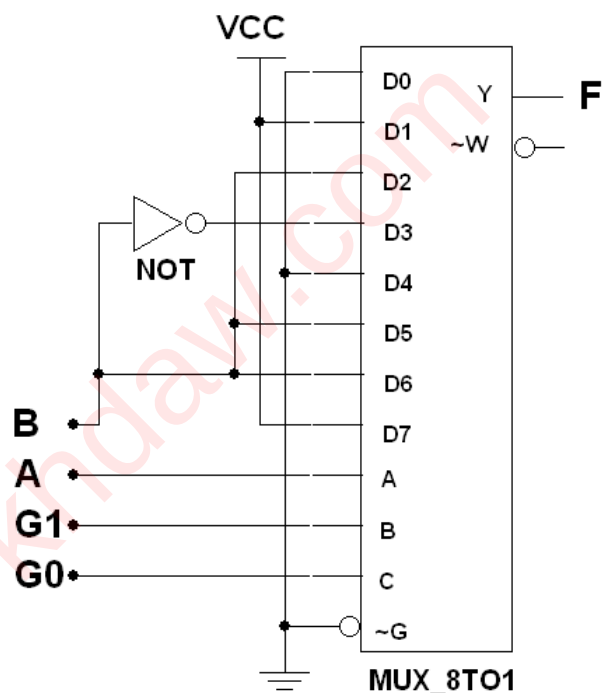
解：

$$\begin{aligned}
 (a) \quad F &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD \\
 &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD \\
 (b) \quad F &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD
 \end{aligned}$$

根据 (a) (b) 两式表明两个逻辑电路图的逻辑功能相同

P151:

3-4 试分析图 3-64 所示电路逻辑功能。图中 G_1 、 G_0 为控制端。A、B 为输入端。要求写出 G_1 、 G_0 四种取值下的 F 表达式。



解:

当 $G_1=0$ 、 $G_0=0$ 时:

$$F = \overline{G_1} \overline{G_0} A$$

当 $G_1=0$ 、 $G_0=1$ 时:

$$F = \overline{G_1} G_0 (\overline{AB} + \overline{A} \overline{B})$$

当 $G_1=1$ 、 $G_0=0$ 时:

$$F = G_1 \overline{G_0} AB$$

当 $G_1=1$ 、 $G_0=1$ 时:

$$F = G_1 G_0 (\overline{AB} + A)$$

3-8 使用与非门设计一个数据选择电路。 S_1 、 S_0 选择端，A、B 为数据输入端。数据选择电路的功能见表 3-29。数据选择电路可以反变量输入。

表 3-29 功能表

S_1	S_0	F
0	0	$F_1=AB$
0	1	$F_2=A+B$
1	0	$F_3=\overline{\overline{AB} + \overline{A} \overline{B}}$
1	1	$F_4=\overline{AB} + \overline{A} \overline{B}$

解: (1) 根据题意列出真值表如下

S_1	S_0	A	B	F_1	F_2	F_3	F_4	S_1	S_0	A	B	F_1	F_2	F_3	F_4
0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0	1	0	1	0	0	0	1	0
0	0	1	1	1	0	0	0	1	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0	1	1	0	1	0	0	0	1
0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	0	0	0	0

(2) 根据真值表列出 F 的逻辑表达式:

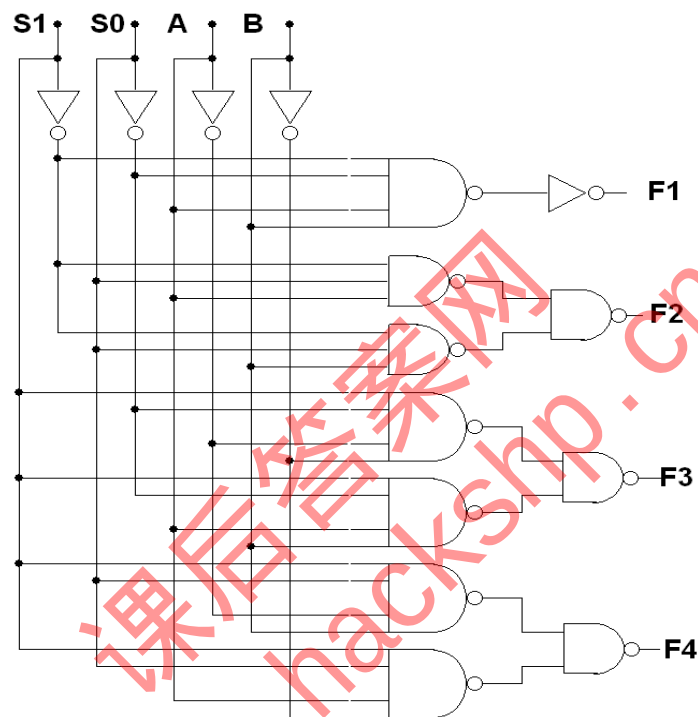
$$F_1 = \overline{S_1} \overline{S_0} AB = \overline{\overline{S_1} \overline{S_0} AB}$$

$$F_2 = \overline{S_1} S_0 (\overline{AB} + \overline{AB} + AB) = \overline{S_1} S_0 (A + B) = \overline{\overline{S_1} S_0 A} \cdot \overline{\overline{S_1} S_0 B}$$

$$F_3 = S_1 \overline{S_0} (\overline{AB} + AB) = S_1 \overline{S_0} AB \cdot \overline{S_1 \overline{S_0} AB}$$

$$F_4 = S_1 S_0 (\overline{AB} + \overline{AB}) = \overline{\overline{S_1} \overline{S_0} AB} \cdot \overline{\overline{S_1} \overline{S_0} AB}$$

(3)根据逻辑表达式画出逻辑电路如下图所示：



P153: 3-11 现有四台设备，每台设备用电均为 10kW。若这四台设备用 F₁、F₂ 两台发电机供电，其中 F₁ 的功率为 10kW，F₂ 的功率为 20kW。而四台设备的工作情况是：四台设备不可能同时工作，但至少有一台工作。设计一个供电控制电路，已达到节电之目的。

解：四台设备分别用 A、B、C、D 表示，设备工作表示为“1”，否则表示为“0”；两台发电机用 F₁、F₂ 表示，工作表示为“1”，否则表示为“0”。

(1) 根据题意列出真值表如下

A	B	C	D	F ₁	F ₂	A	B	C	D	F ₁	F ₂
0	0	0	0	×	×	1	0	0	0	1	0
0	0	0	1	1	0	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	1
0	0	1	1	0	1	1	0	1	1	1	1
0	1	0	0	1	0	1	1	0	0	0	1
0	1	0	1	0	1	1	1	0	1	1	1
0	1	1	0	0	1	1	1	1	0	1	1

0	1	1	1	1	1	1	1	1	1	×	×
---	---	---	---	---	---	---	---	---	---	---	---

(2) 根据真值表画 F_1 、 F_2 的卡诺图如下

AB \ CD	00	01	11	10
00	×	1	0	1
01	1	0	1	0
11	0	1	×	1
10	1	0	1	0

F_1 的卡诺图

AB \ CD	00	01	11	10
00	×	0	1	0
01	0	1	1	1
11	1	1	×	1
10	0	1	1	1

F_2 的卡诺图

(3) 由卡诺图得：

$$F_1 = \sum m(1,2,4,7,8,11,13,14)$$

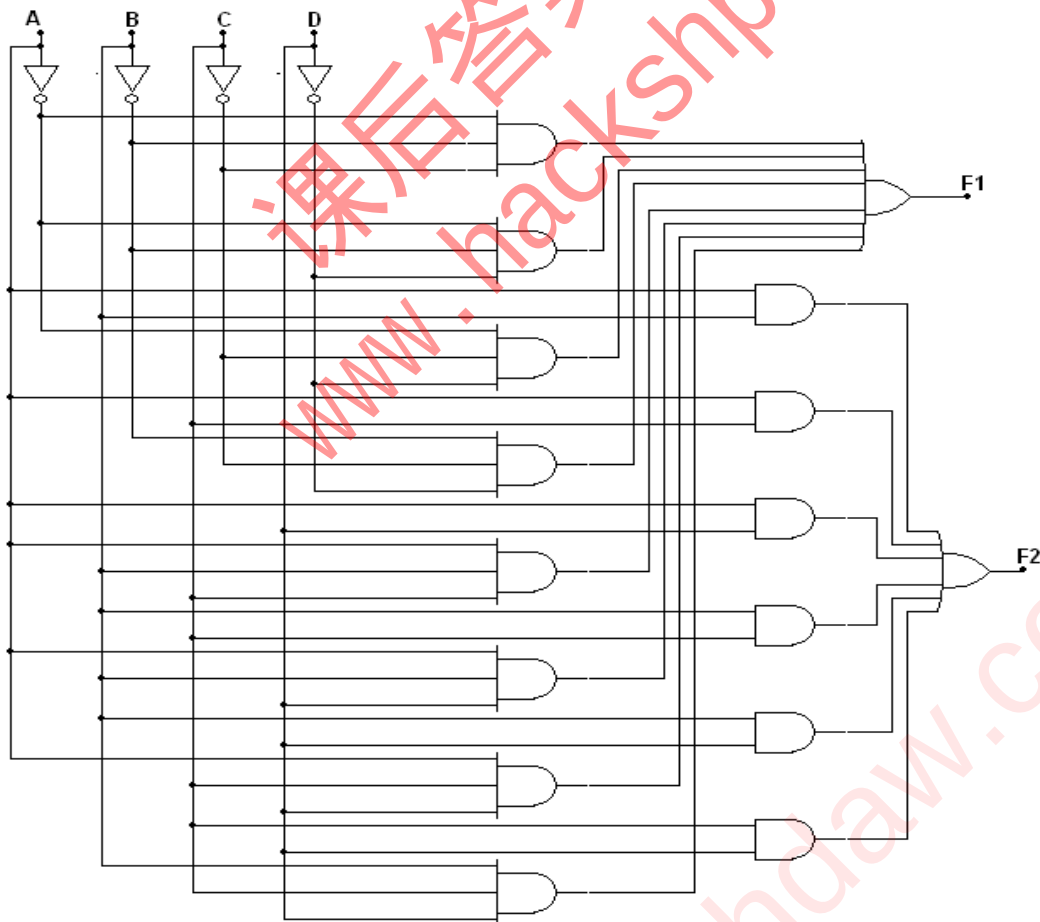
$$= \overline{B}CD + \overline{A}CD + \overline{A}BC + \overline{A}BD + ABD + ABC + ACD + BCD$$

$$F_2 = \sum m(3,5,6,7,9,10,11,12,13,14)$$

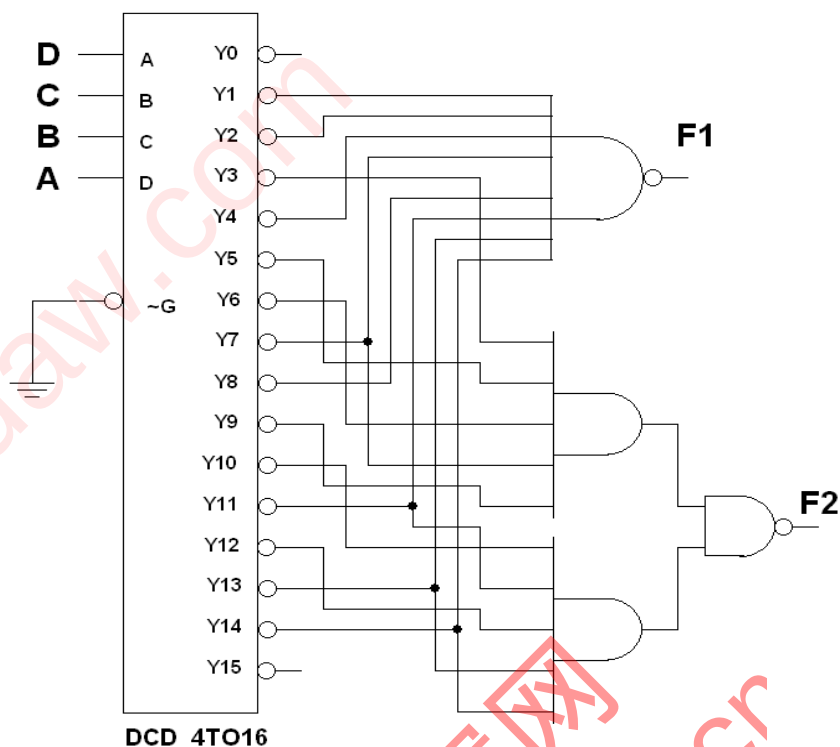
$$= AB + AC + AD + BC + BD + CD$$

(4) 根据逻辑表达式设计逻辑电路图如下。

方法 1：用与或门实现如下：



方法 1：用与或门实现



方法 2: 用译码器和与非门实现

P153: 3-12 试用低电平有效的 74LS138 译码器和逻辑门设计一组合逻辑电路。

该电路输入 X 和输出 F 均为 3 位二进制数。两者之间的关系如下:

$2 \leq X \leq 5$ 时 $F = X + 2$

$X < 2$ 时 $F = 1$

$X > 5$ 时 $F = 0$

解: (1) 根据上述两数的关系可得真值表如下:

X_2	X_1	X_0	F_2	F_1	F_0
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	0	0	0
1	1	1	0	0	0

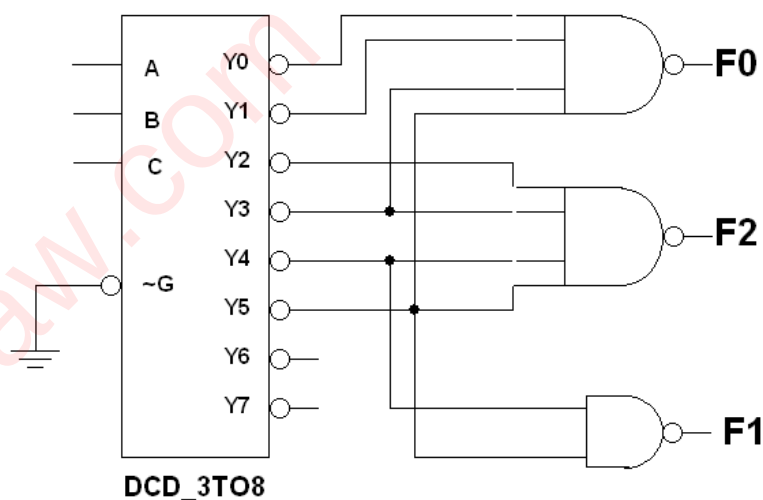
(2) 由真值表得到逻辑函数表达式:

$$F_2 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} X_1 \overline{X_0} + X_2 \overline{X_1} \overline{X_0} + X_2 \overline{X_1} X_0 = \sum m(2,3,4,5)$$

$$F_1 = X_2 \overline{X_1} \overline{X_0} + X_2 \overline{X_1} X_0 = \sum m(4,5)$$

$$F_0 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} \overline{X_1} X_0 + \overline{X_2} X_1 \overline{X_0} + X_2 \overline{X_1} \overline{X_0} = \sum m(0,1,3,5)$$

(3) 根据逻辑表达式设计逻辑电路图如下：



P154: 3-24 试用 8 选 1 数据选择器 CD4512 和必要的门电路设计一个 4 位二进制码偶校验的校验码产生电路。

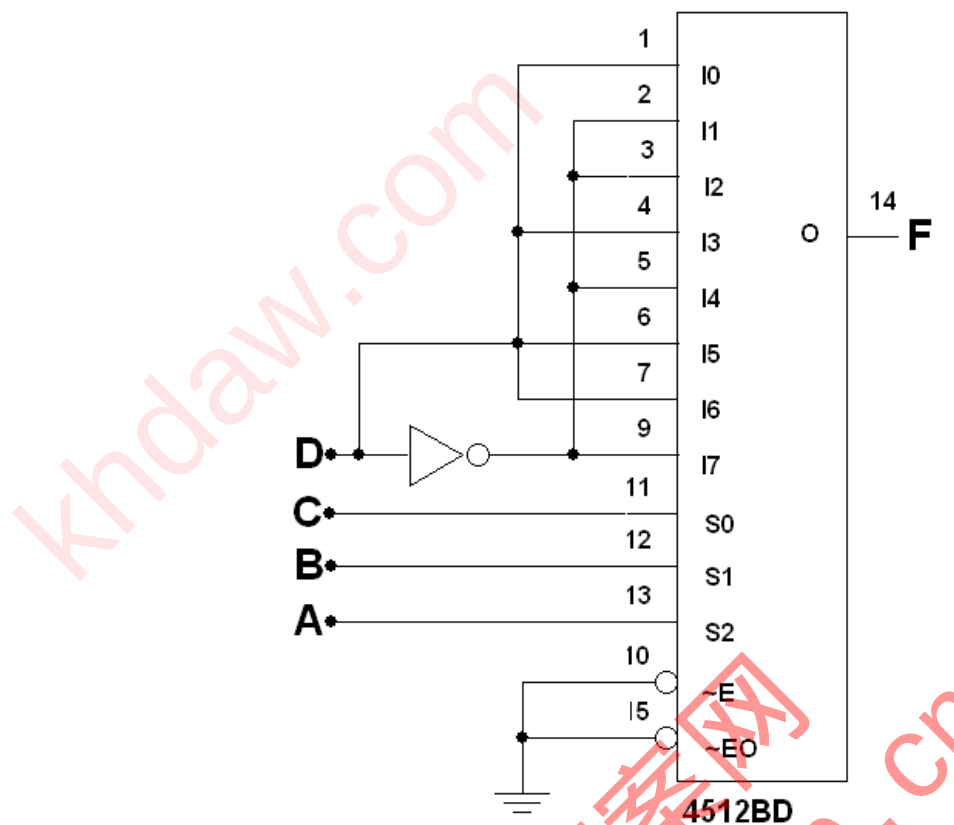
解：(1) 4 位二进制码偶校验的校验码产生电路的真值表如下：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(2) 其逻辑函数表达式：

$$F = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}D + ABC\overline{D}$$

(3) 将变量 A、B、C 分别与 CD4512 的 S₂、S₁、S₀ 连接，作为校验码产生电路输入变量高 3 位，最低位变量 D 根据函数表达式使用 CD4512 的 8 个输入端 I₀~I₇，并用一个非门获得 D 的反变量，获得逻辑电路图如下。



P165: 3-26 用与非门设计一个多功能运算电路。功能如表 3-31 所示。

S	S	S	F
0	0	0	1
0	0	1	$A+B$
0	1	0	$\overline{AB}$
0	1	1	$A \oplus B$
1	0	0	$\overline{A \oplus B}$
1	0	1	AB
1	1	0	$\overline{A+B}$
1	1	1	0

解：（1）列出 F 各函数的与或表达式如下表：

$A+B$	$A+B$
$\overline{AB}$	$\overline{AB}$
$A \oplus B$	$\overline{AB} + \overline{AB}$
$\overline{A \oplus B}$	$\overline{AB} + AB$
AB	AB
$\overline{A+B}$	$\overline{AB}$

(2) 列真值表

S_2	S_1	S_0	A	B	F
0	0	0	X	X	1
0	0	1	0	0	0
			0	1	1
			1	0	1
			1	1	1
0	1	0	0	0	1
			0	1	1
			1	0	1
			1	1	0
0	1	1	0	0	0
			0	1	1
			1	0	1
			1	1	0
1	0	0	0	0	1
			0	1	0
			1	0	0
			1	1	1
1	0	1	0	0	0
			0	1	0
			1	0	0
			1	1	1
1	1	0	0	0	1
			0	1	0
			1	0	0
			1	1	0
1	1	1	X	X	0

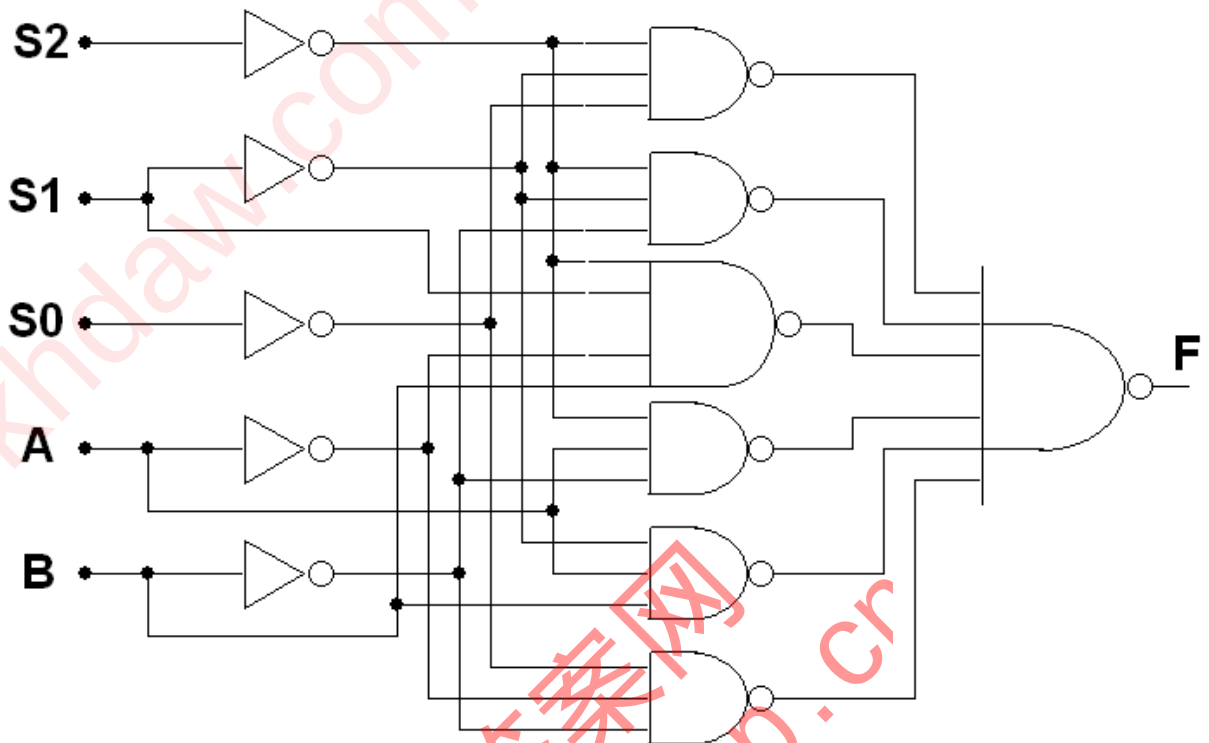
(3) 列逻辑表达式

$$F = \overline{S_2} \overline{S_1} \overline{S_0} + \overline{S_2} \overline{S_1} S_0 (\overline{AB} + \overline{AB} + AB) + \overline{S_2} S_1 \overline{S_0} (\overline{AB} + \overline{AB} + \overline{AB}) + \overline{S_2} S_1 S_0 (\overline{AB} + \overline{AB}) \\ + S_2 \overline{S_1} \overline{S_0} (\overline{AB} + AB) + S_2 \overline{S_1} S_0 AB + S_2 S_1 \overline{S_0} \overline{AB}$$

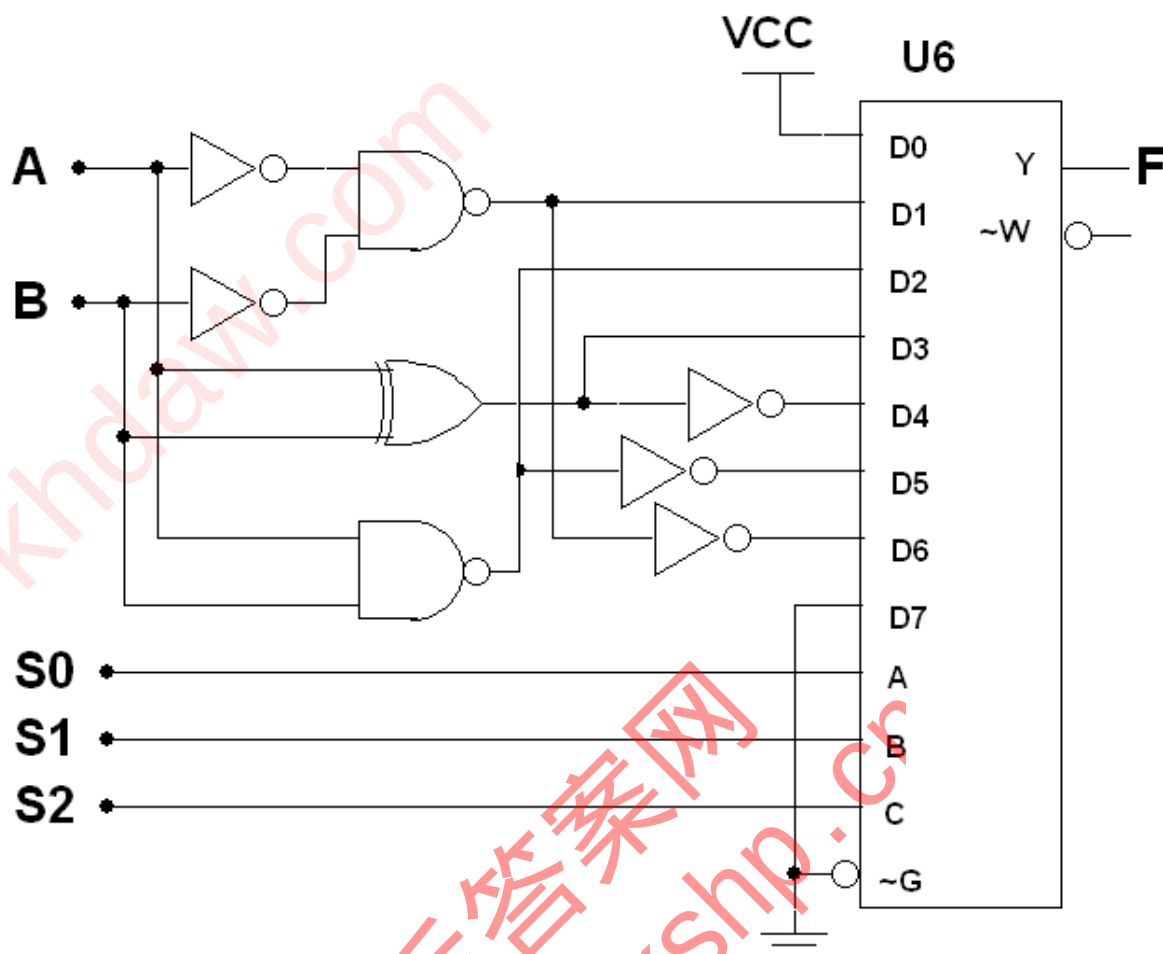
$$F = \overline{S_2} \overline{S_1} \overline{S_0} + \overline{S_2} \overline{S_1} B + \overline{S_2} S_1 \overline{AB} + \overline{S_2} \overline{AB} + \overline{S_1} AB + \overline{S_0} \overline{AB}$$

$$F = \overline{S_2 S_1 S_0} \cdot \overline{S_2 S_1 B} \cdot \overline{S_2 S_1 AB} \cdot \overline{S_2 AB} \cdot \overline{S_1 AB} \cdot \overline{S_0 AB}$$

(4) 用与非门设计逻辑电路图如下：



用 8 选 1 数据选择器和门电路设计的逻辑电路图如下



P155: 3-27 试分析图 3-69 电路中当 A、B、C、D 单独一个改变状态时是否存在竞争-冒险现象，那么发生在其它变量为何值的情况？

解：根据图 3-69 电路可知 Y 的逻辑表达式为：

$$Y = \overline{A}CD + \overline{A}BD + \overline{B}C + \overline{C}D$$

当 $C=D=1$ $B=0$ 时 $Y = \overline{A} + A$

$A=D=1$ $C=0$ 时 $Y = \overline{B} + B$

$B=1$ $A=D=0$ 、 $A=B=1$ $D=0$ 、 $B=D=1$ $A=0$ 时 $Y = \overline{C} + C$

$C=1$ $A=B=0$ 、 $A=C=1$ $B=0$ 、 $B=C=1$ $A=0$ 时 $Y = \overline{D} + D$

因此，上述 8 种情况均有可能产生竞争-冒险现象。

附加题：应增加哪些冗余项才能消除竞争冒险现象？

将图 3-69 电路的逻辑关系用卡诺图表示，从卡诺图中也可看出 4 个卡诺圈共有 8 处相切的地方如下图 (a) 所示。为了消除竞争冒险现象，可增加图 (b) 中 3 个蓝色的卡诺圈，其逻辑表达式改为

$$Y = \overline{A}CD + \overline{A}BD + \overline{B}C + \overline{C}D + \overline{A}B + \overline{B}C + \overline{A}C$$

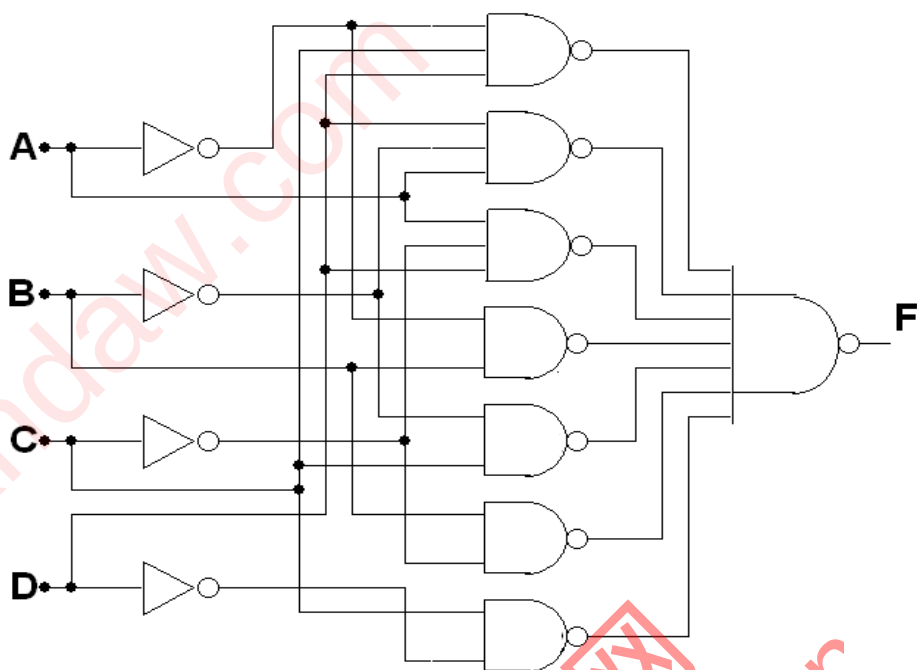
AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	1	1
11	1	1	0	1
10	0	1	1	1

AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	1	1
11	1	1	0	1
10	0	1	1	1

若侵犯了您的版权利益，敬请来信通知我们！

www.khdaw.com

修改后的逻辑电路图如下：



第四章

4-5 图 4-105 所示是用 CMOS 边沿触发器和或非门组成的脉冲分频器。试画出一系列 CP 脉冲作用下 Q_1 、 Q_2 和 F 的输出电压波形。设触发器的初始状态皆为 0。

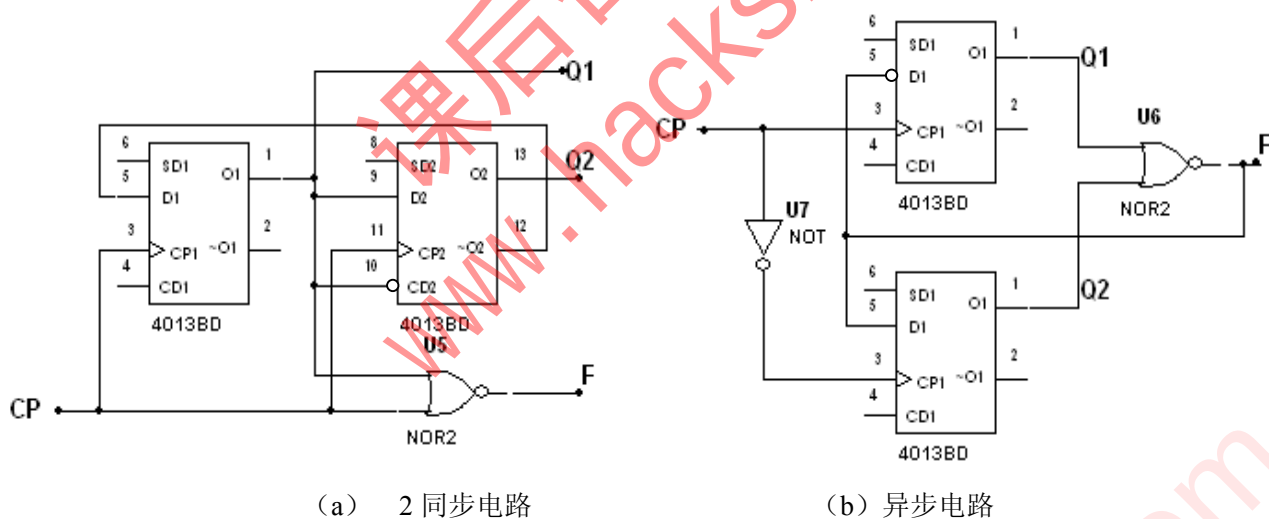
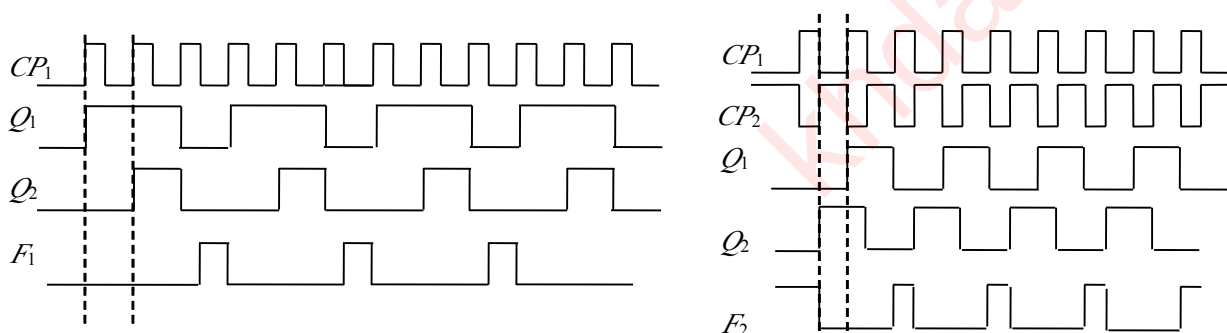


图 4-105 习题 4-5 图

解：(a) $Q_1^{n+1} = \overline{Q_2^n}$ $Q_2^{n+1} = Q_1^n$ $CD_2 = Q_1^n$ $F_1 = \overline{CP + Q_1^n}$

(b) $CP_1 = \overline{CP_2} = CP$ $\overline{D_1} = D_2 = \overline{Q_1^n + Q_2^n}$ $F_2 = \overline{Q_1^n + Q_2^n}$



4-7 试分析图 4-106 所示时序逻辑电路的逻辑功能，写出电路的驱动方程，状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。

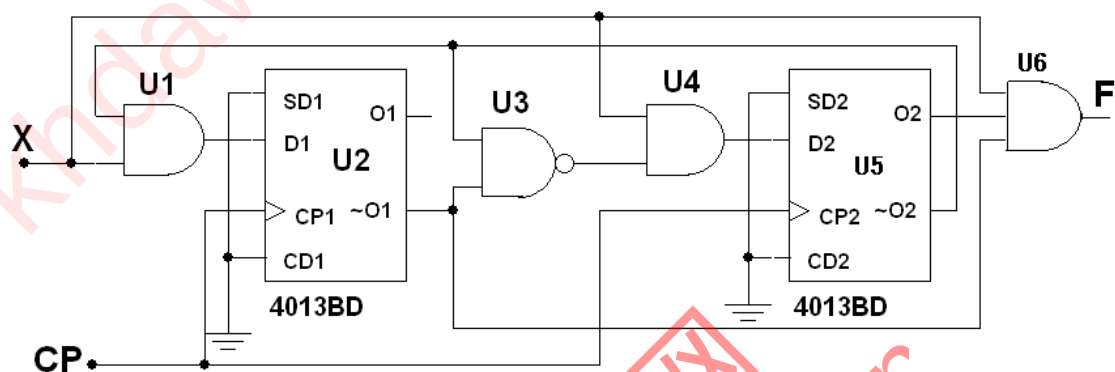


图 4-106

解：(1) 电路的驱动方程： $D_1 = X\overline{Q_2}$ $D_2 = X \cdot \overline{Q_1Q_2}$

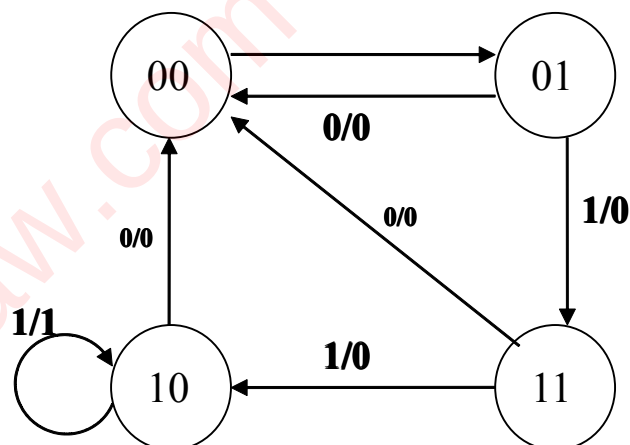
(2) 电路状态方程： $Q_1^{n+1} = D_1 = X\overline{Q_2}$ $Q_2^{n+1} = D_2 = X \cdot \overline{Q_1Q_2}$

(3) 电路输出方程： $F = X\overline{Q_1Q_2}$

(4) 列出状态转换真值表

输入	现态		驱动		次态	输出
X	Q_2	Q_1	D_2	D_1	$Q_2^{n+1} Q_1^{n+1}$	F
0	0	0	0	0	0 0	0
0	0	1	0	0	0 0	0
0	1	0	0	0	0 0	0
0	1	1	0	0	0 0	0
1	0	0	0	1	0 1	0
1	0	1	1	1	1 1	0
1	1	0	1	0	1 0	1
1	1	1	1	0	1 0	0

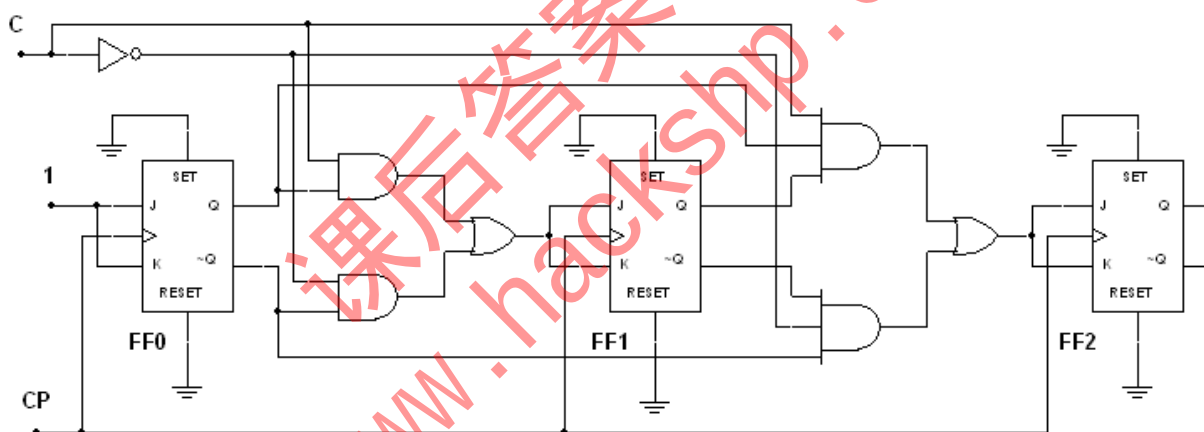
(5) 画出状态转换图



(6) 由状态转换图可知，该电路可实现自启动功能。

P223

4-10 已知时序电路 4-109 所示。试分析该电路在 $C=1$ 和 $C=0$ 时电路逻辑功能。



解：(1) 由图 5-27 列出驱动方程和状态方程

$$J_0 = K_0 = 1 \quad J_1 = K_1 = \overline{CQ_0^n} + \overline{CQ_0^n} \quad J_2 = K_2 = \overline{CQ_0^n Q_1^n} + \overline{CQ_0^n Q_1^n}$$

$C=1$ 时，实现加法计数：

$$J_0 = K_0 = 1 \quad J_1 = K_1 = Q_0^n \quad J_2 = K_2 = Q_0^n Q_1^n$$

$$Q_0^{n+1} = \overline{Q_0^n} \quad Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n \quad Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n} \overline{Q_1^n} Q_2^n$$

$C=0$ 时，实现减法计数：

$$J_0 = K_0 = 1 \quad J_1 = K_1 = \overline{Q_0^n} \quad J_2 = K_2 = \overline{Q_0^n} \overline{Q_1^n}$$

$$Q_0^{n+1} = \overline{Q_0^n} \quad Q_1^{n+1} = \overline{Q_0^n} \overline{Q_1^n} + Q_0^n Q_1^n$$

$$Q_2^{n+1} = \overline{Q_0^n Q_1^n Q_2^n} + \overline{Q_0^n Q_1^n Q_2^n} = \overline{Q_0^n Q_1^n Q_2^n} + (Q_0^n + Q_1^n) Q_2^n$$

(2) 根据状态列状态转换表如下

C	$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	C	$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	0 0 0	0 0 1	0	0 0 0	1 1 1
1	0 0 1	0 1 0	0	0 0 1	1 1 0
1	0 1 0	0 1 1	0	0 1 0	1 0 1
1	0 1 1	1 0 0	0	0 1 1	1 0 0
1	1 0 0	1 0 1	0	1 0 0	0 1 1
1	1 0 1	1 1 0	0	1 0 1	0 1 0
1	1 1 0	1 1 1	0	1 1 0	0 0 1
1	1 1 1	0 0 0	0	1 1 1	0 0 0

(3) 分析逻辑功能

由状态转换表可知，该电路为同步二进制可逆计数器。C=1 时，实现加法计数器；C=0 时，实现减法计数器。根据上述公式计算得加法计数状态（C=1）和减法计算状态（C=0）转换表，如表 2 所示。

P224

4-13 用 D 触发器和门电路设计 1 个同步十一进制加法计数器，并检查设计的电路能否自启动。

解：(1) 根据 $2^{n-1} < M \leq 2^n$ 同步 11 进制计数器需选 4 个 D 触发器，其状态转换图如图 4 所示：

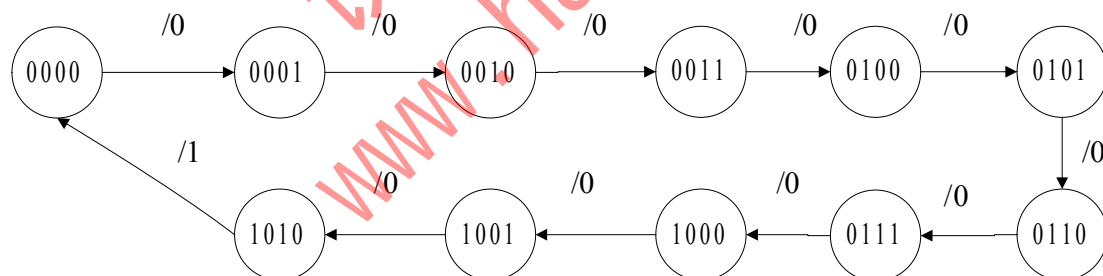


图 4

(2) 根据状态转换图列出次态卡诺图：

$Q_4^n Q_3^n Q_2^n Q_1^n Q_0^n$	01	11	10
00	0001/0	0010/0	0100/0
01	0101/0	0110/0	1000/0
11	xxxx/0	xxxx/0	xxxx/0
10	1001/0	1010/0	xxxx/0

(3) 根据次态卡诺图得到状态方程：

$Q_4^n Q_3^n$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	1	1	x	0

由 Q_4 的卡诺图得：

$$Q_4^{n+1} = Q_4^n \overline{Q_2^n} + Q_3^n Q_2^n Q_1^n$$

$Q_4^n Q_3^n$	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	x	x	x	x
10	0	1	x	0

由 Q_2 的卡诺图得：

$$Q_2^{n+1} = Q_1^n \overline{Q_2^n} + \overline{Q_4^n} Q_2^n \overline{Q_1^n}$$

$Q_4^n Q_3^n$	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	x	x	x	x
10	0	0	x	0

由 Q_3 的卡诺图得：

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} + \overline{Q_3^n} Q_2^n Q_1^n + \overline{Q_1^n} Q_3^n = (Q_2^n Q_1^n) \oplus Q_3^n$$

$Q_4^n Q_3^n$	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	x	x	x	x
10	0	1	x	0

由 Q_1 的卡诺图得：

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_2^n} + \overline{Q_4^n} Q_1^n$$

$Q_4^n Q_3^n$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	x	x	x	x
10	0	0	x	1

由 F 的卡诺图得：

$$F = Q_2^n Q_4^n$$

(4) 根据 D 触发器的特征方程得出驱动方程：

$$D_4 = Q_4^{n+1}, \quad D_3 = Q_3^{n+1}, \quad D_2 = Q_2^{n+1}, \quad D_1 = Q_1^{n+1}$$

(5) 根据驱动方程画出逻辑电路如图 5 所示。

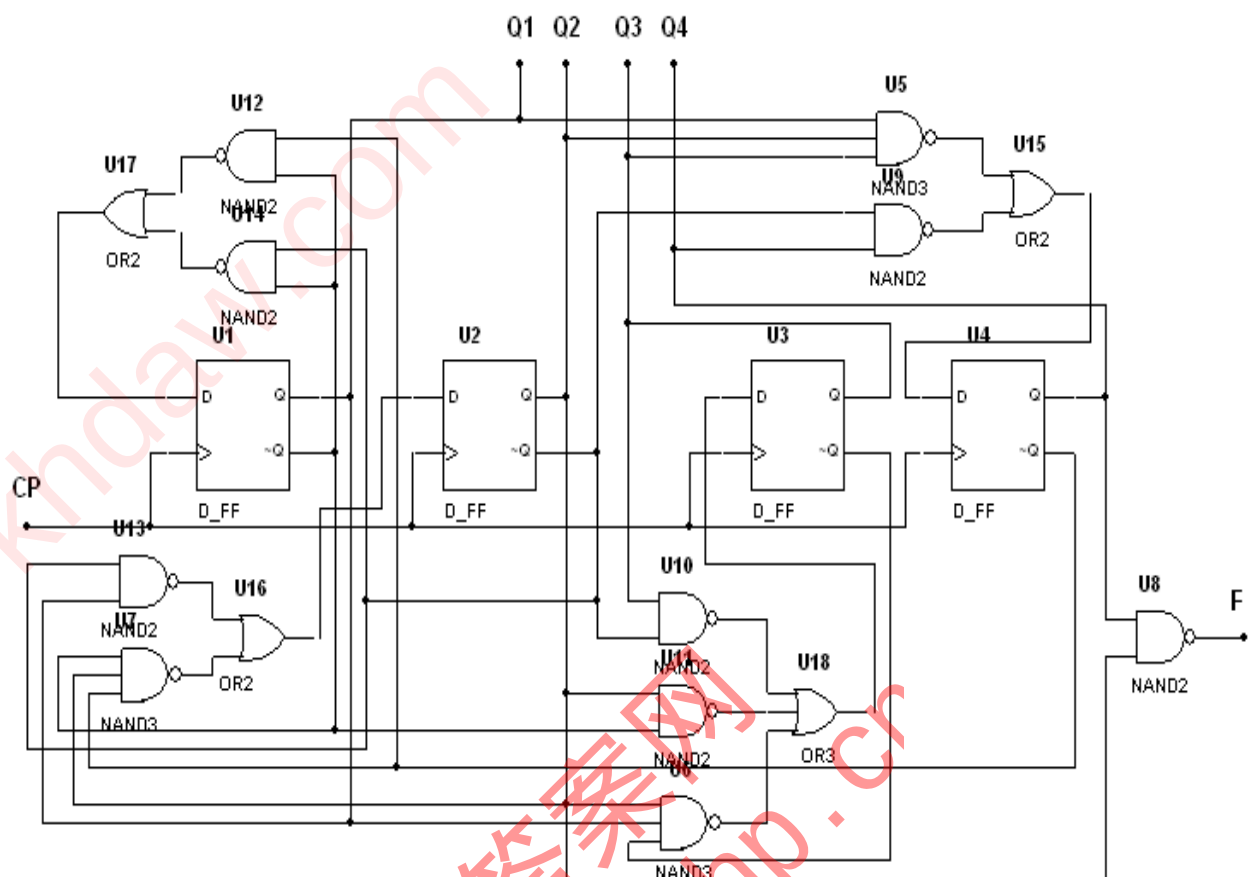


图 5 十一进制计数器电路图

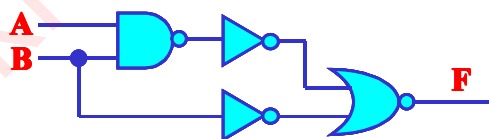
(6) 验证设计的正确性:

将 0000 作为初状态, 代入状态方程中依次计算次态值如下表所列。

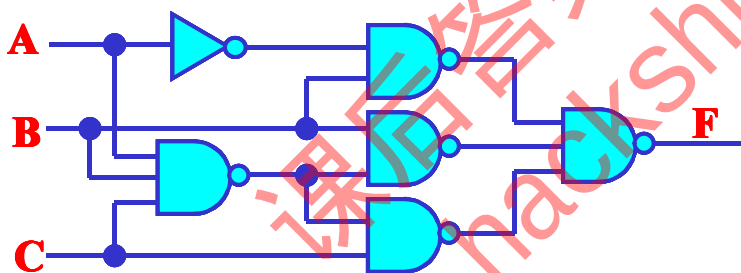
CP	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
1	0	0	0	0	0	0	0	1	0
2	0	0	0	1	0	0	1	0	0
3	0	0	1	0	0	0	1	1	0
4	0	0	1	1	0	1	0	0	0
5	0	1	0	0	0	1	0	1	0
6	0	1	0	1	0	1	1	0	0
7	0	1	1	0	0	1	1	1	0
8	0	1	1	1	1	0	0	0	0
9	1	0	0	0	1	0	0	1	0
10	1	0	0	1	1	0	1	0	0
11	1	0	1	0	0	0	0	0	1

第二章 组合逻辑

1. 分析图中所示的逻辑电路，写出表达式并进行化简



$$F = \overline{\overline{\overline{AB}}} + \overline{B} = \overline{AB}$$



$$\begin{aligned} F &= \overline{\overline{\overline{AB}} \overline{BAC} \overline{CABC}} \\ &= \overline{AB} + \overline{AC} + \overline{BC} + \overline{BC} \\ &= \overline{AB} + \overline{BC} + \overline{BC} \end{aligned}$$

2. 分析下图所示逻辑电路，其中 S3、S2、S1、S0 为控制输入端，列出真值表，说明 F 与 A、B 的关系。

$$F_1 = \overline{A + BS_0 + BS_1}$$

$$F_2 = \overline{ABS_2} + \overline{ABS_3}$$

$$F = F_1 F_2 = \overline{A + BS_0 + BS_1}$$

S ₁ S ₀	F ₁	S ₃ S ₂	F ₂
0 0	$\overline{A}$	0 0	1
0 1	$\overline{AB}$	0 1	$\overline{A+B}$
1 0	$\overline{AB}$	1 0	$\overline{A+B}$
1 1	0	1 1	$\overline{A}$

S ₃ S ₂ S ₁ S ₀	F=F ₁ F ₂	S ₃ S ₂ S ₁ S ₀	F=F ₁ F ₂
0 0 × ×	F ₁	× × 0 0	$\overline{A}$
0 1 × ×	F ₁	× × 0 1	$\overline{AB}$
1 0 × ×	F ₁	× × 1 0	$\overline{AB}$
1 1 × ×	F ₁	× × 1 1	0

3. 分析下图所示逻辑电路，列出真值表，说明其逻辑功能。

解：

$$F_1 = \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{BC} = \overline{ABC} + \overline{ABC} + \overline{ABC} = A(B \oplus C) + \overline{ABC}$$

真值表如下：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

当 B≠C 时， F1=A

当 B=C=1 时， F1=A

当 B=C=0 时， F1=0

裁判判决电路，A 为主裁判，在 A 同意的前提下，只要有一位副裁判（B，C）同意，成绩就有效。

$$F_2 = \overline{AB} + \overline{BC} + \overline{AC} = \overline{AB} + \overline{BC} + \overline{AC}$$

真值表如下：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

当 **A、B、C** 三个变量中有两个及两个以上同时为“1”时，**F2=1**。

4. 图所示为数据总线上的一种判零电路，写出 F 的逻辑表达式，说明该电路的逻辑功能。

解： $F = \overline{A_0 A_1 A_2 A_3} + \overline{A_4 A_5 A_6 A_7} + \overline{A_8 A_9 A_{10} A_{11}} + \overline{A_{12} A_{13} A_{14} A_{15}}$

只有当变量 $A_0 \sim A_{15}$ 全为 0 时，**F = 1**；否则，**F = 0**。

因此，电路的功能是判断变量是否全部为逻辑“0”。

5. 分析下图所示逻辑电路，列出真值表，说明其逻辑功能

解： $F = \overline{A_1 A_0} X_0 + \overline{A_1 A_0} X_1 + A_1 \overline{A_0} X_2 + A_1 A_0 X_3$

真值表如下：

A_1	A_0	F
0	0	X_0
0	1	X_1
1	0	X_2
1	1	X_3

因此，这是一个四选一的选择器。

6. 下图所示为两种十进制数代码转换器，输入为余三码，输出为什么代码？

解：

	A	B	C	D	W	X	Y	Z
	0	0	1	1	0	0	0	0
	0	1	0	0	0	0	0	1
	0	1	0	1	0	0	1	0
	0	1	1	0	0	0	1	1
	0	1	1	1	0	1	0	0
	1	0	0	0	0	1	0	1
	1	0	0	1	0	1	1	0
	1	0	1	0	0	1	1	1
	1	0	1	1	1	0	0	0
	1	1	0	0	1	0	0	1

$$W = AB + ACD$$

$$X = \overline{B}\overline{C} + \overline{B}\overline{D} + BCD$$

$$Y = \overline{C}D + CD$$

$$Z = \overline{D}$$

这是一个余三码至 8421 BCD 码转换的电路

7. 下图是一个受 M 控制的 4 位二进制码和格雷码的相互转换电路。M=1 时，完成自然二进制码至格雷码转换；M=0 时，完成相反转换。请说明之

解：Y₃=X₃

$$Y_2 = X_2 \oplus X_3$$

$$Y_1 = X_1 \oplus (MX_2 + \overline{M}Y_2)$$

$$Y_0 = X_0 \oplus (MX_1 + \overline{M}Y_1)$$

当 M=1 时

$$Y_3 = X_3$$

$$Y_2 = X_2 \oplus X_3$$

$$Y_1 = X_1 \oplus X_2$$

$$Y_0 = X_0 \oplus X_1$$

当 M=0 时

$$Y_3 = X_3$$

$$Y_2 = X_2 \oplus X_3$$

$$Y_1 = X_1 \oplus Y_2 = X_1 \oplus X_2 \oplus X_3$$

$$Y_0 = X_0 \oplus Y_1 = X_0 \oplus X_1 \oplus X_2 \oplus X_3$$

M=1 的真值表

X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

M=0 的真值表

X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

由真值表可知：M=1 时，完成 8421 BCD 码到格雷码的转换；

M=0 时，完成格雷码到 8421 BCD 码的转换。

8. 已知输入信号 A,B,C,D 的波形如下图所示，选择适当的集成逻辑门电路，设计产生输出 F 波形的组合电路（输入无反变量）

解：

列出真值表如下：

A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

AB \ CD	00	01	11	10
00		1	1	1
01	1	1		1
11	1			1
10				1

$$F = \overline{A}B + \overline{B}D + \overline{B}C\overline{D} + \overline{A}BC\overline{D} \text{ (或 } \overline{A}C\overline{D})$$

9. 用红、黄、绿三个指示灯表示三台设备的工作情况：绿灯亮表示全部正常；红灯亮表示有一台不正常；黄灯亮表示有两台不正常；红、黄灯全亮表示三台都不正常。列出控制电路真值表，并选出合适的集成电路来实现。

解：

设：三台设备分别为 A、B、C；“1”表示有故障，“0”表示无故障；红、黄、绿灯分别为 Y1、Y2、Y3；“1”表示灯亮，“0”表示灯灭。据题意列出真值表如下：

A	B	C	Y ₁	Y ₂	Y ₃
0	0	0	0	0	1
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

$$Y1 = A \oplus B \oplus C$$

$$Y2 = BC + A(B \oplus C)$$

于是得: $Y3 = \overline{ABC} = \overline{A+B+C}$

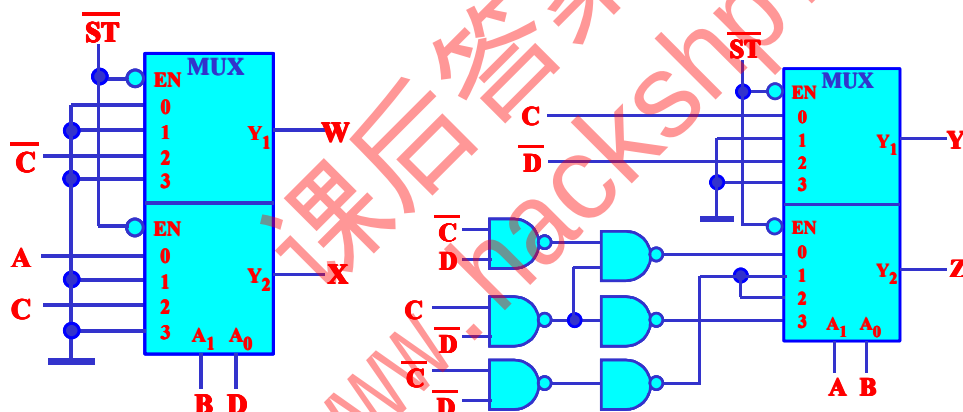
10. 用两片双四选一数据选择器和与非门实现循环码至 8421BCD 码转换。

解: (1) 画函数卡诺图:

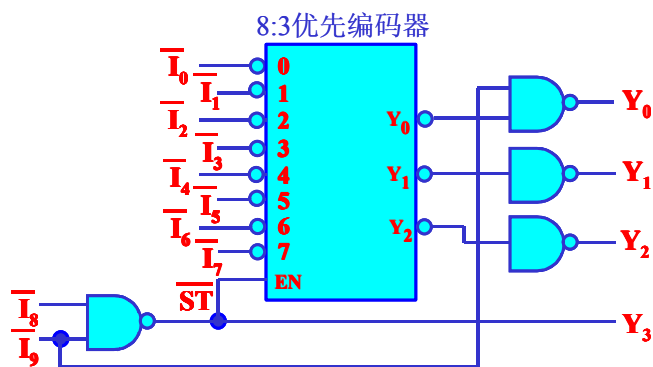
AB \ CD	00	01	11	10
00	0000	1001	1000	0111
01	0001	Φ	Φ	Φ
11	0010	Φ	Φ	Φ
10	0011	0100	0101	0110

(2) 写逻辑函数表达式:

(1) 画逻辑图:



11. 用一片 74LS148 和与非门实现 8421BCD 优先编码器



12. 用适当门电路，设计 16 位串行加法器，要求进位链速度最快，计算一次加法时间。

解：全加器真值表如下

Ai	Bi	Ci-1	Si	Ci+1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

可以写出以下表达式

$$\overline{S} = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$$

$$S = \overline{\overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}}$$

$$\overline{C} = \overline{AB} + \overline{AC_{-1}} + \overline{BC_{-1}}$$

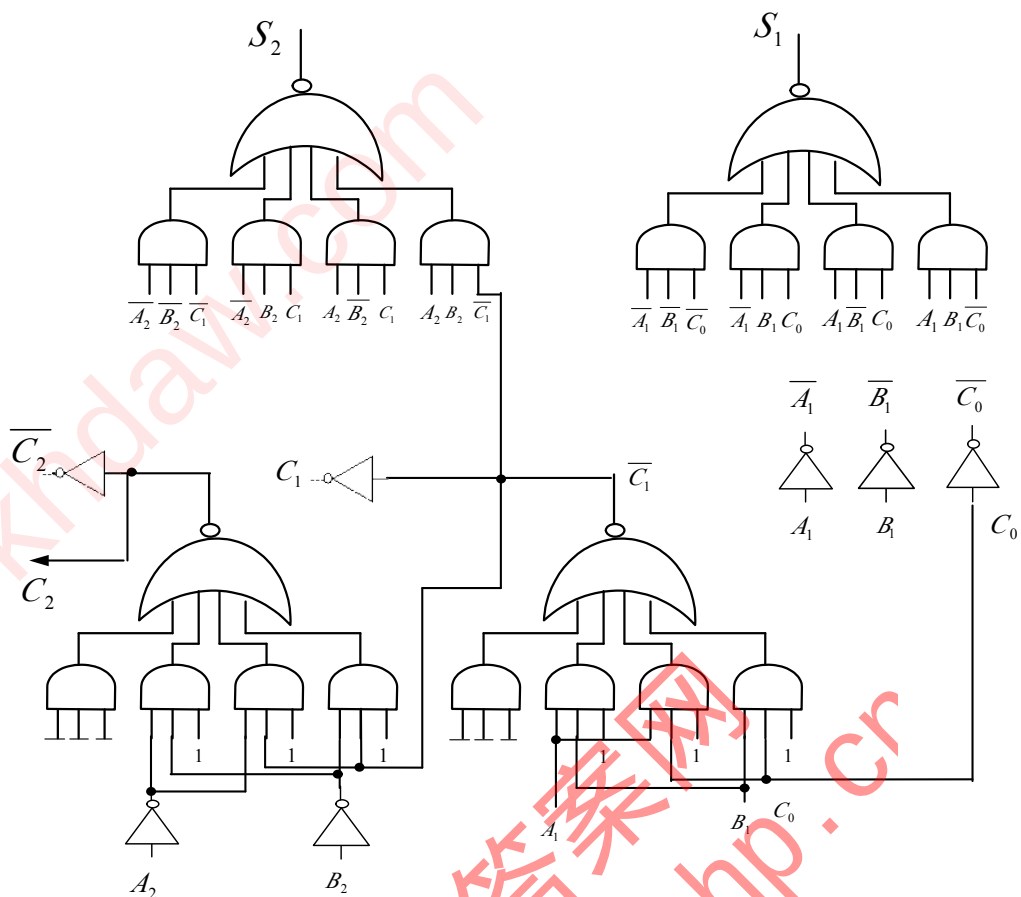
$$C = \overline{\overline{AB} + \overline{AC_{-1}} + \overline{BC_{-1}}}$$

$$C = AB + AC_{-1} + BC_{-1}$$

要使进位链速度最快，应使用“与或非”门。具体连接图如下。

若“与或非”门延迟时间为 t_1 ，“非门”延迟时间为 t_2 ，则完成一次 16 位加法运算所需时间为：

$$t = (16-1)t_1 + (t_1 + t_2)$$



13. 用一片 4:16 线译码器将 8421BCD 码转换成余三码，写出表达式
解：

十进制数	8421码	余三码
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

$$W(A, B, C, D) = \Sigma(5, 6, 7, 8, 9)$$

$$X(A, B, C, D) = \Sigma(1, 2, 3, 4, 9)$$

$$Y(A, B, C, D) = \Sigma(0, 3, 4, 7, 8)$$

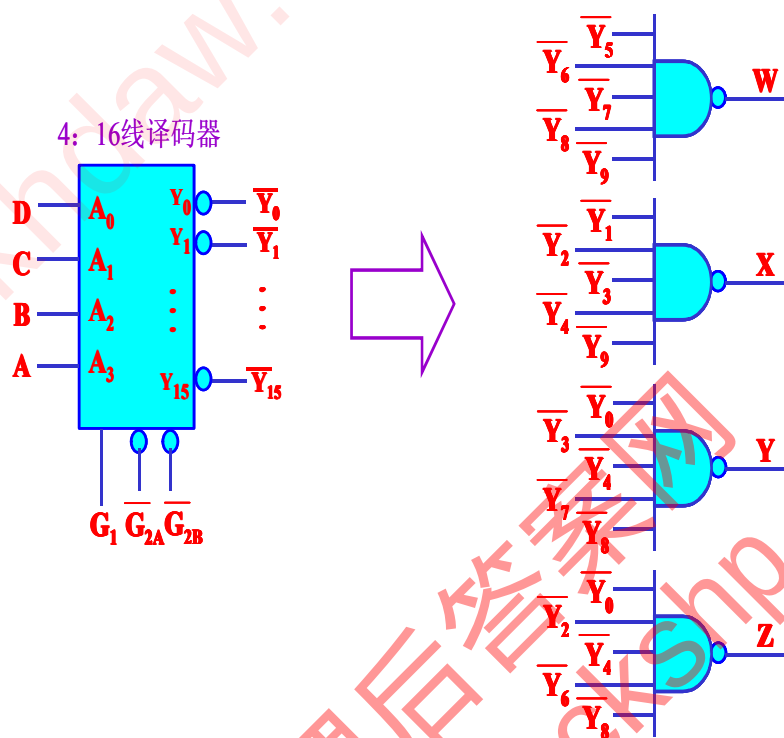
$$Z(A, B, C, D) = \Sigma(0, 2, 4, 6, 8)$$

$$W(A,B,C,D) = \Sigma(5,6,7,8,9) = Y_5 + Y_6 + Y_7 + Y_8 + Y_9 = \overline{Y_5} \overline{Y_6} \overline{Y_7} \overline{Y_8} \overline{Y_9}$$

$$X(A,B,C,D) = \Sigma(1,2,3,4,9) = Y_1 + Y_2 + Y_3 + Y_4 + Y_9 = \overline{Y_1} \overline{Y_2} \overline{Y_3} \overline{Y_4} \overline{Y_9}$$

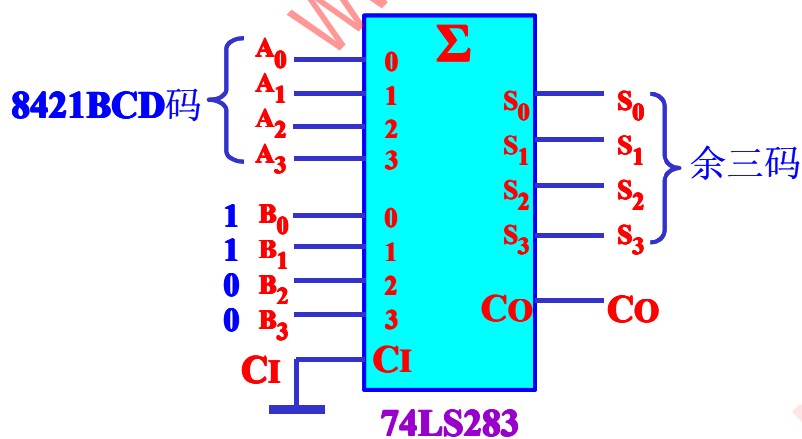
$$Y(A,B,C,D) = \Sigma(0,3,4,7,8) = Y_0 + Y_3 + Y_4 + Y_7 + Y_8 = \overline{Y_0} \overline{Y_3} \overline{Y_4} \overline{Y_7} \overline{Y_8}$$

$$Z(A,B,C,D) = \Sigma(0,2,4,6,8) = Y_0 + Y_2 + Y_4 + Y_6 + Y_8 = \overline{Y_0} \overline{Y_2} \overline{Y_4} \overline{Y_6} \overline{Y_8}$$



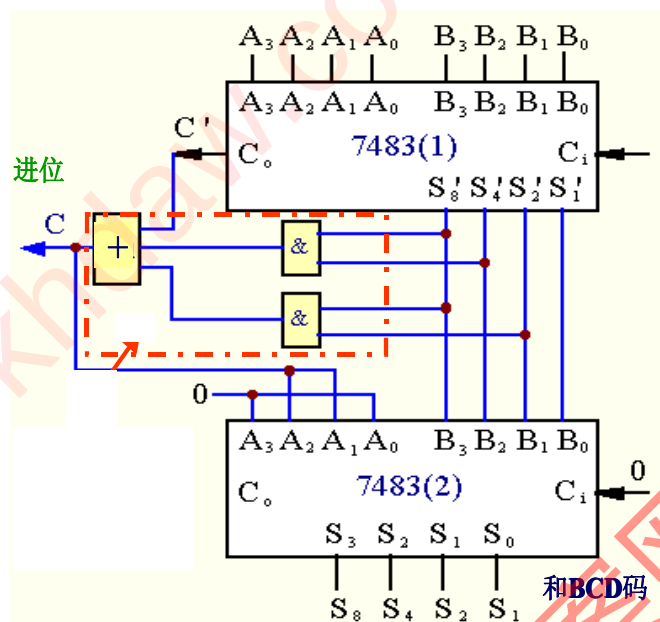
14. 使用一个 4 位二进制加法器设计 8421BCD 码转换成余三码转换器:

解:



15. 用 74LS283 加法和逻辑门设计实现一位 8421 BCD 码加法器电路。

解：



16. 设计二进制码/格雷码转换器

解：真值表

B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

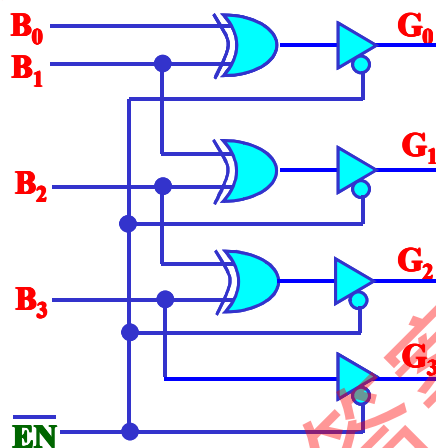
B_3B_2 B_1B_0		00	01	11	10
00	0000	0110	1010	1100	
01	0001	0111	1011	1101	
11	0010	0100	1000	1110	
10	0011	0101	1001	1111	

$$G_3 = B_3$$

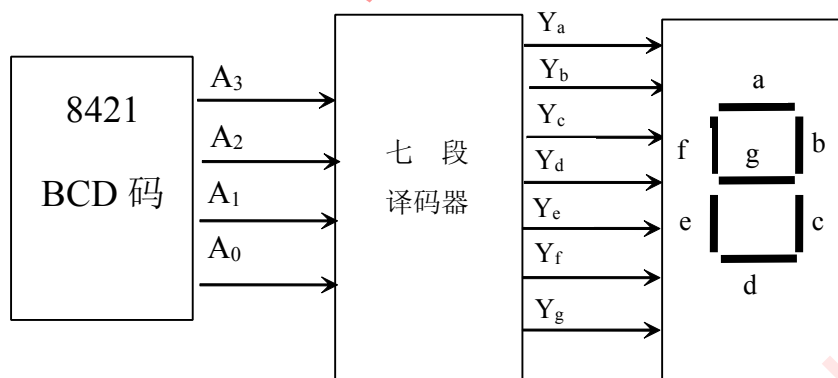
$$G_2 = B_2 \oplus B_3$$

$$G_1 = B_1 \oplus B_2$$

$$\text{得: } G_0 = B_0 \oplus B_1$$



17. 设计七段译码器的内部电路，用于驱动共阴极数码管。解：七段发光二极管为共阴极电路，各段为“1”时亮。



七段译码器真值表如下：

输 入				输 出							显示
A_3	A_2	A_1	A_0	Y_a	Y_b	Y_c	Y_d	Y_e	Y_f	Y_g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	0	0	1	1	0	1	1	3

$$a = A_3 + A_1 + A_2 A_0 + \overline{A_2} \overline{A_0}$$

$$b = \overline{A_2} + \overline{A_1} \overline{A_0} + A_1 A_0$$

$$c = A_2 + \overline{A_1} + A_0$$

$$d = \overline{A_2} \overline{A_0} + A_1 \overline{A_0} + \overline{A_2} A_1 + A_2 \overline{A_1} A_0$$

$$e = \overline{A_2} \overline{A_0} + A_1 \overline{A_0}$$

$$f = A_3 + \overline{A_1} \overline{A_0} + A_2 \overline{A_1} + A_2 \overline{A_0}$$

$$g = A_3 + A_1 \overline{A_0} + \overline{A_2} A_1 + A_2 \overline{A_1}$$

18. 设计一个血型配比指示器。解： 用

XY 表示供血者代码，MN 表示受血者代码。代码设定如下：XY = 00 A 型
MN = 00 A 型

01 B 型

10 AB 型

11 O 型

01 B 型

10 AB 型

11 O 型

X	Y	M	N	F ₁ (绿)	F ₂ (红)
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	0

得: $F_1 = \Sigma(0, 2, 5, 6, 10, 12, 13, 14, 15)$

$$F_2 = \overline{F_1}$$

19. 设计保密锁。

解: 设 A,B,C 按键按下为 1, F 为开锁信号 (F=1 为打开), G 为报警信号 (G=1 为报警)。

(1) 真值表

A	B	C	F	G
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

(1) 卡诺图化简

F 的卡诺图:

		AB			
		C	00	01	11
0				1	
1				1	1

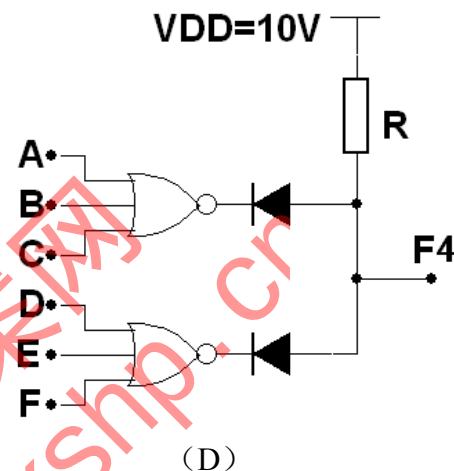
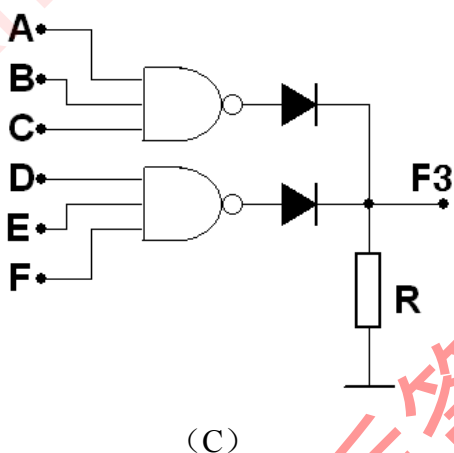
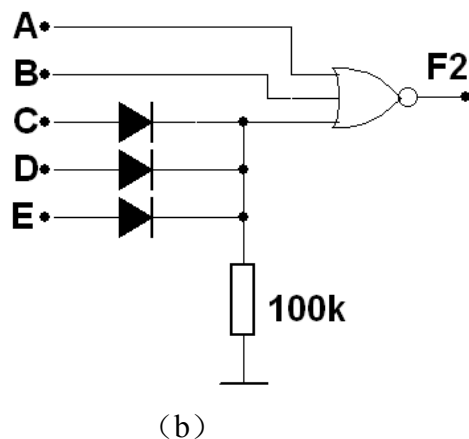
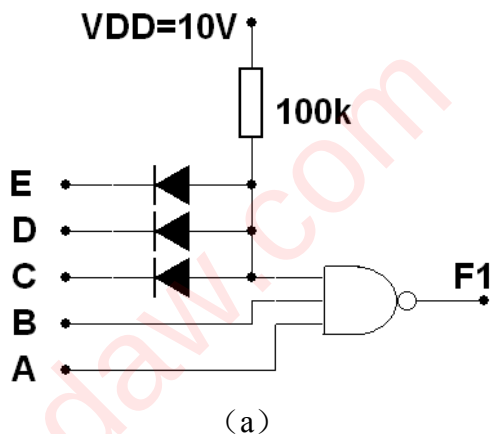
化简得: $F = AB + AC$

G 的卡诺图

		AB			
		C	00	01	11
0			1		
1		1	1		

化简得: $G = \overline{AB} + AC$

2-5 图 2-74 所示逻辑门均为 CMOS 门电路, 二极管均为硅管。试分析各电路的逻辑功能, 写出输出 $F_1 \sim F_4$ 的逻辑表达式。



解:

(a) $F_1 = \overline{ABCD}$

(b) $F_2 = \overline{A+B+C+D+E}$

(c) $F_3 = \overline{ABC} + \overline{DEF} = \overline{ABCDEF}$

(d) $F_4 = \overline{A+B+C+D+E}$

P93:

2-6 上题中使用的扩展功能的方法能否用于 TTL 门电路？试说明理由。

答: (a) 不可以。如果 VDD 改为 5V 即可。

(b) 不可以。100kΩ 大于开门电阻 R_{ON} ，所以当 CDE 均为低电平时，或非门最下方的输入端仍然为高电平。

(c) 可以， F_3 输出高电平电压为 $3.6V - 0.7V = 2.9V$ 。

(d) 不可以。如果 VDD 改为 5V 即可。

2-8 根据图 2-76 (a) 所示 TTL 与非门的电压传输特性、输入特性、输出特性和输入端数在特性，求出图 2-76 (b) 中的输出电压 $v_{01} \sim v_{07}$ 的大小。

解:

$$\begin{aligned} v_{01} &= 0.2V & v_{02} &= 3.6V & v_{03} &= 0.4V & v_{04} &= 3.6V & v_{05} &= 3.6V \\ v_{06} &= 3.6V & v_{07} &= 0.4V \end{aligned}$$

P94:

2-10 用 OC 与非门实现的电路如图 2-78 所示, 分析逻辑功能, 写出逻辑表达式。

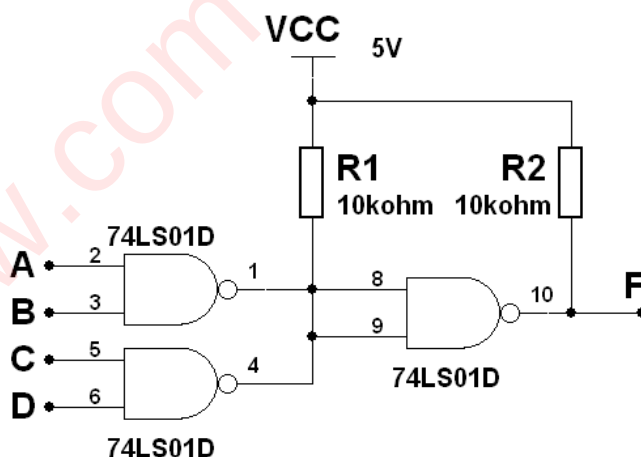


图 2-78

解: $F = \overline{\overline{AC} \cdot \overline{BD}} = AC + BD$

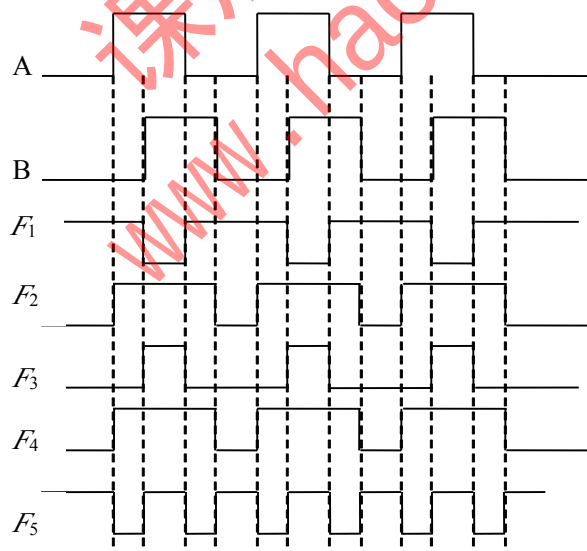
P95:

2-13 已知门电路及其输入 A、B 的波形如图 2-81 所示, 试分别写出输出 $F_1 \sim F_5$ 的逻辑函数表达式, 并画出它们的波形图。

解: 分别列出 $F_1 \sim F_5$ 函数表达式如下:

$$F_1 = \overline{AB} \quad F_2 = A + B \quad F_3 = \overline{A + B} = \overline{AB} \quad F_4 = \overline{A \cdot B} = A + B \quad F_5 = A \oplus B$$

然后画出 $F_1 \sim F_5$ 的波形图如下:



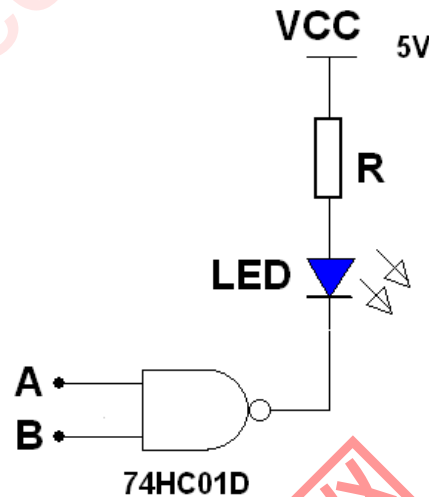
2-16 由 TTL 门和 CMOS 门构成的电路如图 2-84 所示, 试分别写出逻辑表达式或逻辑值。

解:

$$F_1 = AB \quad F_2 = \overline{A} \quad F_3 = 1 \quad F_4 = B$$

P96:

2-17 已知发光二极管导通时的电压降约为 2.0V，正常发光时需要约 5mA 的电流。当发光二极管如图 2-85 那样连接时，试确定上拉电阻 R 的电阻值。



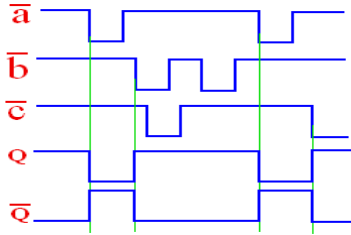
解: $R \approx \frac{V_{CC} - 2V}{5mA} = \frac{3V}{5mA} = 0.6k\Omega = 600\Omega$ (忽略门电路输出低电平 V_{OL})

第三章 时序逻辑

1. 写出触发器的次态方程，并根据已给波形画出输出 Q 的波形。

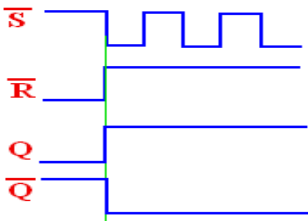
$$Q^{n+1} = (b + c) + \bar{a}Q^n$$

解： $\bar{a} + \bar{b}\bar{c} = 1$

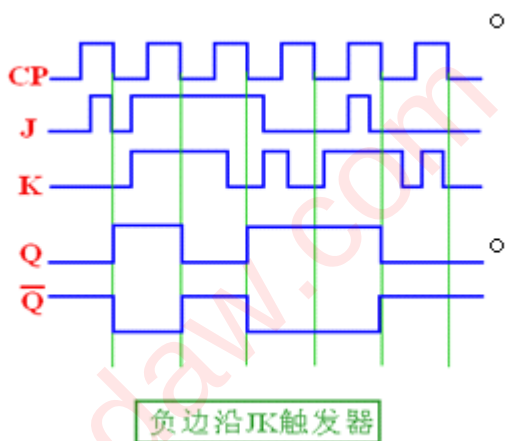


2. 说明由 RS 触发器组成的防抖动电路的工作原理，画出对应输入输出波形

解：



3. 已知 JK 信号如图，请画出负边沿 JK 触发器的输出波形（设触发器的初态为 0）



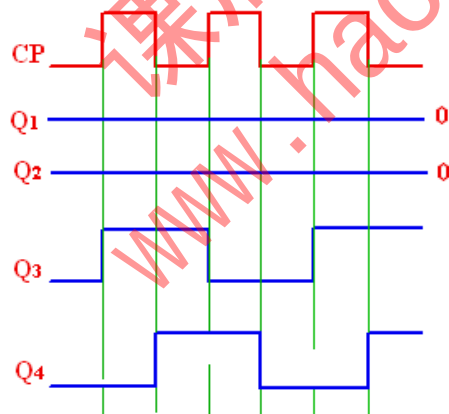
4. 写出下图所示个触发器次态方程，指出 CP 脉冲到来时，触发器置“1”的条件。

解：(1) $D = \overline{A}B + A\overline{B}$ ，若使触发器置“1”，则 A、B 取值相异。

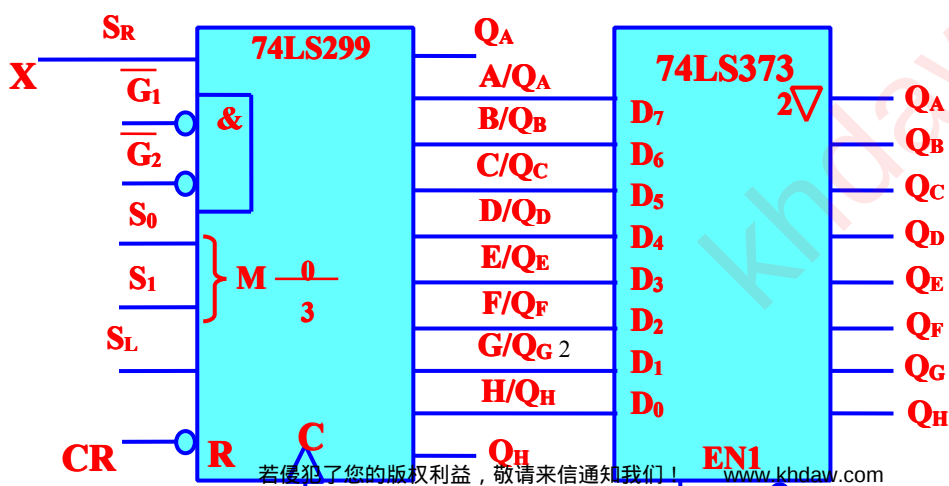
(2) $J = \overline{K} = A \oplus B \oplus C \oplus D$ ，若使触发器置“1”，则 A、B、C、D 取值为奇数个 1。

5. 写出各触发器的次态方程，并按所给的 CP 信号，画出各触发器的输出波形（设初态为 0）

解：



6. 设计实现 8 位数据的串行→并行转换器。

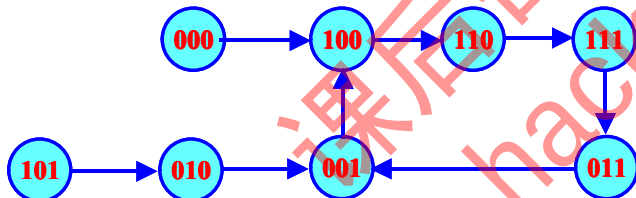


7. 分析下图所示同步计数电路

解：先写出激励方程，然后求得状态方程

Q_1^n	Q_2^n	Q_3^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	1	1
1	1	1	0	1	1

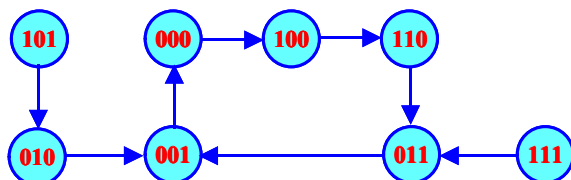
状态图如下：



该计数器是五进制计数器，可以自启动。

8. 作出状态转移表和状态图，确定其输出序列。

解：求得状态方程如下



故输出序列为：00011

9. 用D触发器构成按循环码(000→001→011→111→101→100→000)规律工作的六进制同步计数器

解：先列出真值表，然后求得激励方程

PS			NS			输出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	N
0	0	0	0	0	1	0
0	0	1	0	1	1	0
0	1	1	1	1	1	0
1	1	1	1	0	1	0
1	0	1	1	0	0	0
1	0	0	0	0	0	1

化简得：

$$Z = \overline{Q_2^n} \overline{Q_0^n}$$

$$Q_2^{n+1} = Q_1^n + Q_2^n Q_0^n$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_0^n$$

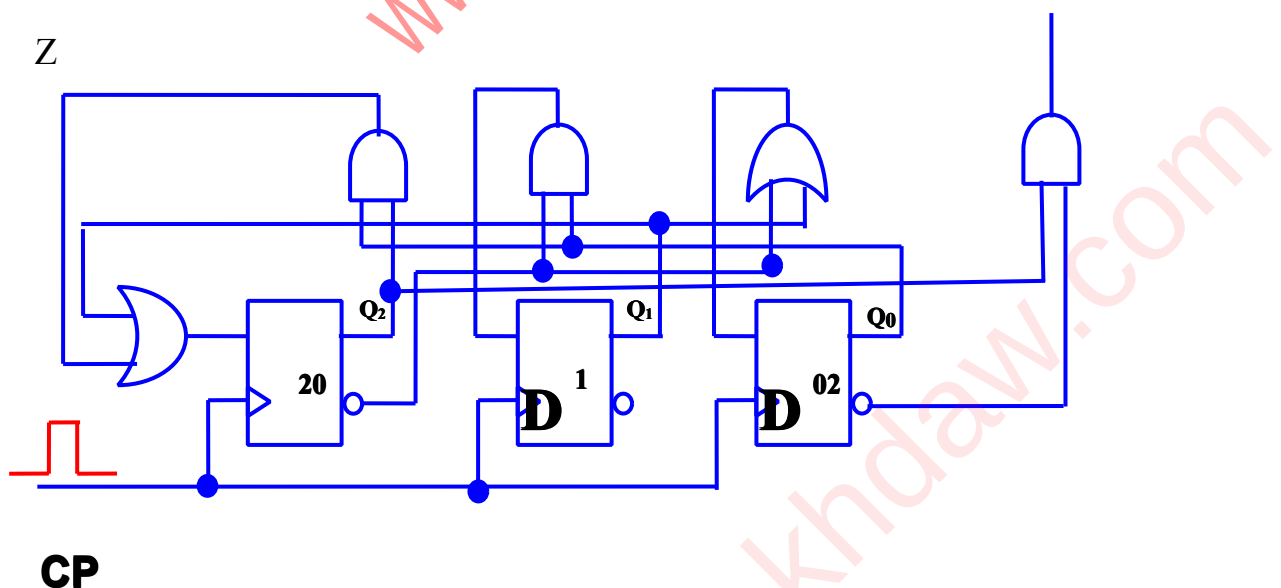
$$Q_0^{n+1} = \overline{Q_2^n} + Q_1^n$$

$$D_2 = Q_2^{n+1} = Q_1^n + Q_2^n Q_0^n$$

$$D_1 = Q_1^{n+1} = \overline{Q_2^n} Q_0^n$$

$$D_0 = Q_0^{n+1} = \overline{Q_2^n} + Q_1^n$$

逻辑电路图如下：



10. 用 D 触发器设计 3 位二进制加法计数器，并画出波形图。

解：真值表如下

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

建立激励方程：

$$D_2 = Q_2 \overline{Q_0} + (Q_2 \oplus Q_1) Q_0$$

$$D_1 = Q_1 \oplus Q_0$$

$$D_0 = \overline{Q_0}$$

11. 用下图所示的电路结构构成五路脉冲分配器，试分别用简与非门电路及 74LS138 集成译码器构成这个译码器，并画出连线图。

解：先写出激励方程，然后求得状态方程

$$Q_1^{n+1} = Q_1^n + Q_3^n Q_1^n = Q_1^n + Q_3^n$$

$$Q_2^{n+1} = Q_2^n + Q_1^n Q_2^n = Q_2^n + Q_1^n$$

$$Q_3^{n+1} = Q_1^n Q_3^n + Q_2^n Q_3^n$$

得真值表

Q_1^n	Q_2^n	Q_3^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	1	1	0
0	0	1	1	1	0
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	0	1	0
1	1	0	1	1	1
1	1	1	0	1	1

得状态图

000 110 001

010 100 111 011 101

译码器功能表

Q_1^n	Q_2^n	Q_3^n	Y_0	Y_1	Y_2	Y_3	Y_4
0	1	0	1	0	0	0	0
1	0	0	0	1	0	0	0
1	1	1	0	0	1	0	0
0	1	1	0	0	0	1	0
1	0	1	0	0	0	0	1
0	0	0	Φ				
1	1	0					
0	0	1					

若用与非门实现，译码器输出端的逻辑函数为：

$$Y_0 = \overline{Q_1} \overline{Q_3}$$

$$Y_1 = Q_1 \overline{Q_3}$$

$$Y_2 = Q_1 Q_2$$

$$Y_3 = \overline{Q_1} Q_3$$

$$Y_4 = \overline{Q_2} Q_3$$

若用译码器 74LS138 实现，译码器输出端的逻辑函数为：

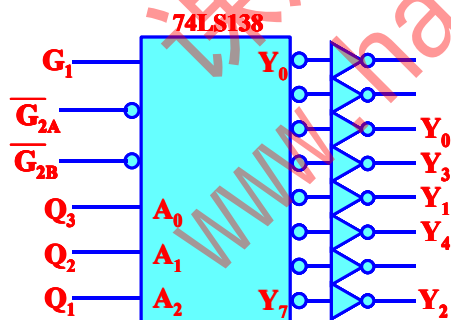
$$Y_0 = \overline{Q_1} \overline{Q_2} \overline{Q_3}$$

$$Y_1 = Q_1 \overline{Q_2} \overline{Q_3}$$

$$Y_2 = Q_1 Q_2 \overline{Q_3}$$

$$Y_3 = \overline{Q_1} Q_2 Q_3$$

$$Y_4 = Q_1 \overline{Q_2} Q_3$$



12 若将下图接成 12 进制加法器，预置值应为多少？画出状态图及输出波形图。

解：预置值应 C=0，B=1，A=1。

0	0	0	0	0
1	0	0	0	1
2	0	0	0	1
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

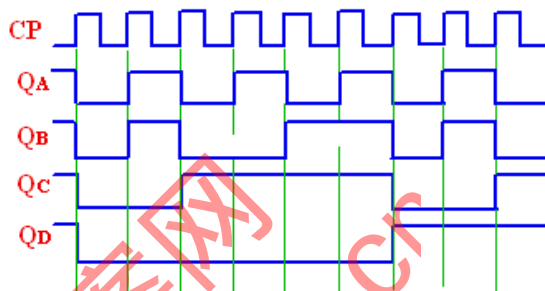
↑

0000
1111

0000 → 0011 → 0100 → 0101 → 0110 → 0111

↑ ↓

1111 ← 1110 ← 1101 ← 1100 ← 1011 ← 1000



解： 电路的状态方程和输出方程为：

$$\begin{aligned} Q_1^{n+1} &= \overline{Q_1^n} \\ Q_2^{n+1} &= (X \oplus Q_1^n) \overline{Q_2^n} + \overline{(X \oplus Q_1^n)} Q_2^n \\ Z &= \overline{Q_1^n} Q_2^n \end{aligned}$$

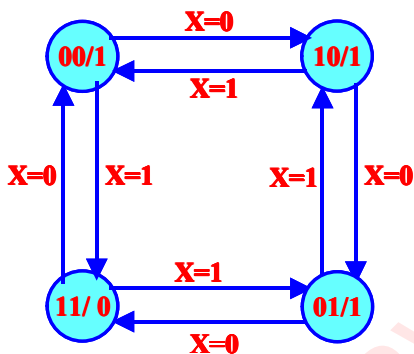
解： 电路的状态方程和输出方程为：

$$\mathcal{Q}_1^{n+1} = \overline{\mathcal{Q}_1^n}$$

$$\mathcal{Q}_2^{n+1} = (X \oplus \mathcal{Q}_1^n) \overline{\mathcal{Q}_2^n} + \overline{(X \oplus \mathcal{Q}_1^n)} \mathcal{Q}_2^n$$

$$Z = \overline{Q_1^n Q_2^n}$$

$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1} / Z$	
	$X=0$	$X=1$
0 0	10 / 1	11 / 1
0 1	11 / 1	10 / 1
1 0	01 / 1	00 / 1
1 1	00 / 0	01 / 0



该电路是 Moore 型电路。

当 $X=0$ 时, 电路为模 4 加法计数器;

当 $X=1$ 时, 电路为模 4 减法计数器

14. 分析下图所示同步时序逻辑电路，作出状态转移表和状态图，说明这个电路能对何种序列进行检测？

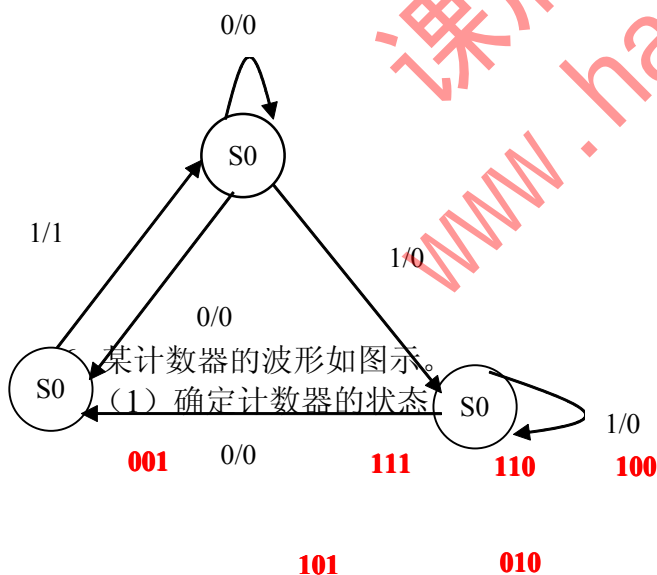
解：电路的状态方程和输出方程为：

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Z$	
	$X=0$	$X=1$
0 0	00 / 0	01 / 0
0 1	00 / 1	11 / 0
1 0	00 / 0	11 / 0
1 1	00 / 1	11 / 0

由此可见，凡输入序列 “110”，输出就为 “1”。

15. 作 “101” 序列信号检测器的状态表，凡收到输入序列 101 时，输出为 1；并规定检测的 101 序列不重叠。

解：根据题意分析，输入为二进制序列 x ，输出为 Z ；且电路应具有 3 个状态： S_0 、 S_1 、 S_2 。列状态图和状态表如下：



PS	NS / Z	
	$X=0$	$X=1$
S_0	$S_0 / 0$	$S_1 / 0$
S_1	$S_2 / 0$	$S_1 / 0$
S_2	$S_0 / 0$	$S_0 / 1$

计数器循环中有 7 个状态。

(2) 真值表如下

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	ϕ	ϕ	ϕ
0	0	1	0	1	1
0	1	0	1	0	1
0	1	1	1	1	1
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	1	1	0

(3) 得状态方程、激励方程

$$Q_3^{n+1} = D_3 = Q_2^n$$

$$Q_2^{n+1} = D_2 = \overline{Q_3^n} Q_1^n + Q_2^n Q_1^n + \overline{Q_2^n} \overline{Q_1^n}$$

$$Q_1^{n+1} = D_1 = \overline{Q_3^n} + \overline{Q_2^n} Q_1^n$$

17. 对状态表进行编码，并做出状态转移表，用D触发器和与非门实现。

解：{B,F}, {D,E} 为等价状态，化简后的状态表为

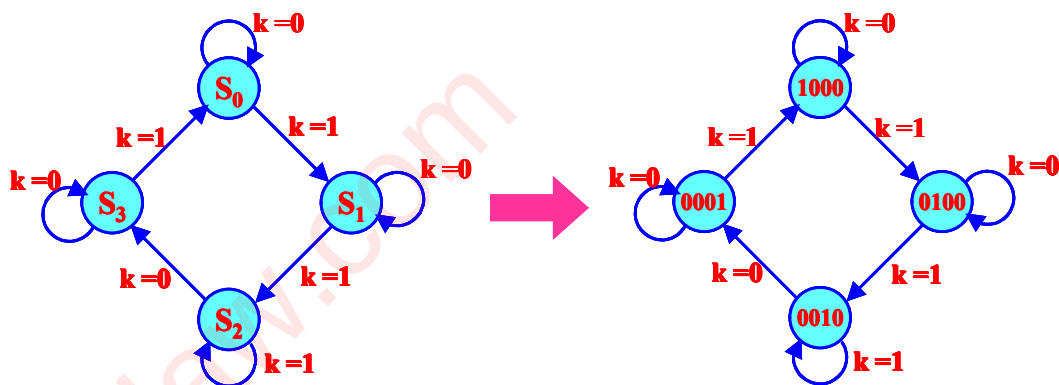
PS	NS, Z	
	X=0	X=1
A	C,1	D,1
B	B,0	C,1
C	C,1	A,0
D	D,0	C,0

若状态编码 A=00, B=01, C=10, D=11, 则

$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1} / Z$	
	X=0	X=1
0 0	10 / 1	11 / 1
0 1	01 / 0	10 / 1
1 0	10 / 1	00 / 0
1 1	11 / 0	10 / 0

电路的状态方程和输出方程为

18. 某时序机状态图如下图所示。请用“一对一法”设计其电路解：



$$D_0 = Q_0^{n+1} = Q_0^n \bar{K} + Q_3^n K$$

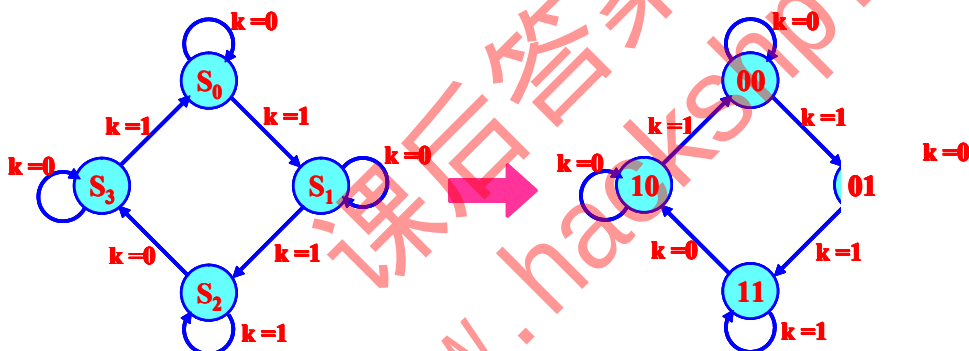
$$D_1 = Q_1^{n+1} = Q_0^n K + Q_1^n \bar{K}$$

$$D_2 = Q_2^{n+1} = Q_2^n K + Q_1^n K$$

$$D_3 = Q_3^{n+1} = Q_2^n \bar{K} + Q_3^n \bar{K}$$

19. 某时序机状态图如下所示，用“计数器法”设计该电路

解：



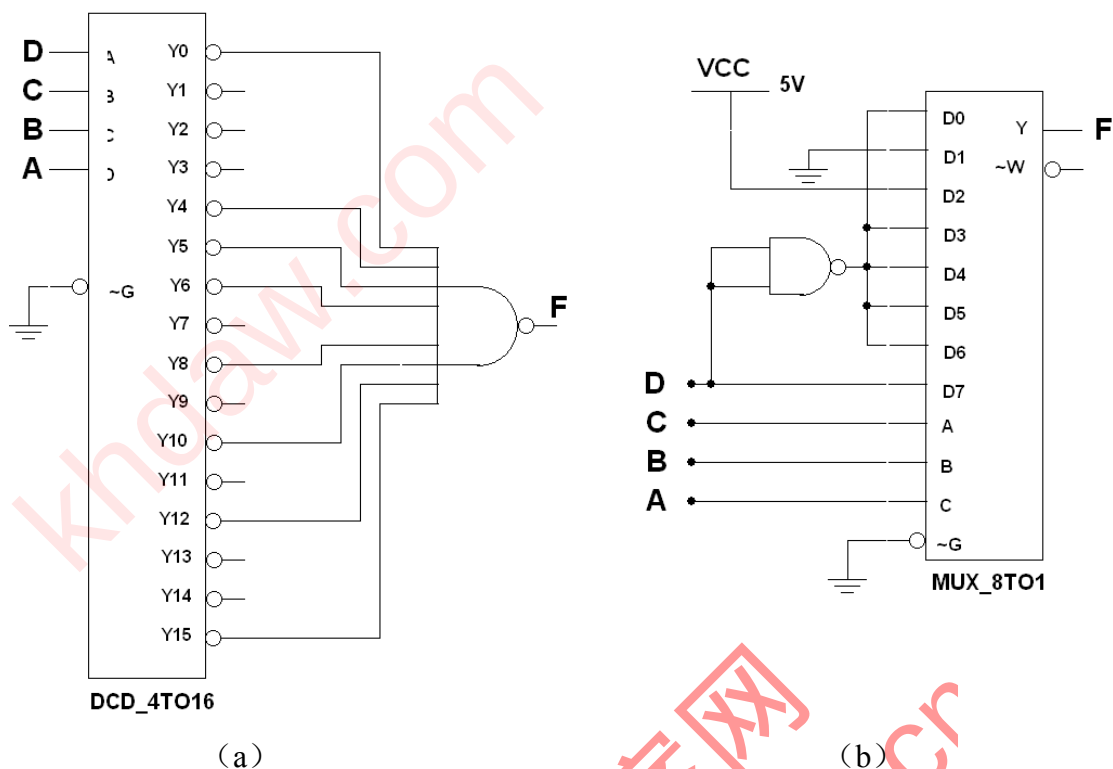
若编码为：S0=00 S1=01 S2=11 S3=10；
则

$Q_1^n Q_2^n$	$Q_1^{n+1} Q_2^{n+1}$	
	k=0	k=1
0 0	00	01
0 1	01	11
1 1	10	11
1 0	10	00

$$Q_1^{n+1} = \bar{K} Q_1^n + K Q_2^n$$

次态方程为： $Q_2^{n+1} = K \bar{Q}_1^n + K Q_2^n + \bar{Q}_1^n Q_2^n$

3-3 试说明图 3-36 所示两个逻辑电路图的逻辑功能相同吗？



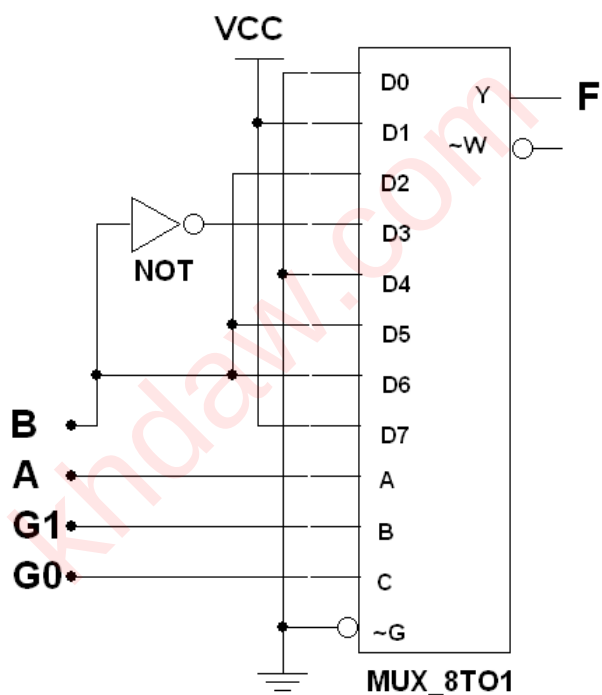
解：

$$\begin{aligned}
 (a) \quad F &= \overline{\overline{A}\overline{B}\overline{C}\overline{D}} \cdot \overline{\overline{A}\overline{B}\overline{C}D} \cdot \overline{\overline{A}\overline{B}C\overline{D}} \cdot \overline{\overline{A}\overline{B}CD} \cdot \overline{\overline{A}B\overline{C}\overline{D}} \cdot \overline{\overline{A}B\overline{C}D} \cdot \overline{\overline{A}BC\overline{D}} \cdot \overline{\overline{A}BCD} \\
 &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD \\
 (b) \quad F &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD
 \end{aligned}$$

根据 (a) (b) 两式表明两个逻辑电路图的逻辑功能相同

P151:

3-4 试分析图 3-64 所示电路逻辑功能。图中 G_1 、 G_0 为控制端。A、B 为输入端。要求写出 G_1 、 G_0 四种取值下的 F 表达式。



解:

当 $G_1=0$ 、 $G_0=0$ 时:

$$F = \overline{G_1} \overline{G_0} A$$

当 $G_1=0$ 、 $G_0=1$ 时:

$$F = \overline{G_1} G_0 (\overline{A}B + A\overline{B})$$

当 $G_1=1$ 、 $G_0=0$ 时:

$$F = G_1 \overline{G_0} AB$$

当 $G_1=1$ 、 $G_0=1$ 时:

$$F = G_1 G_0 (\overline{A}B + A)$$

3-8 使用与非门设计一个数据选择电路。S₁、S₀ 选择端，A、B 为数据输入端。数据选择电路的功能见表 3-29。数据选择电路可以反变量输入。

表 3-29 功能表

S ₁	S ₀	F
0	0	F ₁ =AB
0	1	F ₂ =A+B
1	0	F ₃ = $\overline{\overline{A}B} + \overline{A\overline{B}}$
1	1	F ₄ = $\overline{A}B + A\overline{B}$

解: (1) 根据题意列出真值表如下

S ₁	S ₀	A	B	F ₁	F ₂	F ₃	F ₄	S ₁	S ₀	A	B	F ₁	F ₂	F ₃	F ₄
0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0	1	0	1	0	0	0	1	0
0	0	1	1	1	0	0	0	1	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0	1	1	0	1	0	0	0	1
0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	0	0	0	0

(2) 根据真值表列出 F 的逻辑表达式:

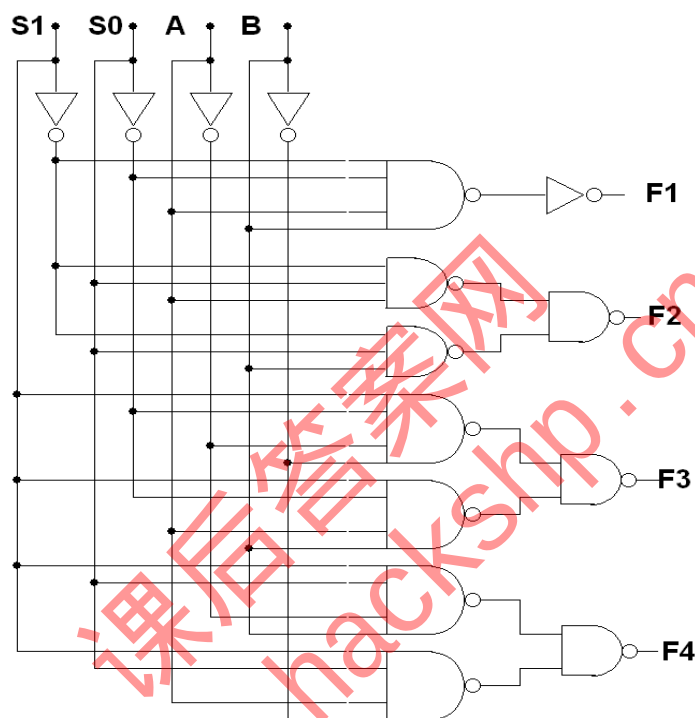
$$F_1 = \overline{S_1} \overline{S_0} AB = \overline{\overline{S_1} \overline{S_0} AB}$$

$$F_2 = \overline{S_1} S_0 (\overline{AB} + \overline{AB} + AB) = \overline{S_1} S_0 (A + B) = \overline{\overline{S_1} S_0 A} \cdot \overline{\overline{S_1} S_0 B}$$

$$F_3 = S_1 \overline{S_0} (\overline{AB} + AB) = \overline{\overline{S_1} S_0 AB} \cdot \overline{\overline{S_1} S_0 AB}$$

$$F_4 = S_1 S_0 (\overline{AB} + \overline{AB}) = \overline{\overline{S_1} S_0 AB} \cdot \overline{\overline{S_1} S_0 AB}$$

(3)根据逻辑表达式画出逻辑电路如下图所示:



P153: 3-11 现有四台设备，每台设备用电均为 10kW。若这四台设备用 F_1 、 F_2 两台发电机供电，其中 F_1 的功率为 10kW， F_2 的功率为 20kW。而四台设备的工作情况是：四台设备不可能同时工作，但至少有一台工作。设计一个供电控制电路，已达到节电之目的。

解：四台设备分别用 A、B、C、D 表示，设备工作表示为“1”，否则表示为“0”；

两台两台发电机用 F_1 、 F_2 表示，工作表示为“1”，否则表示为“0”。

(1) 根据题意列出真值表如下

A	B	C	D	F_1	F_2	A	B	C	D	F_1	F_2
0	0	0	0	×	×	1	0	0	0	1	0
0	0	0	1	1	0	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	1
0	0	1	1	0	1	1	0	1	1	1	1
0	1	0	0	1	0	1	1	0	0	0	1
0	1	0	1	0	1	1	1	0	1	1	1
0	1	1	0	0	1	1	1	1	0	1	1
0	1	1	1	1	1	1	1	1	1	×	×

(2) 根据真值表画 F_1 、 F_2 的卡诺图如下

AB \ CD	00	01	11	10
00	1	1	0	1
01	1	0	1	0
11	0	1	1	1
10	1	0	1	0

F_1 的卡诺图

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	1	1	0	1
10	0	1	1	1

F_2 的卡诺图

(3) 由卡诺图得：

$$F_1 = \sum m(1,2,4,7,8,11,13,14)$$

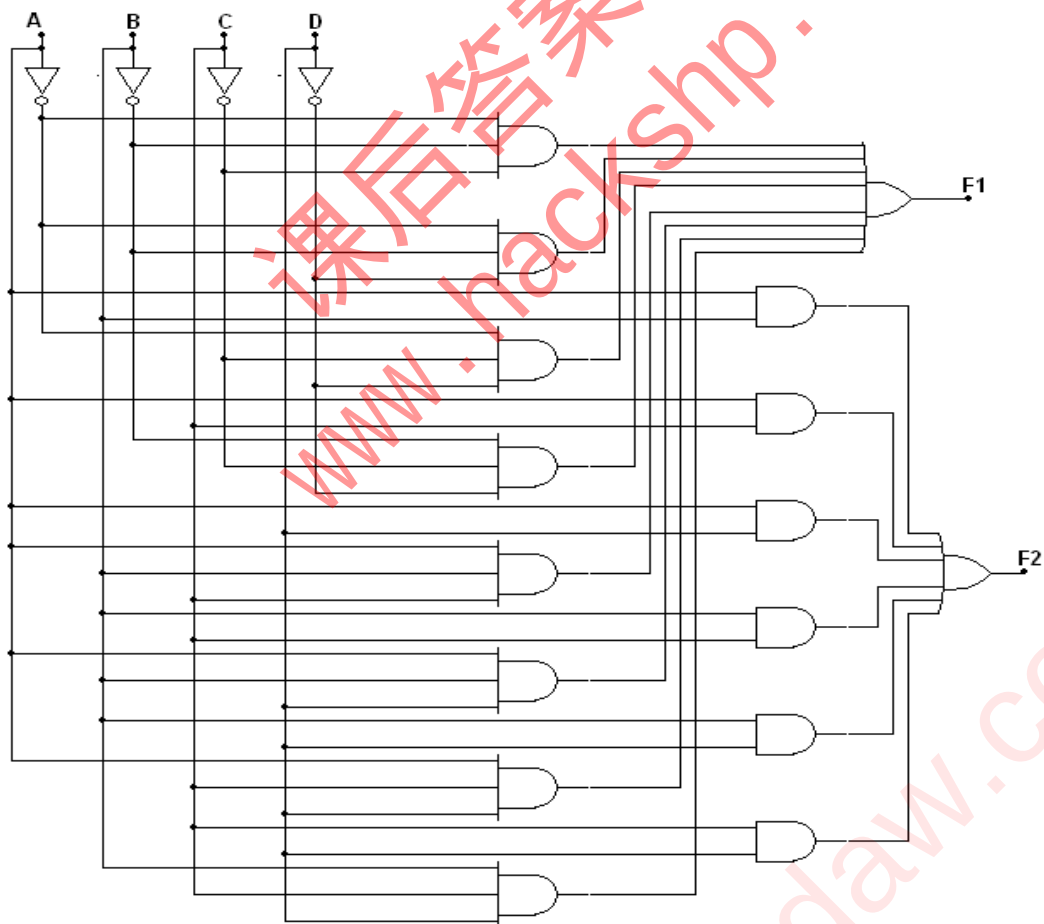
$$= \overline{B}CD + \overline{A}CD + \overline{A}BC + \overline{A}BD + ABD + ABC + ACD + BCD$$

$$F_2 = \sum m(3,5,6,7,9,10,11,12,13,14)$$

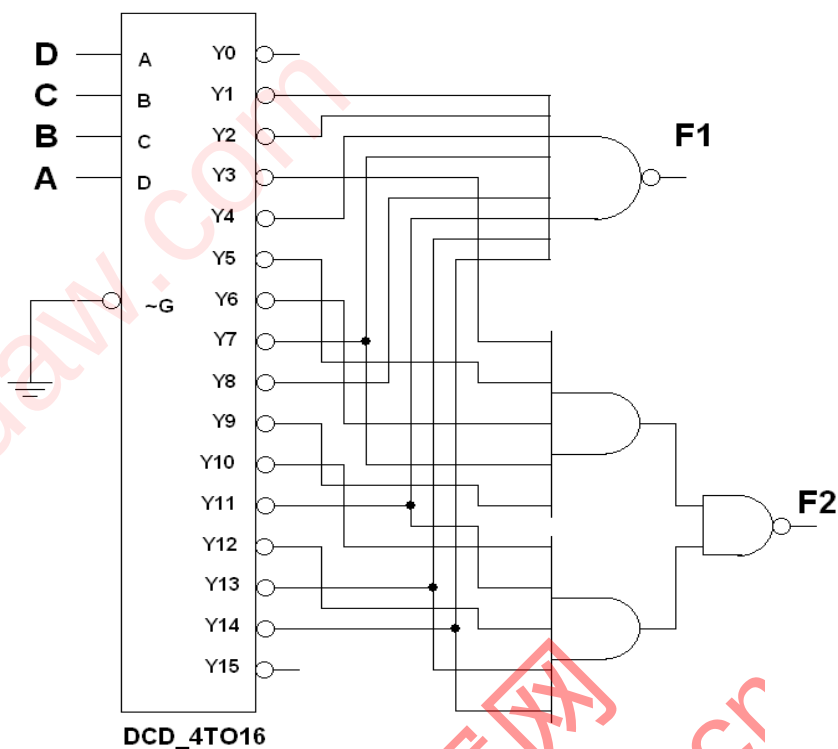
$$= AB + AC + AD + BC + BD + CD$$

(4) 根据逻辑表达式设计逻辑电路图如下。

方法 1：用与或门实现如下：



方法 1：用与或门实现



方法 2: 用译码器和与非门实现

P153: 3-12 试用低电平有效的 74LS138 译码器和逻辑门设计一组合逻辑电路。该电路输入 X 和输出 F 均为 3 位二进制数。两者之间的关系如下:

$2 \leq X \leq 5$ 时 $F = X + 2$

$X < 2$ 时 $F = 1$

$X > 5$ 时 $F = 0$

解: (1) 根据上述两数的关系可得真值表如下:

X_2	X_1	X_0	F_2	F_1	F_0
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	0	0	0
1	1	1	0	0	0

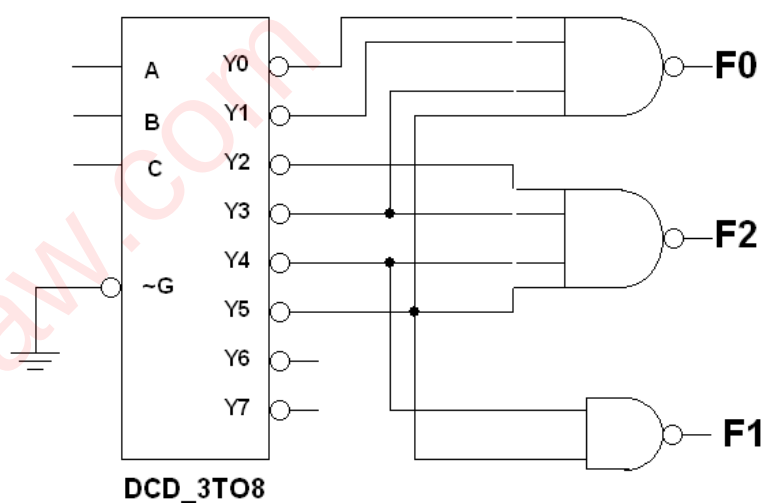
(2) 由真值表得到逻辑函数表达式:

$$F_2 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} \overline{X_1} X_0 + X_2 \overline{X_1} \overline{X_0} + X_2 \overline{X_1} X_0 = \sum m(2,3,4,5)$$

$$F_1 = X_2 \overline{X_1} \overline{X_0} + X_2 \overline{X_1} X_0 = \sum m(4,5)$$

$$F_0 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} \overline{X_1} X_0 + \overline{X_2} X_1 \overline{X_0} + X_2 \overline{X_1} X_0 = \sum m(0,1,3,5)$$

(3) 根据逻辑表达式设计逻辑电路图如下：



P154: 3-24 试用 8 选 1 数据选择器 CD4512 和必要的门电路设计一个 4 位二进制码偶校验的校验码产生电路。

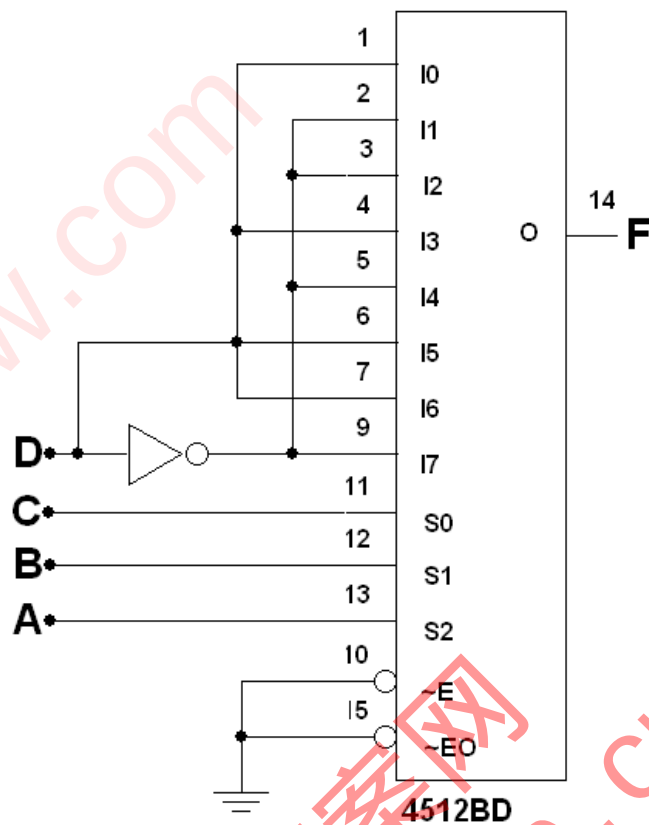
解：(1) 4 位二进制码偶校验的校验码产生电路的真值表如下：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(2) 其逻辑函数表达式：

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD$$

(3) 将变量 A、B、C 分别与 CD4512 的 S₂、S₁、S₀ 连接，作为校验码产生电路输入变量高 3 位，最低位变量 D 根据函数表达式使用 CD4512 的 8 个输入端 I₀~I₇，并用一个非门获得 D 的反变量，获得逻辑电路图如下。



P165: 3-26 用与非门设计一个多功能运算电路。功能如表 3-31 所示。

S	S	S	F
0	0	0	1
0	0	1	$A+B$
0	1	0	$\overline{AB}$
0	1	1	$A \oplus B$
1	0	0	$\overline{A \oplus B}$
1	0	1	AB
1	1	0	$\overline{A+B}$
1	1	1	0

解：（1）列出 F 各函数的与或表达式如下表：

$A+B$	$A+B$
$\overline{AB}$	$\overline{AB}$
$A \oplus B$	$\overline{AB} + \overline{AB}$
$\overline{A \oplus B}$	$\overline{AB} + AB$
AB	AB
$\overline{A+B}$	$\overline{AB}$

(2) 列真值表

S ₂	S ₁	S ₀	A	B	F
0	0	0	X	X	1
0	0	1	0	0	0
			0	1	1
			1	0	1
			1	1	1
0	1	0	0	0	1
			0	1	1
			1	0	1
			1	1	0
0	1	1	0	0	0
			0	1	1
			1	0	1
			1	1	0
1	0	0	0	0	1
			0	1	0
			1	0	0
			1	1	1
1	0	1	0	0	0
			0	1	0
			1	0	0
			1	1	1
1	1	0	0	0	1
			0	1	0
			1	0	0
			1	1	0
1	1	1	X	X	0

(3) 列逻辑表达式

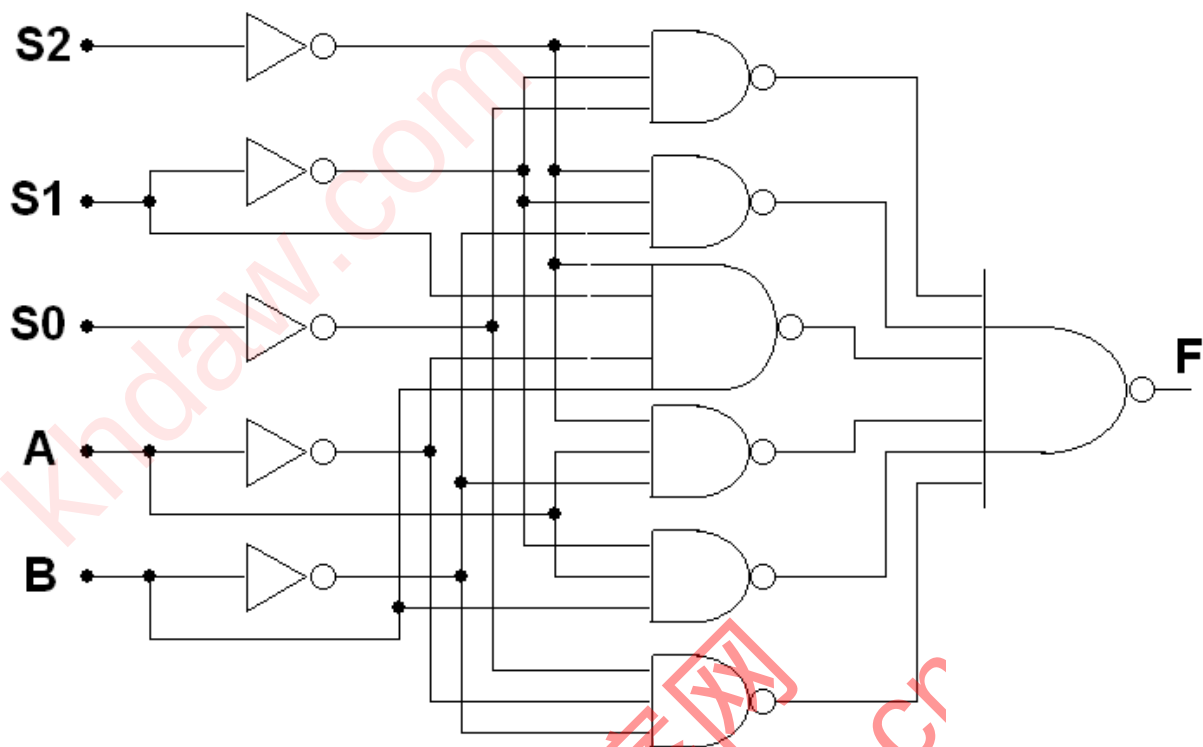
$$F = \overline{S_2} \overline{S_1} \overline{S_0} + \overline{S_2} \overline{S_1} S_0 (\overline{AB} + \overline{AB} + AB) + \overline{S_2} S_1 \overline{S_0} (\overline{AB} + \overline{AB} + \overline{AB}) + \overline{S_2} S_1 S_0 (\overline{AB} + \overline{AB})$$

$$+ S_2 \overline{S_1} \overline{S_0} (\overline{AB} + AB) + S_2 \overline{S_1} S_0 AB + S_2 S_1 \overline{S_0} \overline{AB}$$

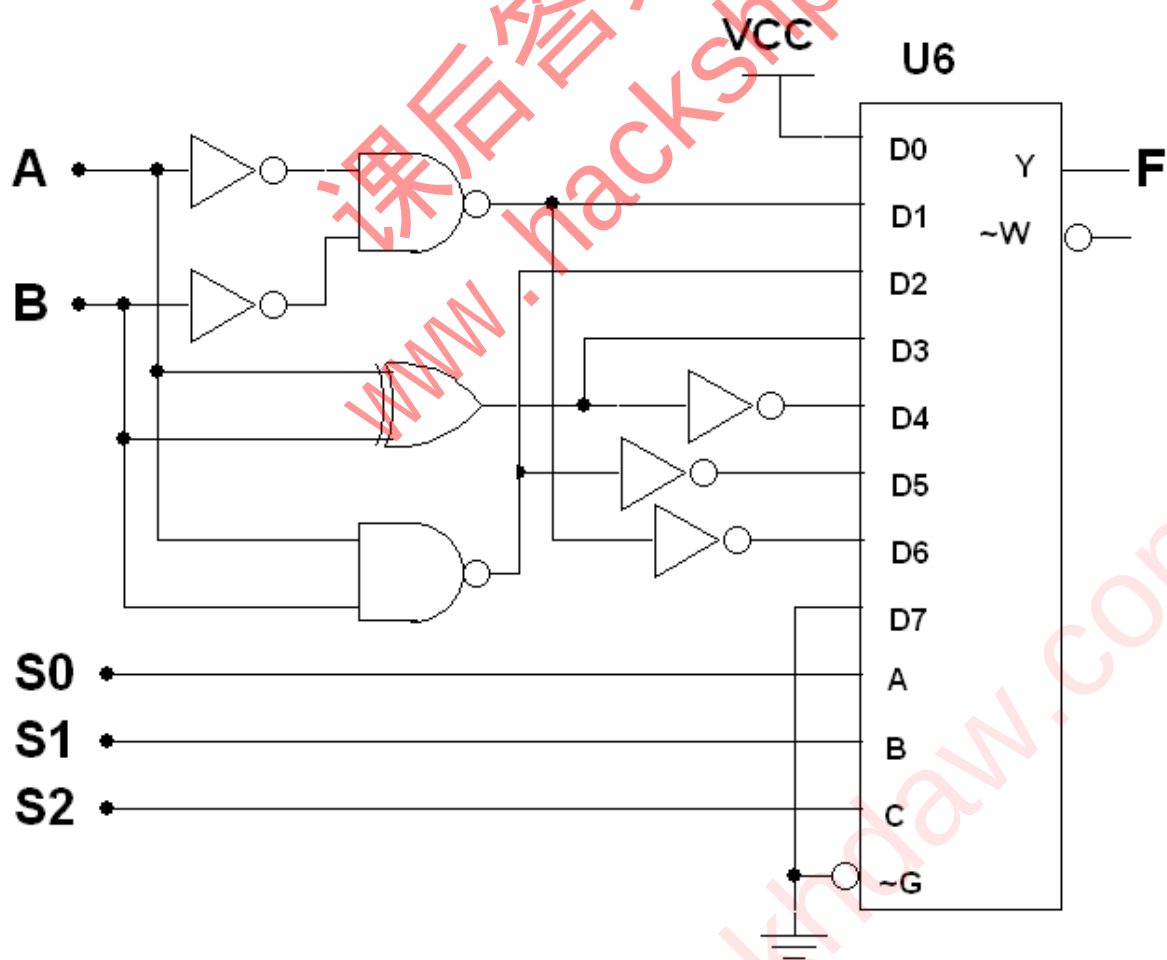
$$F = \overline{S_2} \overline{S_1} \overline{S_0} + \overline{S_2} \overline{S_1} B + \overline{S_2} S_1 \overline{AB} + \overline{S_2} \overline{AB} + \overline{S_1} AB + \overline{S_0} \overline{AB}$$

$$F = \overline{\overline{\overline{S_2} \overline{S_1} \overline{S_0}} \bullet \overline{\overline{\overline{S_2} \overline{S_1} B}} \bullet \overline{\overline{\overline{S_2} S_1 \overline{AB}}} \bullet \overline{\overline{\overline{S_2} \overline{AB}}} \bullet \overline{\overline{\overline{S_1} AB}} \bullet \overline{\overline{\overline{S_0} \overline{AB}}}}$$

(4) 用与非门设计逻辑电路图如下：



用 8 选 1 数据选择器和门电路设计的逻辑电路图如下



P155: 3-27 试分析图 3-69 电路中当 A、B、C、D 单独一个改变状态时是否存在竞争-冒险现象，那么发生在其它变量为何值的情况？

解：根据图 3-69 电路可知 Y 的逻辑表达式为：

$$Y = \overline{A}CD + \overline{A}BD + \overline{B}C + \overline{C}D$$

当 $C=D=1$ $B=0$ 时 $Y = \overline{A} + A$

$A=D=1$ $C=0$ 时 $Y = \overline{B} + B$

$B=1$ $A=D=0$ 、 $A=B=1$ $D=0$ 、 $B=D=1$ $A=0$ 时 $Y = \overline{C} + C$

$C=1$ $A=B=0$ 、 $A=C=1$ $B=0$ 、 $B=C=1$ $A=0$ 时 $Y = \overline{D} + D$

因此，上述 8 种情况均有可能产生竞争-冒险现象。

附加题：应增加哪些冗余项才能消除竞争冒险现象？

将图 3-69 电路的逻辑关系用卡诺图表示，从卡诺图中也可看出 4 个卡诺圈共有 8 处相切的地方如下图 (a) 所示。为了消除竞争冒险现象，可增加图 (b) 中 3 个蓝色的卡诺圈，其逻辑表达式改为

$$Y = \overline{A}CD + \overline{A}BD + \overline{B}C + \overline{C}D + \overline{A}B + \overline{B}C + \overline{A}CD$$

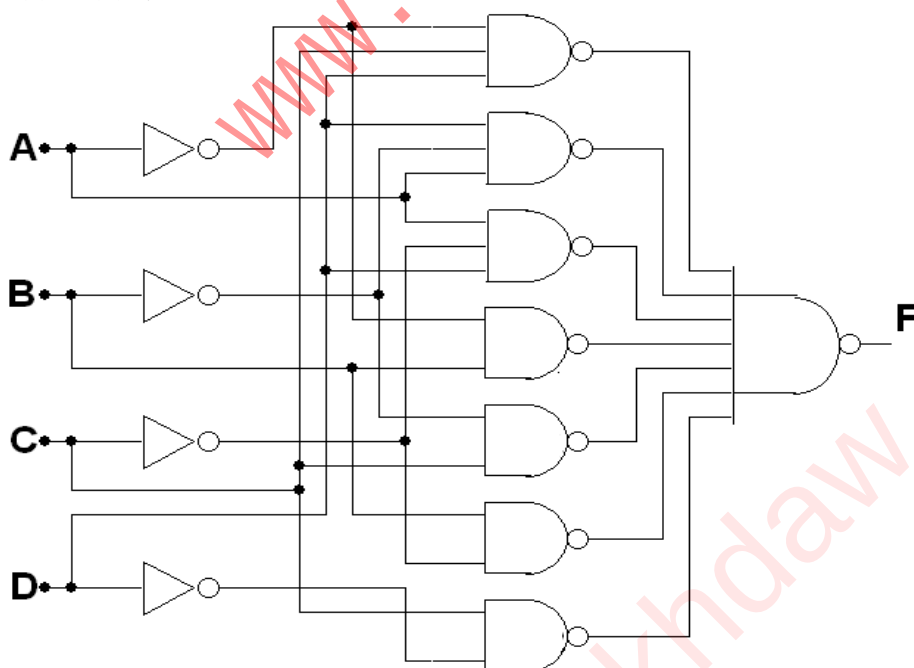
CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	1	1
11	1	1	0	1
10	0	1	1	1

(a) Y 的卡诺图

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	1	1
11	1	1	0	1
10	0	1	1	1

(b) 加上冗余项后 Y 的卡诺图

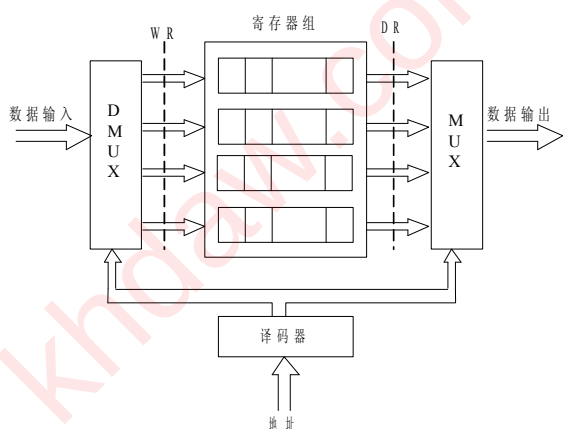
修改后的逻辑电路图如下：



第四章 习题答案

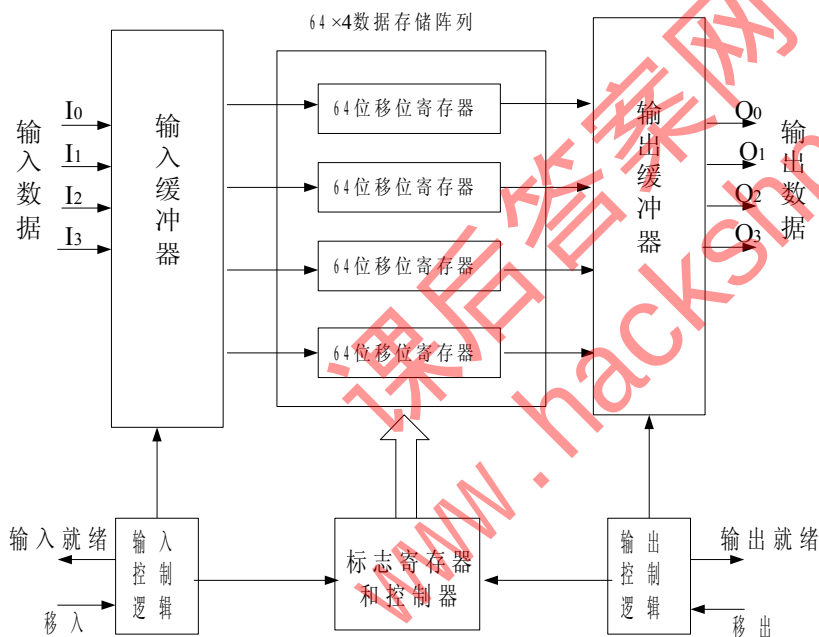
1. 设计 4 个寄存器堆。

解：



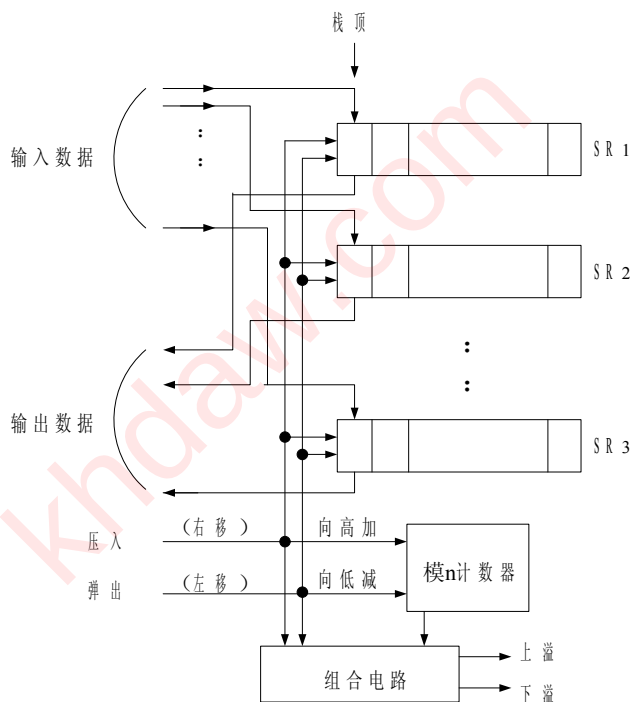
2. 设计具有 4 个寄存器的队列。

解：



3. 设计具有 4 个寄存器的堆栈

解：可用具有左移、右移的移位寄存器构成堆栈。



4. SRAM、DRAM 的区别

解：DRAM 表示动态随机存取存储器，其基本存储单元是一个晶体管和一个电容器，是一种以电荷形式进行存储的半导体存储器，充满电荷的电容器代表逻辑“1”，“空”的电容器代表逻辑“0”。数据存储在电容器中，电容存储的电荷一般是会慢慢泄漏的，因此内存需要不时地刷新。电容需要电流进行充电，而电流充电的过程也是需要一定时间的，一般是 0.2-0.18 微秒（由于内存工作环境所限制，不可能无限制的提高电流的强度），在这个充电的过程中内存是不能被访问的。DRAM 拥有更高的密度，常常用于 PC 中的主存储器。

SRAM 是静态的，存储单元由 4 个晶体管和两个电阻器构成，只要供电它就会保持一个值，没有刷新周期，因此 SRAM 比 DRAM 要快。SRAM 常常用于高速缓冲存储器，因为它有更高的速率；

5. 为什么 DRAM 采用行选通和列选通

解：DRAM 存储器读/写周期时，在行选通信号 RAS 有效下输入行地址，在列选通信号 CAS 有效下输入列地址。如果是读周期，此位组内容被读出；如果是写周期，将总线上数据写入此位组。由于 DRAM 需要不断刷新，最常用的是“只有行地址有效”的方法，按照这种方法，刷新时，是在 RAS 有效下输入刷新地址，存储体的列地址无效，一次选中存储体中的一行进行刷新。每当一个行地址信号 RAS 有效选中某一行时，该行的所有存储体单元进行刷新。

6. 用 ROM 实现二进制码到余 3 码转换

解：真值表如下：

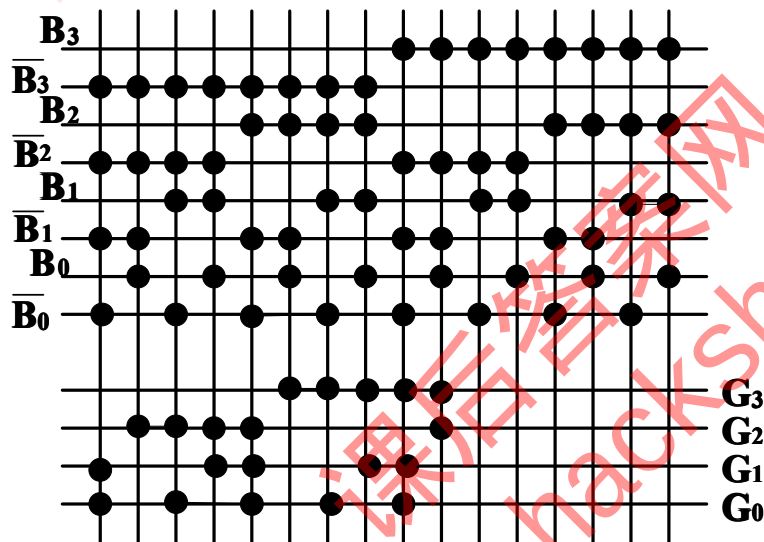
8421 码	余三码
$B^3 B^2 B^1 B^0$	$G^3 G^2 G^1 G^0$
0 0 0 0	0 0 1 1

0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

最小项表达式为：

$$G_3 = \sum(5,6,7,8,9) \quad G_2 = \sum(1,2,3,4,9) \quad G_1 = \sum(0,3,4,7,8) \quad G_0 = \sum(0,2,4,6,8)$$

阵列图为：



7. 用 ROM 实现 8 位二进制码到 8421 码转换

解：输入为 8 位二进制数，输出为 3 位 BCD 码，12 位二进制数，所以，所需 ROM 的容量为： $2^8 \times 12 = 3072$

8. ROM、EPROM 和 EEPROM 的区别

解：ROM 指的是“只读存储器”，即 Read-Only Memory。这是一种线路最简单半导体电路，通过掩模工艺，一次性制造，其中的代码与数据将永久保存(除非坏掉)，不能进行修改。

EPROM 指的是“可擦写可编程只读存储器”，即 Erasable Programmable Read-Only Memory。是采用浮栅技术生产的可编程存储器，它的存储单元多采用 N 沟道叠栅 MOS 管，信息的存储是通过 MOS 管浮栅上的电荷分布来决定的，编程过程就是一个电荷注入过程。编程结束后，由于绝缘层的包围，注入到浮栅上的电荷无法泄漏，因此电荷分布维持不变，EPROM 也就成为非易失性存储器件了。当外部能源（如紫外线光源）加到 EPROM 上时，EPROM 内部的电荷分布才会被破坏，此时聚集在 MOS 管浮栅上的电荷在紫外线照射下形成光电流被泄漏掉，使电路恢复到初始状态，从而擦除了所有写入的信息。这样 EPROM 又可以写入新的信息。

EEPROM 指的是“电可擦除可编程只读存储器”，即 Electrically Erasable Programmable Read-Only Memory。也是采用浮栅技术生产的可编程 ROM，但是构成其存储单元的是隧道 MOS 管，隧道 MOS 管也是利用浮栅是否存有电荷来存储二值数据的，不同的是隧道 MOS 管是用电擦除的，并且擦除的速度要快的多（一般为毫秒数量级）。它的最大优点是可直接用电信号擦除，也可用电信号写入。E²PROM 的电擦除过程就是改写过程，它具有 ROM 的非易失性，又具备类似 RAM 的功能，可以随时改写（可重复擦写 1 万次以上）。目前，大多数 E²PROM 芯片内部都备有升压电路。因此，只须提供单电源供电，便可进行读、擦除/写操作，这为数字系统的设计和在线调试提供了极大方便。

9. flash 存储器的特点

解：Flash 也是一种非易失性的内存，属于 EEPROM 的改进产品。FLASH 是结合 EPROM 和 EEPROM 技术达到的，FLASH 使用雪崩热电子注入方式来编程。主要特点是，FLASH 对芯片提供大块或整块的擦除，而 EEPROM 则可以一次只擦除一个字节(Byte)。这就降低了设计的复杂性，它可以不要 EEPROM 单元里多余的晶体管，所以可以做到高集成度，大容量，另 FLASH 的浮栅工艺上也不同，写入速度更快。

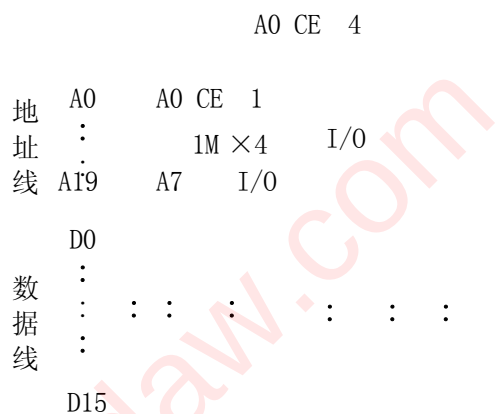
10. 用 256K×8 芯片实现 256K×32 的 ROM

解：需要 4 片 256K×8 的存储器，进行位扩展。



11. 用 1M×4 芯片实现 1M×16 的 SRAM

解：需要 4 片 1M×4 的存储器，进行位扩展。



12 用 256K×4 芯片实现 1M×8 的 DRAM

解：需 8 片 1M×4 的存储器，进行字位同时扩展。



13. 用 1M×8 芯片实现 4M×8 的 DRAM

解：需 4 片 1M×8 的存储器，进行字扩展。

A20 2:4
A21 译码器

地	A0	A0	CE ₁	A0	CE ₂	A0	CE ₃	A0	CE ₄
址	⋮	1M × 8		1M × 8		1M × 8		256K × 8	
线	A19	A7	I/O	A7	I/O	A7	I/O	A7	I/O
	D0								
数	⋮								
据	⋮								
线	⋮								
	D7								

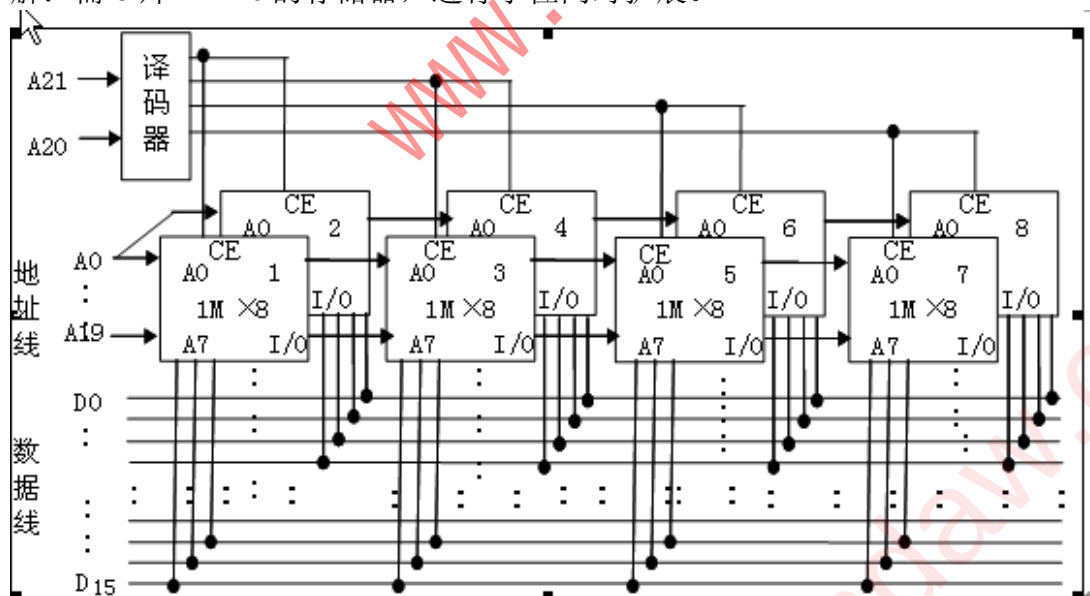
14. 用 64K×4 芯片实现 64K×16 的 ROM

解：需 4 片 64K×4 的存储器，进行位扩展。

	A0	A0	CE ₁				
地	⋮	64K × 4		I/O			
址	⋮						
线	A15	A7	I/O				
	D0						
数	⋮						
据	⋮						
线	⋮						
	D15						

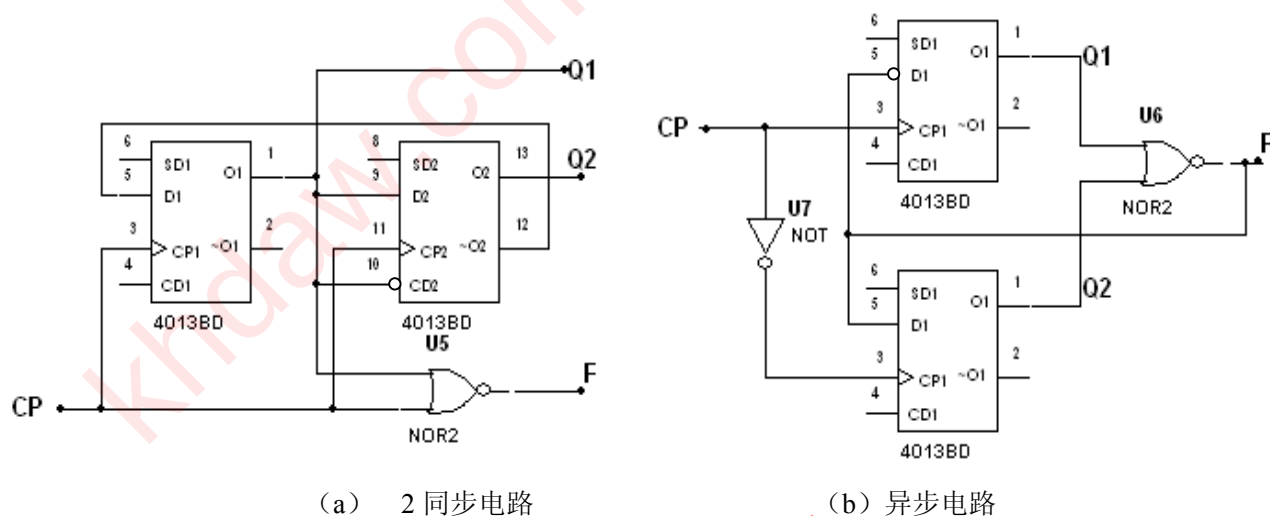
15. 用 1M×8 芯片实现 4M×16 的 ROM

解：需 8 片 1M×8 的存储器，进行字位同时扩展。



P222

4-5 图 4-105 所示是用 CMOS 边沿触发器和或非门组成的脉冲分频器。试画出在一系列 CP 脉冲作用下 Q_1 、 Q_2 和 F 的输出电压波形。设触发器的初始状态皆为 0。



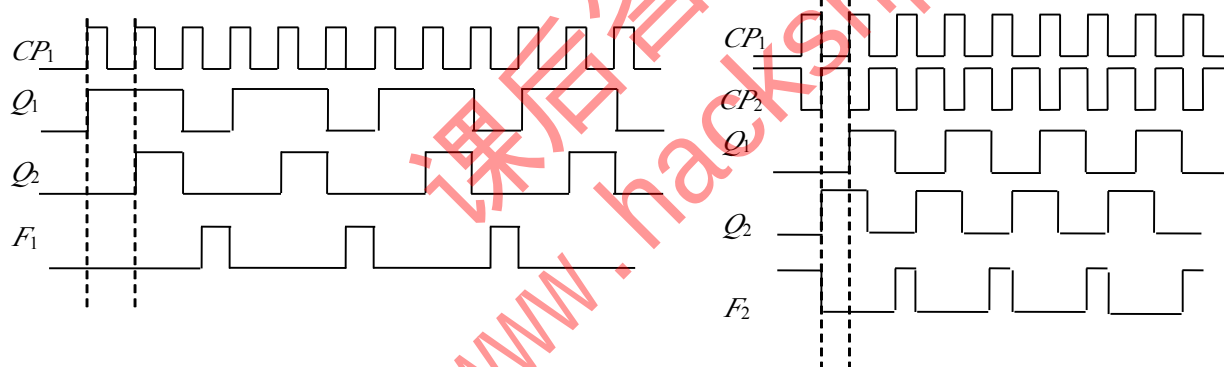
(a) 2 同步电路

(b) 异步电路

图 4-105 习题 4-5 图

解: (a) $Q_1^{n+1} = \overline{Q_2^n}$ $Q_2^{n+1} = Q_1^n$ $CD_2 = Q_1^n$ $F_1 = \overline{CP + Q_1^n}$

(b) $CP_1 = \overline{CP_2} = CP$ $\overline{D_1} = D_2 = \overline{Q_1^n + Q_2^n}$ $F_2 = \overline{Q_1^n + Q_2^n}$



4-7 试分析图 4-106 所示时序逻辑电路的逻辑功能，写出电路的驱动方程，状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。

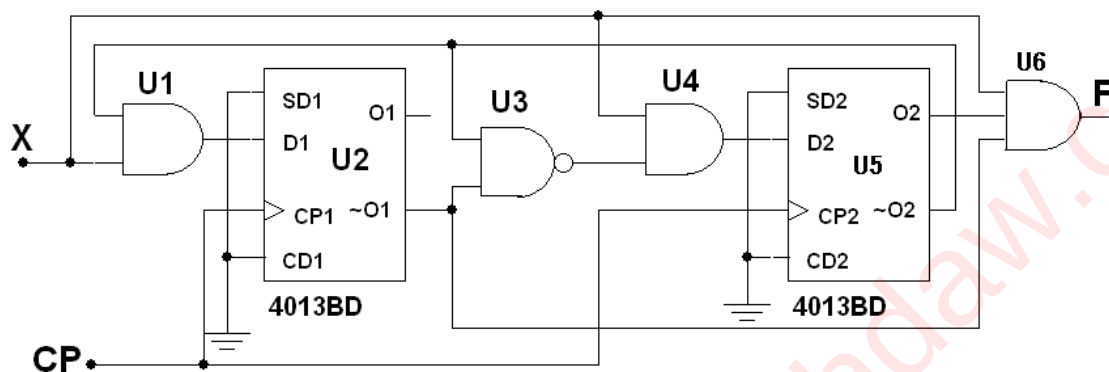


图 4-106

解：(1) 电路的驱动方程： $D_1 = X\overline{Q_2}$ $D_2 = X \bullet \overline{\overline{Q_1}Q_2}$

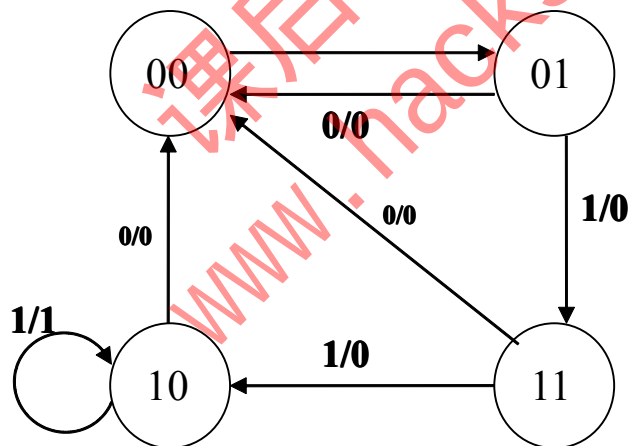
(2) 电路状态方程： $Q_1^{n+1} = D_1 = X\overline{Q_2}$ $Q_2^{n+1} = D_2 = X \bullet \overline{\overline{Q_1}Q_2}$

(3) 电路输出方程： $F = X\overline{Q_1}Q_2$

(4) 列出状态转换真值表

输入	现态		驱动		次态	输出
X	Q ₂	Q ₁	D ₂	D ₁	Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹	F
0	0	0	0	0	0 0	0
0	0	1	0	0	0 0	0
0	1	0	0	0	0 0	0
0	1	1	0	0	0 0	0
1	0	0	0	1	0 1	0
1	0	1	1	1	1 1	0
1	1	0	1	0	1 0	1
1	1	1	1	0	1 0	0

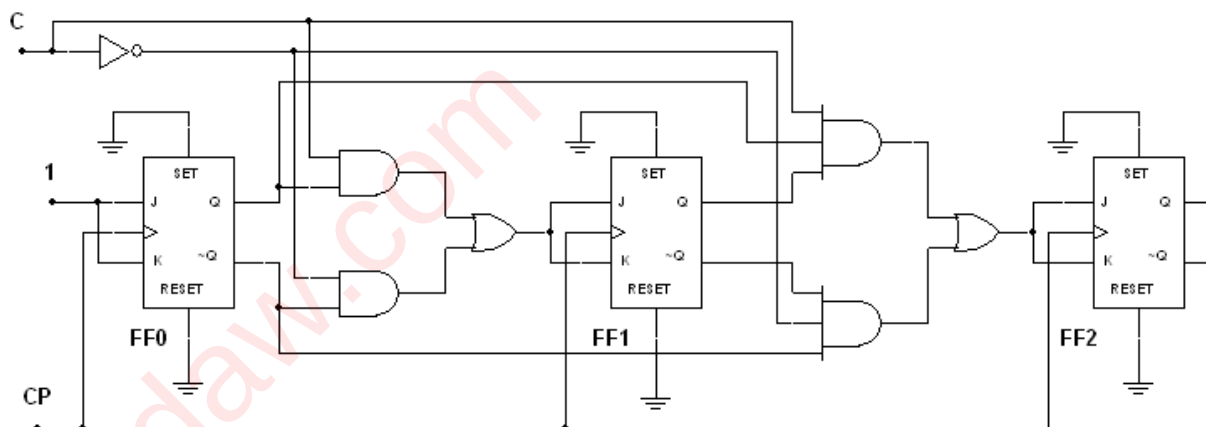
(5) 画出状态转换图



(6) 由状态转换图可知，该电路可实现自启动功能。

P223

4-10 已知时序电路 4-109 所示。试分析该电路在 C=1 和 C=0 时电路逻辑功能。



解：(1) 由图 5-27 列出驱动方程和状态方程

$$J_0 = K_0 = 1 \quad J_1 = K_1 = \overline{CQ_0''} + CQ_0'' \quad J_2 = K_2 = \overline{CQ_0''Q_1''} + CQ_0''Q_1''$$

C=1 时，实现加法计数：

$$J_0 = K_0 = 1 \quad J_1 = K_1 = Q_0'' \quad J_2 = K_2 = Q_0''Q_1''$$

$$Q_0^{n+1} = \overline{Q_0''} \quad Q_1^{n+1} = Q_0''\overline{Q_1''} + \overline{Q_0''}Q_1'' \quad Q_2^{n+1} = Q_0''Q_1''\overline{Q_2''} + \overline{Q_0''}Q_1''Q_2''$$

C=0 时，实现减法计数：

$$J_0 = K_0 = 1 \quad J_1 = K_1 = \overline{Q_0''} \quad J_2 = K_2 = \overline{Q_0''Q_1''}$$

$$Q_0^{n+1} = \overline{Q_0''} \quad Q_1^{n+1} = \overline{Q_0''}\overline{Q_1''} + Q_0''Q_1''$$

$$Q_2^{n+1} = \overline{Q_0''Q_1''Q_2''} + \overline{Q_0''}\overline{Q_1''}Q_2'' = \overline{Q_0''Q_1''Q_2''} + (Q_0'' + Q_1'')Q_2''$$

(2) 根据状态列状态转换表如下

C	Q_2''	Q_1''	Q_0''	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C	Q_2''	Q_1''	Q_0''	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	0	0	0	0	0	1	0	0	0	0	1	1	1
1	0	0	1	0	1	0	0	0	0	1	1	1	0
1	0	1	0	0	1	1	0	0	1	0	1	0	1
1	0	1	1	1	0	0	0	0	1	1	1	0	0
1	1	0	0	1	0	1	0	1	0	0	0	1	1
1	1	0	1	1	1	0	0	1	0	1	0	1	0
1	1	1	0	1	1	1	0	1	1	0	0	0	1
1	1	1	1	0	0	0	0	1	1	1	0	0	0

(3) 分析逻辑功能

由状态转换表可知，该电路为同步二进制可逆计数器。C=1 时，实现加法计数器；C=0 时，实现减法计数器。根据上述公式计算得加法计数状态 (C=1) 和减法计算状态 (C=0) 转换表，如表 2 所示。

P224

4-13 用 D 触发器和门电路设计 1 个同步十一进制加法计数器，并检查设计的电路能否自启动。

解：(1) 根据 $2^{n-1} < M \leq 2^n$ 同步 11 进制计数器需选 4 个 D 触发器，其状态转换图如图 4 所示：

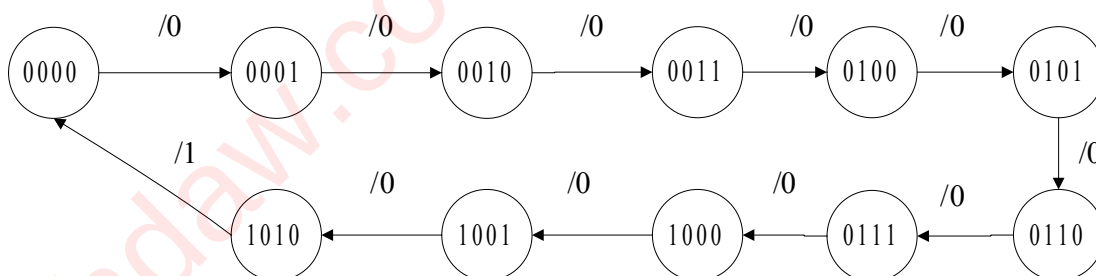


图 4

(2) 根据状态转换图列出次态卡诺图：

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$	0001/0	0010/0	0100/0	0011/0
01	0101/0	0110/0	1000/0	0111/0
11	xxxx/0	xxxx/0	xxxx/0	xxxx/0
10	1001/0	1010/0	xxxx/0	0000/1

(3) 根据次态卡诺图得到状态方程：

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	1	1	x	0

由 Q_4 的卡诺图得：

$$Q_4^{n+1} = Q_4^n \overline{Q_2^n} + Q_3^n Q_2^n Q_1^n$$

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$	0	1	0	1
01	0	1	0	1
11	x	x	x	x
10	0	1	x	0

由 Q_2 的卡诺图得：

$$Q_2^{n+1} = Q_1^n \overline{Q_2^n} + \overline{Q_4^n} Q_2^n \overline{Q_1^n}$$

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$	0	0	1	0
01	1	1	0	1
11	x	x	x	x
10	0	0	x	0

由 Q_3 的卡诺图得：

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} + \overline{Q_3^n} Q_2^n Q_1^n + \overline{Q_1^n} Q_3^n = (Q_2^n Q_1^n) \oplus Q_3^n$$

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$	0	1	0	1
01	0	1	0	1
11	x	x	x	x
10	0	1	x	0

由 Q_1 的卡诺图得：

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_2^n} + \overline{Q_4^n} Q_1^n$$

$Q_2^n Q_1^n$	00	01	11	10
$Q_4^n Q_3^n$				
00	0	0	0	0
01	0	0	0	0
11	x	x	x	x
10	0	0	x	1

由 F 的卡诺图得：

$$F = Q_2^n Q_4^n$$

(4) 根据 D 触发器的特征方程得出驱动方程：

$$D_4 = Q_4^{n+1}, \quad D_3 = Q_3^{n+1}, \quad D_2 = Q_2^{n+1}, \quad D_1 = Q_1^{n+1}$$

(5) 根据驱动方程画出逻辑电路如图 5 所示。

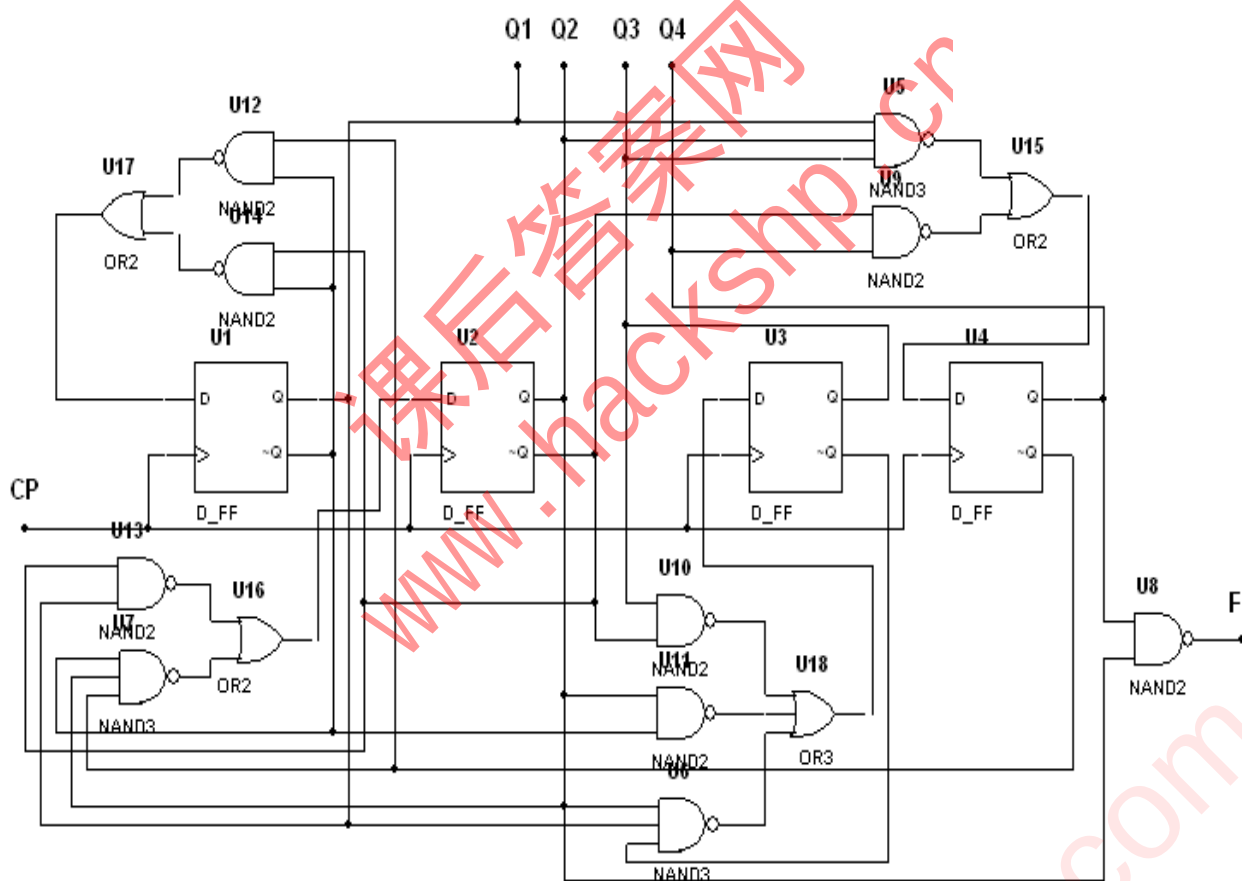


图 5 十一进制计数器电路图

(6) 验证设计的正确性：

将 0000 作为初状态，代入状态方程中依次计算次态值如下表所列。

解：U1 构成 $M=10$ (0~9) 的十进制计数器，U2 和非门构成 $M=9$ (1~9) 计数器，U1、U2 共用一个时钟 CP，U1 的进位输出与 U2 的计数使能端 ENP 和 ENT 连接在一起；因此，当 U1 输入第 9 个脉冲时，U1 的进位 RCO 输出为 1，第 10 个脉冲到来时，U2 计数值加 1，U1 复位为 0。当计数输出等于 90 时，下一个脉冲到来时 U1、U2 的输出均为 0001，其中 U1 属于自然计数从 0~1，U2 则是进位 RCO 输出经过非门反相产生置数有效电平加至 LOAD 端，使输入端预置的 0001 送至输出端。因此该计数器的计数范围为 11~90，即该计数器属于 $M=80$ 的计数器。