

电子科技大学

硕士学位论文

PXI数据采集模块硬件设计

姓名：陈明浩

申请学位级别：硕士

专业：检测技术与自动化装置

指导教师：王厚军

20090501

摘 要

数据采集作为数字信号处理必不可少的前期工作，在整个数字系统中起到关键性、乃至决定性的作用，其应用已经深入到数字信号处理的各个领域。本项目研制最高采样率 1GSa/s 的 PXI (PCI Extension for Instrumentation) 数据采集卡，其充分利用计算机的强大性能，提高了仪器的数据处理和显示性能，同时降低了仪器成本。

本文探讨了数据采集卡的基本工作原理和硬件结构，以及它在测试领域的发展趋势，研究了数据采集卡的硬件电路和 PXI 接口硬件设计。同时也给出了系统的测试方法和结果。

本设计采用先进的现场可编程门阵列 (FPGA) 器件，实现高速采样数据的接收以及深度的存储控制和触发功能。在高速采样数据接收的设计中，使用 FPGA 内嵌的串行接收器来降低后级数据处理电路的工作频率。在采样时钟上，可以用板上时钟和外时钟采样。在触发方面实现了通道触发、外触发以及 PXI 背板触发。高速数据采集存储、使用外时钟采样及窗口、PXI 背板触发方式的提出和具体实现是本设计的创新点。

PXI 接口的设计中分析了 PXI 协议的基本特性，研究 PXI 接口芯片与 FPGA 的信号连接以及 PXI 背板触发的实现。

经测试表明，该数据采集模块具有高速数据采集和存储功能，PXI 接口有良好的数据传输能力，能满足高速信号传输的要求。它和零槽控制器配合工作，满足了用户高速信号采集和处理的要求。

关键词：数据采集卡，高速数据采集与存储，触发，PXI

Abstract

Data acquisition is an essential preliminary work before digital signal processing. Due to its critical, even decisive role in the whole digital system, it has widely used in digital signal processing area. This data acquisition card has the maximum sampling rate of 1GSa/s, based on PXI (PCI Extension for Instrumentation) bus. With utilization of computer, this acquisition card improved the performance of data analysis, and lowers the cost of the instrument.

This dissertation describes the basic theory of the data acquisition card and introduces the application and developing trend in data acquisition. And it also gives the testing methods and results.

The project uses the Field Programmable Gates Array (FPGA) to realize high-speed data acquisition, Window trigger and PXI trigger, and storing control. In the design of the high-speed sampling, this project adopts deserializer in order to achieve lower frequency of data processing circuits. In the design of sampling clock, external clock can be used to sampling. In the aspect of trigger, this project realizes window trigger and PXI trigger. The innovation and main research of this dissertation are the presentation of the deserializer, sampling with external clock and the window trigger and PXI trigger.

In the design of the PXI interface, main performance of PXI protocol is introduced. And this dissertation also studies the PXI interface chip and the connection with data acquisition circuit.

These test results indicate that this data acquisition card has good capability of data acquisition and nice data transmission with PXI interface. So it can meet the customer requirements of high-speed signal acquisition and processing.

Keywords: data acquisition card, high-speed data acquisition and storage, trigger, PXI

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名：_____ 日期：_____ 年 _____ 月 _____ 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名：_____ 导师签名：_____

日期：_____ 年 _____ 月 _____ 日

第一章 绪论

1.1 仪表技术的发展概况

任何测量与控制系统都包含一定的检测技术及相应的仪表单元，仪表单元是测量与控制系统的重要基础。随着电子技术和计算机技术的飞速发展，在仪表技术领域出现了一场革命，出现了“计算机就是仪器”的提法。通用的个人计算机代替了各台智能仪器中的嵌入式计算机及其键盘、显示器等人机接口，由插入个人计算机扩展槽或仪器扩展箱中的插卡或模块来实现仪器功能，这些仪器插卡或模块通过 PC 总线直接与计算机相连。这样的仪器叫做 PC 仪器或个人仪器。这种个人仪器充分利用了 PC 机的软件和硬件资源，相对于传统仪器，大幅度降低了系统成本，缩短了研制周期。但这种个人仪器的缺点是 PC 机扩展槽数量有限，机箱内干扰比较严重，此外电源功率和散热指标也难以满足大电力负荷仪器的要求。

1987 年 7 月，Colorado Data system、HP (Hewlett Packard)、Racal Dana、Tektronix 和 Wavetek 五家公司成立了一个专门委员会发布了用于通用模块化仪器结构的标准总线——VXI (VMEbus Extensions for Instrumentation) 总线的技术规范。1992 年 IEEE 正式制定了关于 VXI 总线的国际标准 IEEE 1155。1995 年 VXI 即插即用 (VXI Plug & Play) 标准的推出，使得 VXI 仪器朝实现虚拟仪器方向迈出了重要的一步。

所谓虚拟仪器 (Virtual Instrument, 简称 VI)，就是用户在通用计算机平台上，根据自己特定的需求，定义测试功能和设计具有这种测试功能的仪器，使得用户在操作这台计算机上设计的仪器时，就像是在操作一台具体测试仪器一样。虚拟仪器概念的出现，打破了人们对传统仪器的看法。传统仪器具有单一功能，由厂家定义，用户无法改变它的工作模式，而对于虚拟仪器来说，用户可以灵活使用，可以根据自己独特的需求，设计自己的仪器系统。“软件就是仪器”是虚拟仪器概念最简单，也最本质的表述。

在虚拟仪器发展初期，虚拟仪器结构形式主要有三种：基于 GPIB 总线、PC-DAQ 或 VXI 总线，但这三种系统都有各自的不足之处。GPIB 实质上是通过计算机实现对传统仪器功能的扩展和延伸，数据传输速度较低；PC-DAQ 直接利

用了 ISA 总线或串行总线，没有定义仪器系统所需的总线；VXI 系统是在用于工业控制的 VME 计算机总线上而建立的系统，价格昂贵，适用于大型或复杂，应用范围集中在航空、航天、国防等领域^[1]。为适应虚拟仪器用户日益多样化的需求，美国国家仪器公司（National Instrument）在 1997 年 9 月 1 日推出了一种全新的开放性、模块化仪器总线规范——PXI（PCI Extension for Instrumentation）总线标准。PXI 是 PCI 总线在仪器领域的扩展，它将 CompactPCI 规范定义的 PCI 总线技术发展成适合于试验、测量和数据采集场合应用的机械、电器和软件规范，从而形成了新的虚拟仪器体系结构。PXI 总线技术吸取了 PC 机技术、Windows 图形化操作系统和仪器技术的特点，把这些技术结合起来，并且使高速 PCI 技术和抗恶劣工业环境性能相适应。

自从 1997 年由 NI 公司提出以来，现在 PXI 已经成为一个受到全球超过 70 家厂商共同支持的标准。无论是准备构建一个仪器平台、自动化测试系统、工业自动化系统或是数据采集系统，PXI 的开放式工业标准特性都能帮助设计者降低系统的总成本和开发时间，增加系统性能和带宽，使系统集成工程变得轻松简单。2006 年 PCI Express 技术被引入 PXI 技术规范，2007 年基于 PXI Express 的模块化仪器发布，使得 PXI 总线的数据传输速率提高到 4GB/S。据 Frost&Sullivan(2006 年第三季度)世界 VXI 与 PXI 测试设备市场分析报告指出，2006 年至 2012 年 PXI 设备销售预计 CAGR（年均复合增长率）为 23%，PXI 已经成为发展最快的测试标准。目前市场上可提供超过 1500 种不同的 PXI/PXI Express 模块^[2]。

1.2 数据采集设备的发展

数据采集技术是一种广泛应用于信号检测、信号处理、仪器仪表等领域的电子技术^[3]。目前，低速、低分辨率的数据采集技术已相当成熟，因而系统的组建也相对容易，而近年来，随着数字化技术的不断发展，数据采集技术呈现更高（采样率）、更快（数据传输速度）、更多（同时处理不同通道的数据）、更大（并发处理的数据量）的发展趋势，这种高速、大存储深度、高分辨率的数据采集系统实际上存在很多技术问题，比如说大带宽的信号调理通道技术、高速 A/D 采样技术、抗信号间的干扰技术、大数据量的存储、传输技术和接口技术等^[4]。随着 PXI 总线系统的产生，为数据采集模块的研制提供了非常理想的开发平台。随着科学技术的进步，数据采集设备的性能不断提升。就目前的发展状况来划分，数据采集设备已经经历了四个发展阶段：

1) 初级阶段

数据采集设备主要由四部分构成。包括电磁机械结构的多路开关继电器，低性能的 A/D 转换器，寄存器组成的译码电路和打印机构成的输出设备。控制器是由简单的顺序控制器构成，只能单步顺序执行编辑的指令。

2) 早期阶段

数据采集设备逐渐形成专用的装置，各部分部件的性能都有了很大的提高，比如输入切换信号的开关继电器由半导体器件控制，控制器的功能也复杂，A/D 转换器精度提高等等，使这种数据采集设备的性能、可应用性不断提高，开始获得广泛的关注。

3) 中期阶段

前面两个阶段的设备都是专用于某一特定的测量对象而缺少普遍适用性，因此为了改进，研制了更先进的应答式控制方式，创造了普遍适用性更强，能应用于更广泛测试对象的设备。但这一阶段的设备，还是具有体积庞大、结构复杂、价格昂贵的缺点，因此阻碍了更广泛的应用。

4) 近期阶段

随着计算机和微电子技术的发展，研制的数据采集设备进入了一个全新的阶段。数据采集设备也在体积上有了巨大的变化，从早期需要在架上安装到今天模块化但具有强大性能的装置，这种模块化的设备不但性能好、实用性强、功能多、并且体积小。比如所基于 ISA、PCI、GPIB、VXI、PXI 等总线的数据采集模块，加上特定的软件便组成了功能强大的数据采集设备^[5]。

1.3 PXI 数据采集卡发展现状

目前，国外最大的数据采集设备生产商是美国国家仪器公司 (NI)，NI 最新的高速数据采集卡是 PXI-5154 数字化仪/示波器，它具有双通道最大同步实时采样率 2GSa/s，1GHz 带宽和每通道最多高达 256MB 的板载内存。2005 年 11 月发布的 PXI-5114 双通道数据采集卡，它提供最大 250MSa/s 实时采样率，以及用于多功能时域数字化的 125MHz 带宽，具有最大 256MB/通道的板载内存用来存储采集到的波形数据。NI 5124 200MSa/s、12Bits 数字化仪，NI 5122 100MSa/s、14Bits 数字化仪和享誉业界的 NI 5922 可变分辨率数字化仪都是 NI 最新的数据采集卡。另外，还有惠普 (HP)、泰克、安捷伦、福禄克等仪器生产厂商也都有数据采集设备，他们都有各自不同的特点和侧重点。

表1-1 国外的PXI数据采集卡

型号	带宽	最大采样率	存储深度	生产商
NI PXI-5154	1GHz	2GSa/s	8MB/ch	NI
NI PXI-5153	500MHz	2GSa/s	8MB/ch	NI
NI PXI-5114	125MHz	250MSa/s	8MB/ch	NI

而国内虚拟仪器技术的研究起步比较晚，目前市场上主要有台湾研华、凌华等公司的产品，研华和凌华的产品主要是基于 PCI 和 ISA 总线，还没有 PXI 产品发布，凌华的产品采样速度最快的是 PCI-9820，具有双通道 65MSa/s 采样率，相对国外来说还有很大的差距。目前，国内院校中，哈尔滨工业大学做出了 PXI 控制器及一些 PXI 模块，四川大学的教师基于虚拟仪器的设计思想，研制了“航空电台二线综合测试仪”，8 台仪器集成为一体，组成虚拟仪器系统。电子科技大学基于 GPIB-RS232 总线研制的“100MHz 随机取样宽带数字存储示波器 DSO”具有 100MHz 带宽。一些单位也已生产出符合 PXI 规范的部分产品。709 所 16 室开发集成的测试系统就是一套基于 PXI 总线的测试系统。

国内公司的数据采集产品大都是低端产品，能够满足对采样速率和精度要求不高的一般民用测量要求，国内高端产品市场基本都被国外公司垄断。结合国内外的发展现状，本数据采集模块具有双通道，最大实时采样率为 1GSa/s，带宽高达 200MHz。

1.4 数据采集卡设计主要技术指标

本课题的目标是研制 PXI 数据采集卡，我的工作主要是硬件设计，包括 PCB 布板，高速数据采集，触发选择、存储控制、外时钟测频电路的设计以及整机调试和系统联调工作。

该数据采集卡设计要求如下：

- (1) 最高实时采样率：1GSa/s；
- (2) 垂直分辨率：8bits；
- (3) 通道数：2 路；
- (4) 最大存储深度：8MB/通道；预触发深度：0~8M 采样点；
- (5) 触发方式：边沿触发、窗口触发、软件触发和外触发；
- (6) 触发源：CH1，CH2，外触发，PXI 背板触发，软件；
- (7) 通道输入阻抗：50Ω/1MΩ；

- (8) 耦合方式: AC, DC, GND;
- (9) 输入电压电平范围: $10\text{m V}_{\text{p-p}} \sim 40\text{V}_{\text{p-p}}(1\text{M}\Omega)$ 、 $10\text{m V}_{\text{p-p}} \sim 10\text{V}_{\text{p-p}}(50\Omega)$;
- (10) DC 精度 (偏置=0V): $\pm (1.5\% \times \text{输入} + 0.5\% \times \text{满量程} + 200\mu\text{V})$;
- (11) 偏置范围: $\pm 50\%$ 满量程; 偏置精度: $\pm 2\% \times \text{偏置}$;
- (12) 采样时钟源: 外时钟、内时钟

第二章 PXI 数据采集模块总体设计

2.1 数据采集模块硬件设计方案

本数据采集模块实现信号的采集与存储，再将采集到的信号发送给零槽控制器（PXI 机箱中的主控制器，控制 PXI 机箱中各个模块的工作，相当于一台个人电脑），由零槽控制器内的软件实现信号处理、参数计算、波形的显示等功能。软硬件的结合完成了传统数字式示波器的功能。硬件部分主要包括通道控制电路、数据采集与控制电路、时钟电路、触发电路、存储控制电路和 PXI 总线接口六大部分。系统总体设计方案如下图 2-1 所示：

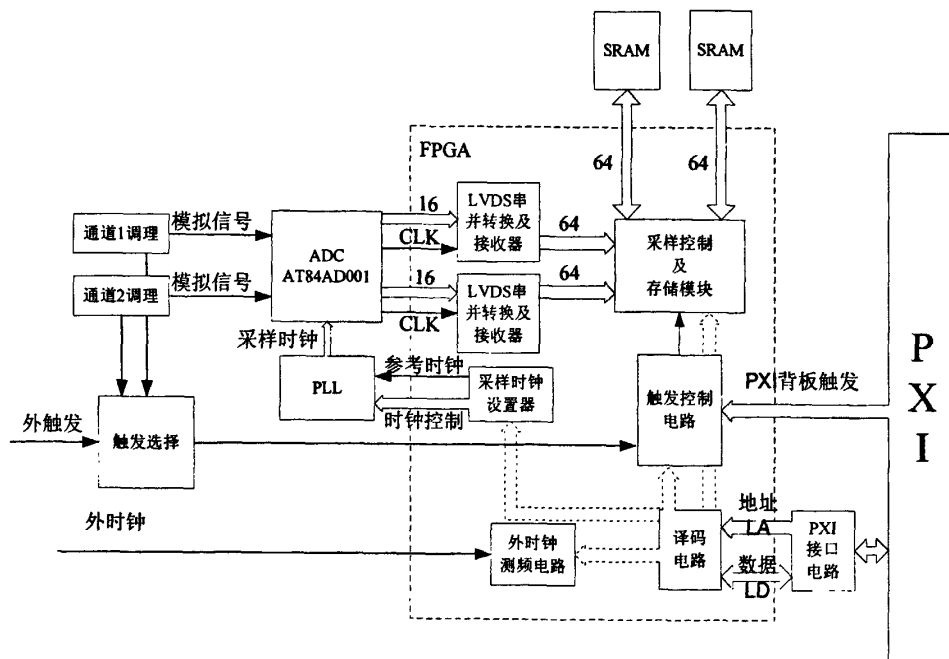


图 2-1 数据采集模块框图

本数据采集卡要放入 PXI 机箱，设计的板卡尺寸应当符合 3U 规范（100mm × 160mm），从减小占据板上空间的角度出发，在选择具体元器件的时候，尽量选择贴片的小封装器件。

整个数据采集卡的工作过程如下：

1. 信号经通道进行信号调理；
2. 调理后的信号分为两路：一路信号送入 AD，让 AD 采样；另一路进入触发通路的信号选择器，由零槽控制器选择某一路通道的信号进入下一阶段处理。在高速比较器中与门限电平进行比较，对 FPGA 输出差分的触发信号；
3. 采集到的数据由 FPGA 接收。FPGA 中的专用串并转换电路将高速输入的信号，串并转换降速后变为低速的并行信号输出给后级电路处理；
4. 采样时钟由板上的外部锁相环产生，FPGA 可以对锁相环写入控制字，控制锁相环产生需要的采样时钟；外部锁相环需要的参考时钟由 FPGA 内部的锁相环（PLL）将板上晶振提供的 20MHz 时钟信号进行倍频分频产生。随采样数据发送来的随路时钟，做 SRAM 的存储控制时钟；
5. 数据的存储：采样后的数据直接存储到 SRAM，当存满后，零槽控制器发送读请求，读取 SRAM 中保存的数据；
6. 接口控制电路将存入 SRAM 中的数据通过 PXI 接口芯片传到零槽控制器进行分析处理及显示。

2.1.1 模数转换电路

模数转换模块核心单元就是 ADC 芯片，它完成模拟信号转化成数字信号，并根据触发信号，控制采样数据的存储，提供给零槽控制器进行处理。ADC 对量化值进行编码的位数决定了采样模拟信号的精确性。编码位数越多，对模拟信号的分辨率也就越高，采样出来的信号电压值也就更准确，但位数越高，其速率就越低^[6]。常见的 AD 产品如表 2-1 所示：

表2-1 AD主要指标对比

型号	通道数	最高采样率	输出模式	数据格式
AT84AS003	1	1GSa/s	1: 2	LVDS
AT84AD001	2	1GSa/s	1: 2	LVDS
ADC08D1000	2	1GSa/s	1: 2	LVDS

从芯片的成本和供货渠道两个方面考虑，我们选择的是 ATMEL 公司的 AT84AD001。该 AD 转换器具有双通道，且分辨率为 8 位，最高采样率 1GSa/s，输入信号带宽高达 1.5GHz。它还具有 1:2 的输出时钟数据分配器，降低数据输出的速度。信号输出电平为 LVDS，具有良好的共模抑制能力，适合高速数据传输。ADC 内部寄存器可以通过调整通道的偏置误差和增益误差，最大程度的减少了

AD 转换器的通道匹配误差^[7]。

2.1.2 高速数据存储策略

随着采样频率的提高, 存储高速采样后的数据也对存储器的反应速度提出了相应的要求。在本系统中, 采样率要求达到 1Gsa/s, 如果直接存储, 则要求存储器的存储速度能应达到 1ns/Byte, 实际中来说, 还要求有一定的余量, 所以存储速度应该更快, 而现有的 SRAM 很难做到这么高的存储速度。如果存储速度达不到 AD 转换器输出数据的速度, 那么采样到的数据就会丢失, 最终造成不能正确显示, 以致于整个项目的失败。因此必须采用有效的方法, 使低速的存储速度满足存储高速数据的要求。

针对上述提出的问题, 在这个项目的具体设计中, 采用串并转换, 以空间换时间的办法实现高速信号的低速存储, 通过复制逻辑, 提高整个设计的数据吞吐量, 其本质是通过面积的消耗提高系统工作速度^[8]。采用串并转换技术, 把串行输入的高速数据以并行相对较低速的方式输出, 这样就可以用低速的时钟来处理并行输出的数据了。同时也达到降低功耗的目的, 使得后续数据处理电路工作在较低的频率下。

本数据采集模块的设计中, 没有采用传统的 FPGA 加串入并出移位寄存器芯片的办法, 因为需要处理的数据速度非常高, 达到 1GHz, 这么高的并行数据, 对时序要求更为严格, 需要走很精确的等长线, 这增大了 PCB 布局布线和后续硬件设计的难度。所以, 本设计中直接采用 FPGA 芯片中自带的串行接收器, 这款内嵌的专门经过优化的接收器, 可以很好的实现高速串行输入数据转换成低速并行数据的功能, 由于使用专门的 IP 核, 这样, 不仅减少了走线的难度, 同时提高了设计的稳定性。

具体来说, 在 1GHz 的采样率下, 将 AD 数据输出模式设定为 2 倍降速输出模式, 数据输出位数从 8 位变成 16 位, 则最大数据输出速率为 500MHz。数据必须用和 AD 输出数据同步输出的时钟进行接收, 否则会因为相位, 造成的亚稳态问题, 导致数据传输的失败。FPGA 内含的专用 LVDS 接收器, 它可接受的外部输入同步时钟频率可达 1Gbps, 满足了 AD 输出速率的要求。LVDS 接收器设为 4 倍串并转换模式, 数据位宽变为 64 位, 从 LVDS 接收器输出速率将为 125MHz, 可以比较容易地用一般的大容量 SRAM 存储器将数据存储下来。

下面第三、四章将介绍系统中各模块的具体实现方式。其中, 第三章主要包

括通道控制电路、数据采集与控制电路、时钟电路、触发电路、存储控制电路；第四章介绍了 PXI 总线、接口电路设计和 PXI 背板触发的设计；第五章介绍了系统的调试方法以及各基本功能的测试方法，并对测试中出现的问题进行了分析讨论。

2.2 本章小节

本章主要就设计要求给出了 PXI 数据采集模块硬件设计方案，并对重要技术难点做了简要的分析和介绍。

第三章 数据采集模块硬件电路设计

数据采集卡的主要功能是采集、存储数据。它先对被测信号进行调理,再由 AD 转换器将模拟信号变为数字信号后送入 FPGA 进行存储。主要控制逻辑均在 FPGA 中实现。本项目中,我们选用的是 Altera 公司的 Stratix II FPGA EP2S30F672C5,这款 FPGA 采用 90nm 工艺,可以支持复杂的数字系统,支持多种 I/O 标准,具有 33,880 个逻辑单元,可自定义管脚数高达 500 个,还有 58 对差分发送通道和 62 对差分接收通道、6 个锁相环(PLL)、16 个全局时钟网络、32 个本地时钟网络、1369728 位 RAM 空间等^[9],它的丰富的逻辑资源能够很好地满足我们的设计要求。

3.1 通道控制模块

充分利用高速 AD 转换器的性能进行数据采样的关键之处,在于将输入信号调理到 AD 能正确处理的合适范围内,便于采样。因为每种 AD 都有一个固定的量程,如果输入信号过小,会浪费 AD 的分辨位数;输入信号过大,则有可能损坏 AD。当输入的电压与 AD 的量程一致时,那么得到的采样数据精度最高。

通道控制模块主要是设置信号耦合方式、输入阻抗选择、衰减倍数以及偏置幅度。通过控制通道里使用的继电器、有源衰减器和设置 DA 输出偏置电压实现。在信号调理通道里被控器件一共有五个,其中三个使用一位的控制信号,即耦合切换(AC/DC)、固定衰减(A0)、电阻选择($50\Omega/1M\Omega$)。另外两个器件一个是 PE4302,它是一个 DSA(Digital Step Attenuator, 数字可调衰减器),它需要提供锁存信号(LE)、6 位的串行数据(DATA)以及时钟(CLK)共三组信号;另一个是 LT1446,它是一个 DAC(Digital Analog Converter, 数模转换器),需要提供使能/装载(CS)、12 位的串行数据(DATA)以及时钟(CLK)共三组信号。

零槽控制器控制继电器的通、断,完成信号耦合、输入阻抗变换。

本设计中,信号幅度的调节主要通过控制继电器 A0 断开、闭合和设置有源衰减(PE4302) A2 的衰减倍数,将输入电压幅度调整到适合 AD 的范围。下图 3-1 是模拟通道示意图。

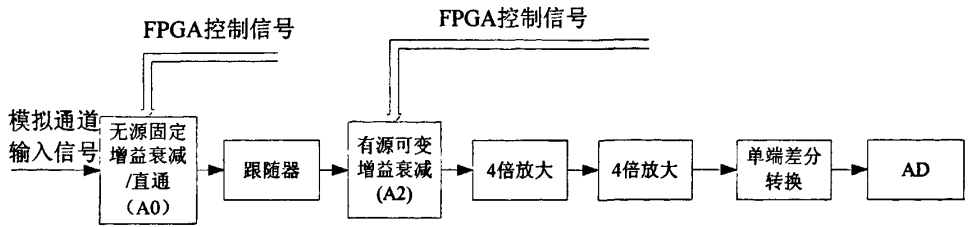


图 3-1 通道示意图

在零槽控制器主控面板上，输入电压垂直档位按 1-2-5 步进，档位设置为 5mV、10mV、20mV、100mV……1V、2V、5V，十个档位。

现在我们以2V档位为例，讲下如何计算并设置A0、A2的。

当选择2V档位，由于整个波形窗口一共是10格，那么这一档位能接受的最大输入电压是20V。让第一级A0衰减，由于它的衰减倍数固定为0.02倍，所以通过这一级后，输出最大电压为400mV。第二级是个电压跟随器，经过它后，输出电压幅度不变。我们先不设置第三级，从AD转换器前端往回倒推。AD能接受的输入电压是500mV。往前一级是单端转差分放大器，我们不做放大处理，定为1：1输出，所以经过它之前最大也只能到500mV。再往前两级是固定4倍增益的同相放大，一共放大16倍。则经过可调倍数有源衰减PE4302之后，电压为31.25mV。从400mV衰减到31.25mV，衰减0.078125倍。所以当零槽控制器选择2V档位时，通道控制模块将A0设置为衰减，闭合此处的继电器；A2的衰减倍数设置为0.078125倍。

PE4302是一款高性能的6位数字微调衰减器，通过设置管脚PUP1、PUP2，实现对输入信号固定衰减8dB、16dB、31dB或更精细的调整，如表3-1所示：

表 3-1 PE4302 的 PUP1、PUP2 与衰减增益的关系

PUP1	PUP2	衰减
0	0	由C _{0.5} ~C ₁₆ 决定
0	1	-8dB
1	0	-16dB
1	1	-31dB

我们将PUP1、PUP2全置低，表示对输入信号作精细调整，用户必须指定6个衰减控制位(C_{0.5}~C₁₆)的值为0或1。设衰减增益为G，根据芯片资料，有：

$$G = -(C_{0.5} \times 0.5 + C_1 \times 1 + C_2 \times 2 + C_4 \times 4 + C_8 \times 8 + C_{16} \times 16) \text{ dB} \quad (3-1)$$

PE4302 衰减增益是用分贝计算的, 范围从 -0.5dB ~ -31.5dB , 按 0.5dB 步进。我们需要的 0.078125 倍衰减换算成分贝是 -22.144dB , 我们取 -22dB 。对应的控制字为 $0\text{x}2\text{C}$ 。

对 PE4302 的衰减倍数的设置有两种方式: 并行输入和串行输入。串并方式的选择由 P/S 位决定。并行输入需要的控制线多, 方式相对简单; 而串行控制只需要三根控制线。在我们板上空间有限, FPGA 的管脚紧张的情况下, 串行控制是很好的选择。P/S 置高选择串行输入。对 PE4302 的串行控制由与 CMOS 兼容的三线串行总线 (LE, CLK, DATA) 组成。6 位命令字由六位数据 D5~D0 组成, 首先写入的是高位数据。

PE4302 接口时序图如图 3-2 所示。

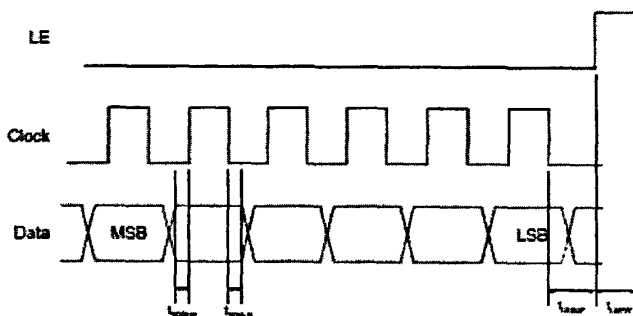


图 3-2 PE4302 接口时序

数据在 CLK 高电平有效期间输入 PE4302 锁存器。数据写完后, LE 置高再拉低, 将锁存的数据打入 PE4302, 此时有源衰减设置成功。

在信号显示中, 可能需要设置垂直偏移量, 这时, 需要控制 LTC1446 数模转换器(DAC), 它拥有 12 位的分辨率, 所以可实现输出电压约 1mV 可调。它采用串行方式接收由 FPGA 提供的数字信号, 再转换成模拟电压输出。本设计中, DA 转换器也是通过三线串行接口与 FPGA 连接, 控制方式与 PE4302 类似, 这里不再累述。图 3-3 给出 FPGA 中做的 DA 串行控制命令发送模块。

这个模块包含两部分, 一是命令寄存器, 二是串行命令发送器。模块开始工作时, 零槽控制器给出要 DA 转换器需要的控制字, 再使 ADDR 从低变为高, 将控制字 (LD[15..0]) 打入模块中的寄存器组中。这时, 串行命令发送模块不工作。当 ADDR 从高变为低时, 串行命令发送模块开始工作, 根据收到的控制字, 按 DA 的工作时序, 产生相应的串行数据, 发送给 DA 转换器。

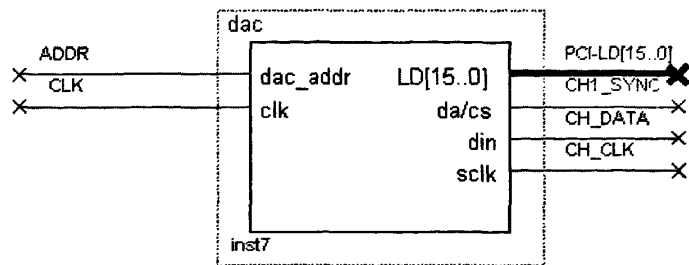


图 3-3 DA 串行命令发送模块

这个模块包含两部分，一是命令寄存器，二是串行命令发送器。模块开始工作时，零槽控制器给出要 DA 转换器需要的控制字，再使 ADDR 从低变为高，将控制字 (LD[15..0]) 打入模块中的寄存器组中。这时，串行命令发送模块不工作。当 ADDR 从高变为低时，串行命令发送模块开始工作，根据收到的控制字，按 DA 的工作时序，产生相应的串行数据，发送给 DA 转换器。

触发通道的 DAC 用来调整触发电平，FPGA 对它写入控制字，产生需要的触发门限电平。触发通道的逻辑控制也是使用三线串行控制，和上面的设计几乎相同，这里不再重复。

3.2 数据采集与控制

数据采集与控制模块是本项目的核心，是本次设计的难点和重点。它涉及到高速时钟信号的产生，高速 AD 变换，高速数据的接收、存储以及控制。实现电路的原理框图如下所示。

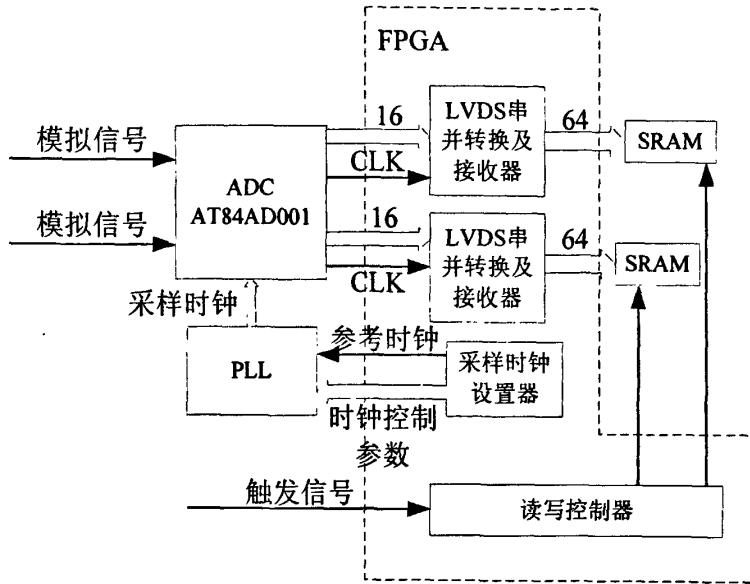


图 3-4 数据采集与控制模块原理框图

FPGA 内部的时钟控制模块，送给外部锁相环 16MHz 的参考频率。并根据零槽控制器的命令字给出相应的控制信号，使锁相环产生需要的采样时钟，送入 AD，使得 AD 工作在合适的采样频率下，对通道送来的经过调理的模拟信号进行模数转换，得到的数字信号送入 FPGA，再由存储控制模块将数据存入 SRAM 中，完成数据采集与存储的工作。

3.2.1 AD 工作方式的选择

数据采集于控制的核心是数模转换电路。采用 AT84AD001 为核心芯片。

通过对 AD 三线串行口的设置，AD 可以被设置成多种工作模式^[6]。下面介绍其中几种。

(1) I 通道和 Q 通道同时工作，1: 2 的 DMUX，时钟 I 提供给 ADCI，时钟 Q 提供给 ADCQ。工作时序如图 3-4 所示。通过三线串行口，在地址 000 被写入控制字 11xx1x00。

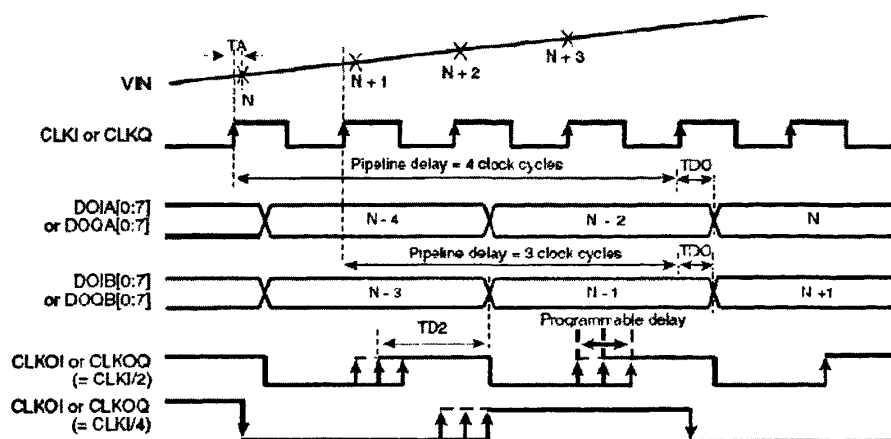


图 3-5 ADC 工作时序

(2) 1:1 的 DMUX, 时钟 I 提供给 ADCI, 时钟 Q 提供给 ADCQ。工作时序如图 3-5 所示。通过三线串行口, 在地址 000 写入控制字 11xx0x00。

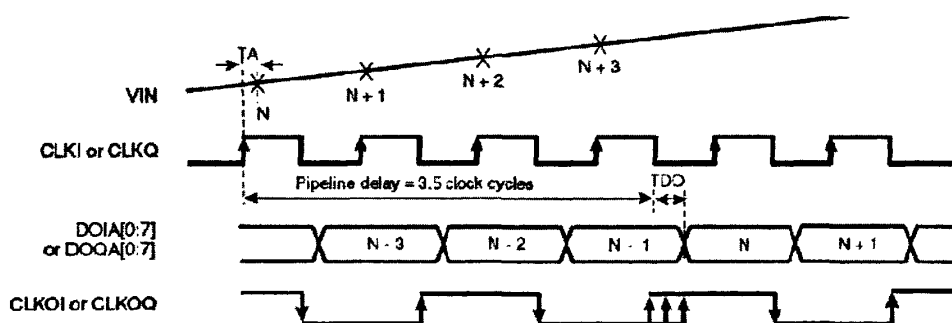


图 3-6 ADC 工作时序

我们主要选用 ADC 的第一种工作模式, 即图 3-5 所描述的时序。

3.2.2 三线串口控制

三线串行接口(3-wire serial interface)是一个同步只写的接口。其中 $sclk$ 是串行时钟输入, $sldn$ 是串行加载使能输入, $sdata$ 是串行数据输入。三线串行接口向内部的 8 个 16 比特的寄存器写数据。ADC 的所有参数设置均通过三线串口实现, 串行接口的写字长为 19 比特, 其中前 3 比特为所要操作的寄存器地址(范围为 000-111), 后 16 比特为写入的数据, 并且数据和地址的输入都是最高位 MSB 优先。这个写过程和时钟 $sclk$ 的上升沿是完全同步的, $sldn$ 和 $sdata$ 在时钟 $sclk$ 的

上升沿被采样。时序如图 3-6 所示^[7]。

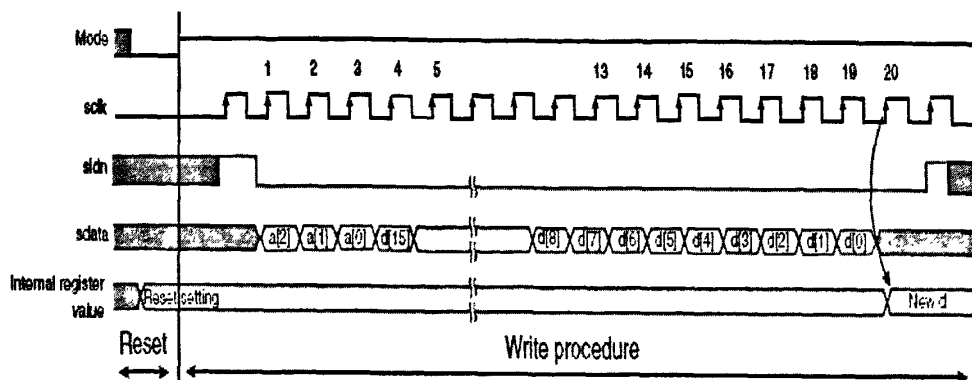


图 3-7 AD 三线控制信号时序图

三线控制信号可以写入八个不同内部寄存器，调整八种功能（通道模拟增益调整、增益补偿、对地偏置误差的补偿、通道 I 和通道 Q 工作模式的选择、内部设置调整等）。当不执行写过程时，sldn 必须被设置到 1；当 sldn 处于 1 时，需要至少一个时钟上升沿可启动这个写过程；当 sldn=0 时的第一个时钟周期开始写，在整个写的过程中，sldn 必须为 0；在 sldn=0 时的前 3 个时钟周期，关于寄存器地址的 3 比特数据从 MSB(a[2])到 LSB(a[0])被输入；在 sldn=0 时的接下来的 16 个时钟周期，16 比特的数据从 MSB(d[15])到 LSB(d[0])被输入；在 sldn=0 时需要一个附加的时钟周期来将 16 位数据 d[15..0]并行的传输到地址为 a[2..0]的寄存器，对于一个正常的写过程，当 sldn=0，需要 20 个时钟周期；当 sldn=1 时，至少需要一个时钟周期用来关闭写过程和为下一轮的写过程作准备，在写过程完成之前的时钟周期中，如果 sldn=1，则这个将不能继续把数据传输到这个内部寄存器中；在前后两次写过程中，sldn=1 器件可能只有一个时钟周期，16 比特的数据总是被输入到这个内部地址寄存器中，即使这个寄存器少于 16 位，通常是 MSB 位被忽略，其中各比特代表的含义和所在位置在下面将介绍。对于复位这些寄存器，这个 mode 管脚将被用作这个芯片初始化的复位管脚，甚至当这个三线串行口处于工作状态时^[7]。

3.2.3 AD 数据接收电路

我们所设计的数据采集卡最高采样率为 1GSa/s，最大存储深度 8MB/通道。数据采集后的接收电路在 FPGA 中实现，我们选用 ALTERA 公司的 EP2S30F672C5 来实现数据采集控制、接收^[9]。由于 AD 转换器选择 1:2 的输出格式，二分频后

从 AD 送至 FPGA 的采样数据速率最高为 500MHz，随路时钟速率最高也为 500MHz，如果直接对这么高速率的数据进行存储，会造成数据的丢失。因此必须通过串并转换，将高速数据降速，变为低速数据。

FPGA 内部串行并转的工作原理是，串行数据进入一个串入并出的移位寄存器，这个寄存器的工作时钟是高速的串行时钟，直到移位寄存器中的数据写满后，一次发出所有存储在寄存器中的数据。这样高速写入的数据的全部信息得到保留，并且后续电路可以用较低的运行速度来处理。原理框图如图 3-8 所示。本项目中选用 Stratix II 的 FPGA 内嵌了这种串并转换技术的收发器 SERDES (Serializer/Deserializer)，它能够达到最高 1Gbit/s 的传输速率，并提供了易于使用的 IP 核和设计软件，使设计高速数据接收电路变得很简单和可靠。

数据接收电路中的锁相环 PLL 接收随路时钟信号，并且根据随路时钟信号产生相应的串行时钟，使得移位寄存器（解串器）能正确的接收到输入的串行高速数据，避免时序问题引起的亚稳态和错误数据。在移位寄存器中进行了移位（解串）后，生成的并行数据在相应的低频时钟作用下输出至下一级逻辑单元。实现电路原理如图 3-8 所示：

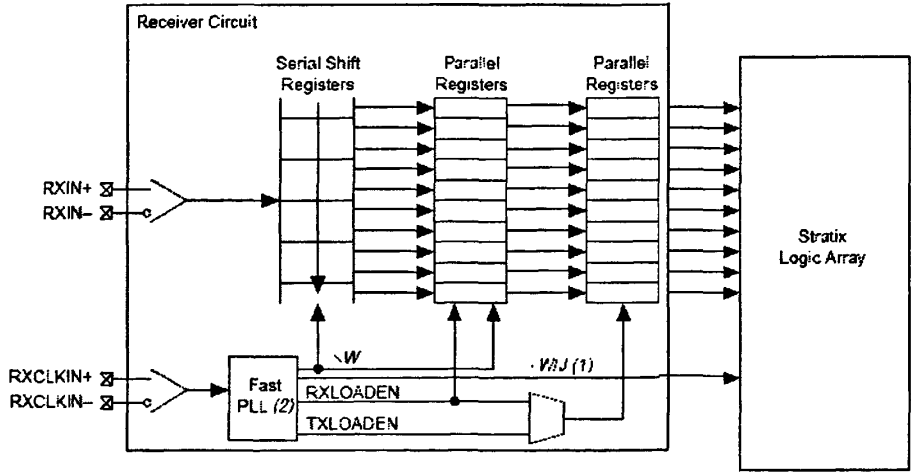


图 3-8 高速差分接口的串行接收结构框图

图中 J 是串行转并行数据的分频倍数， W 是低频输入时钟的倍频系数， $RXLOADEN$ 是锁相环产生的使能信号。差分接收器在 PLL 产生的高频时钟 (w 倍的输入系统时钟 $RXCLKIN$) 的下降沿连续地将输入数据 $RXIN$ 打入串行移位寄存器；在高速频时钟的第三个下降沿，PLL 的计数器电路产生一个 $RXLOADEN$

信号，将串行移位寄存器中的数据送入下一级的并行寄存器；在低频时钟 RXCLKIN 的第二个上升沿，RXLOADEN 使能信号又将并行寄存器中的数据载入下一级的并行寄存器，同时由 PLL 产生 W/J 倍的时钟作为同步的时钟输出。这样就同时完成了对信号的高速采样和对高速采样数据低速化处理的过程。处理后的并行数据及同步的低速时钟可以方便地进行存储或其它处理^[9]。

本项目中选择的 FPGA 是 EP2S30F672C5，它的高速差分端口在理论上已经达到最高 1Gbit/s 的接收速率^[9]。如此宽的时序余量足够满足本项目的需求。本项目中最高采样率是 1GSa/s 的 AD 转换器，它的输出格式选择二分频后，最高的速率为 500MSa/s。从后级电路的处理速度和面积消耗两方面折衷考虑，我们选择的并行参数为 4 倍，即 1 路串行输入 4 路并行输出。因而当最高串行输入频率为 500MSa/s，相应并行输出时钟为 125MHz，我们选用的 FPGA 芯片 EP2S30F672C5 完全可以工作在这个频率上。并行数据送到后级的存储芯片，在并行时钟的驱动下工作，即可实现高速数据的低速存储。

FPGA 中可以非常简单、轻松的实现串并转换，达到将高速数据降速，便于后级电路处理的目的。只需要用 FPGA 内部集成的 IP 核，这些 IP 核是经过特别优化的，比单独由外部逻辑电路搭建的接收单元有效和方便的多。这种电路单元使用差分的结构，而且只能在 FPGA 中特定的管脚实现，这种接收信号的管脚不能与其它种类的管脚交换。

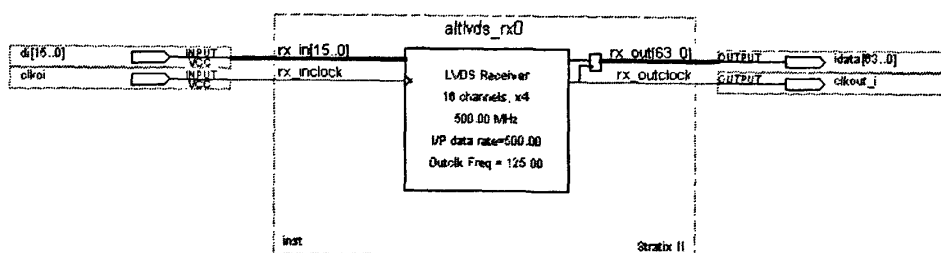


图 3-9 接收器 IP 核

图中，rx_in[15..0]是 16 路输入的信号，rx_inclock 是 LVDS 串并转换单元的输入时钟，rx_out[63..0]是串并转换后的 64 路并行数据，rx_outclock 是随并行数据并行输出的时钟，后级电路用它来控制数据的存储。经过接收器后，数据的排列位有所改变，需要增加一个缓冲模块对数据重新排列，形成我们需要的数据。

3.3 时钟电路设计

时钟是同步设计的基础，在同步设计中，所用操作都是基于时钟沿触发的，所以时钟的设计对同步时序电路而言非常重要。在设计中，时钟采用全局时钟输入引脚输入，这样可以减小时钟的偏斜（Skew）和抖动（Jitter）^[9]。

时钟电路是为工作在不同频率下的 A/D 转换器和其他时序电路提供工作时钟。在我们的设计中，时钟电路模块主要包括对时基电路、外部锁相环的控制，和内部时钟分频网络。FPGA 接受零槽控制器命令，控制锁相环产生需要的采样时钟；内部时钟分频网络产生存数和工作时钟。下面我们将分别介绍各个时钟产生模块。

3.3.1 时基电路设计

在数字存储示波器中，水平系统的作用是确保对输入信号采集足够数量的采样值，并且每个采样值取自正确地时刻。每两个采样点之间的距离就是采样间隔时间，采样间隔时间的倒数就是采样频率。通常，示波器沿着水平轴显示 250 个采样点，为了便于使用，这些采样点以每格 25 个采样点的水平分辨率来进行显示，这就是说水平轴的长为 $250/25=10$ 格。时基就是示波器显示界面中，横向一个大格所代表的时间。据此，两个采样之间的时间间隔可按式 3-2 计算：

$$\text{采样间隔} = \text{时基设置 (s/格)} / \text{采样点数} \quad (3-2)$$

若时基设置为 1ms/格，且每格 25 个采样点，则可以计算出采样间隔为：

$$\text{采样间隔} = 1\text{ms}/25 = 40\mu\text{s}$$

采样频率是采样间隔的倒数，计算公式如式 3-3 所示：

$$\text{采样频率} = 1/\text{采样间隔} \quad (3-3)$$

由于可以显示的采样点数是固定的，所以时基设置的改变主要是通过改变采样速率和抽样点数来实现的。

我们设计的其最大采样速率为 1GSa/s，那么相对应的时基使用这一采样的速率的时基设置值为：时基设置值 = $25 \text{ 采样点} \times \text{采样间隔} = 25 / (1 \times 10^9) = 25\text{ns/格}$

这一时基设置值非常重要，因为这个值是示波器采集非重复性信号时的最快时基设置，使用这个时基设置时，示波器能给出它可能的最好的时间分辨率。这个采样速率也就是在示波器的技术指标中给出的最高采样速率。

确定了最大采样速率后，就可以计算出最小时基，按 1-2-5 步进的办法设置其余的时基档位。采样频率与时基档位的对照分配表如表 3-2 所示：

表 3-2 对应时基档对应的采样率

时基(/div)	采样时钟 (Hz)	抽点数	时基(/div)	采样时钟 (Hz)	抽点数
25ns	1GHz	1: 1	5ms	50KHz	1:10
50ns	500MHz	1: 1	10ms	25KHz	1:10
100ns	250MHz	1: 1	25ms	12. 5KHz	1:10
250ns	100MHz	1: 1	50ms	5KHz	1:10
500ns	100MHz	1: 2	100ms	25KHz	1:100
1 μ s	250MHz	1: 10	250ms	12. 5KHz	1:100
2. 5 μ s	125MHz	1: 10	500ms	5KHz	1:100
5 μ s	50MHz	1: 10	1s	2. 5KHz	1:100
10 μ s	25MHz	1: 10	2. 5s	1. 25KHz	1:100
25 μ s	12. 5MHz	1: 10	5s	0. 5KHz	1:100
50 μ s	5MHz	1: 10	10s	0. 25KHz	1:100
100 μ s	2. 5MHz	1: 10	25s	0. 125KHz	1:100
250 μ s	1. 25MHz	1: 10	50s	0. 05KHz	1:100
500 μ s	500KHz	1: 10			
1ms	250KHz	1: 10			
2. 5ms	125KHz	1: 10			

当时基比较慢时，1 μ s 以下档位，通过发送给零槽控制器后，由上位机抽值实现该档位的显示。这样便于波形的展宽。

时基电路是数据采集系统中数字控制电路的主要部分之一，它不仅为 ADC 转换器提供了采样时钟。同时，在 FPGA 内部再由分频电路根据具体的采样档位要求对 ADC 随采样数据返回的时钟进行分频得到读写 SRAM 的时钟。

根据 Stratix II FPGA 文档要求，它能接受的最低输入时钟频率为 16.08MHz，最低输出时钟是 4.6875MHz。板上用 20MHz 有源晶振做时钟源，产生 20MHz 时钟信号送入 FPGA。内部经过倍频、分频产生 16MHz 时钟输出给外部 PLL 做为其倍频的参考时钟。

通常要在 FPGA 片内产生较高的频率时可以采用两种方法实现：一种是分相合成技术，另外一种就是锁相环倍频。分相合成技术原理简单，它是将输入时钟分成两路，一路经过一定的延迟门电路后改变相位，两路时钟再经过异或而成，属于异步电路设计方法，容易产生毛刺和造成时钟偏斜 (Skew) 和抖动 (Jitter) 现象，而且这种方法产生的频率不稳定，占空比无法控制。

在本设计中我们采用的是第二种方法：锁相环倍频。在 Stratix II 系列 FPGA 中进行锁相环倍频设计非常简单，可以直接使用 EDA 辅助工具比如 MagaWizard 生成 IP，然后调用。FPGA 中的锁相环具有占空比可调可编程的能力，可编程占空比是指锁相环可以产生不同占空比的输出时钟。此外，FPGA 中的锁相环还可以用来对时钟进行管理，通过锁相和移相可以对时钟的偏差进行调整，还可以滤除输入时钟信号的抖动，提供高质量的内部和输出时钟，使整个数字系统在稳定的时钟下工作。在本设计中，20MHz 时钟从专用全局时钟网络进入 FPGA 后，送入锁相环，分别五倍频和十倍频，达到 100MHz 和 200MHz。如图 3-10 所示：

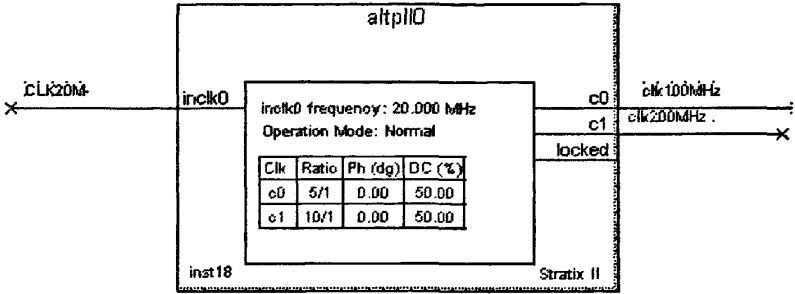


图 3-10 PLL 原理图

把倍频出来的 100MHz、200MHz 时钟信号送入时钟分频网络，由它来分频出我们需要的时钟。具体来说，本设计中的内部时钟网络由多个计数器以及二分频、五分频、十分频和锁存电路构成。二分频电路由 D 触发器和反相器实现，D 触发器输出经过反相器以后连接到它的输入，占空比为 50%。五分频电路由 7456 实现，五分频输出的占空比为 20%。

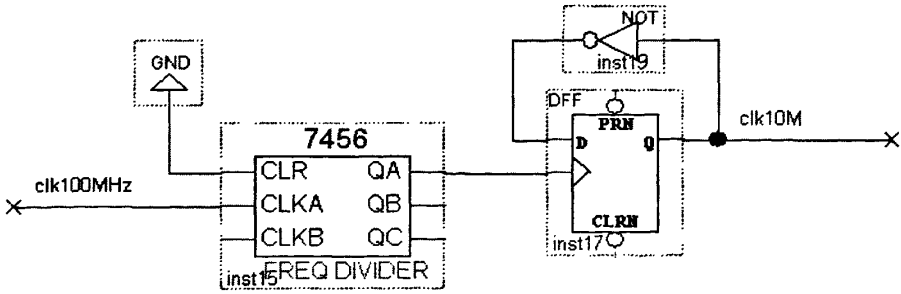


图 3-11 7456 和 D 触发器组合产生 10 分频

一些不规则的分频由计数器完成，对于计数值比较大的计数输出很容易产生

毛刺，这时可以利用 D 触发器对输入毛刺不敏感的特性来去除。

经过锁相环倍频输出的时钟经过时钟分频电路得到外部锁相环所需的 16MHz 参考时钟，如图 3-12 所示。

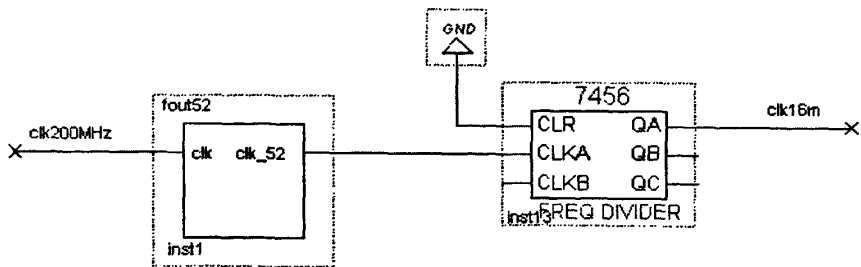


图 3-12 外部锁相环所需的 16M 参考时钟

200MHz 的时钟经过 52 分频后，变成 80MHz 的时钟，再经过 7456 五分频后，产生外部锁相环需要的 16MHz 时钟。本设计中的 52 分频器由一个模为三的计数器和一个异或门组成。仿真波形如图所示：

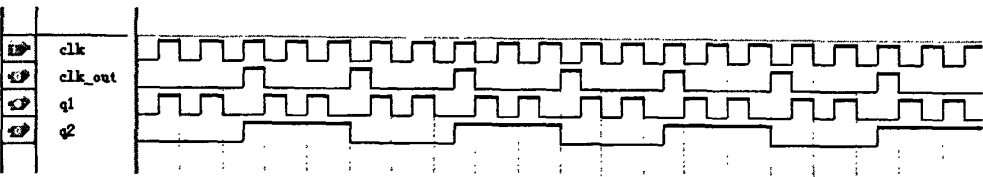


图 3-13 52 分频器

我们选用高精度程控锁相环 MPC92432，它频率输出范围是：21.25MHz 到 1360MHz。

$f_{OUT} (Q_A) [MHz]$	N_A	M	P	G [MHz]
680 – 1360	$N_A = 2$	170 – 340	2	4
		340 – 680	4	2
340 – 680	$N_A = 4$	170 – 340	2	2
		340 – 680	4	1
170 – 340	$N_A = 8$	170 – 340	2	1
		340 – 680	4	0.5
85 – 170	$N_A = 16$	170 – 340	2	0.5
		340 – 680	4	0.25
42.5 – 85	$N_A = 32$	170 – 340	2	0.25
		340 – 680	4	0.125
21.25 – 42.5	$N_A = 64$	170 – 340	2	0.125
		340 – 680	4	0.0625

图 3-14 参考频率 16MHz 锁相环对应的 M、N 取值

外部锁相环与 FPGA 的连接主要涉及到并行接口 M[9:0]，NA[2:0]。P 值固定为 2，则其输出频率计算公式：

$$f_{out} = (\frac{f_{ref}}{2} \times M) \div N \tag{3-4}$$

表 3-3 采样频率对应的 M、N 值

N	M	PLL 输出频率	NA2	NA1	NA0	M9	M8	M7	M6	M5	M4	M3	M2	M1	M0
2	250	1GHz	0	0	0	0	0	1	1	1	1	1	0	1	0
2	200	800MHz	0	0	0	0	0	1	1	0	0	1	0	0	0
4	250	500MHz	0	0	1	0	0	1	1	1	1	1	0	1	0
4	200	400MHz	0	0	1	0	0	1	1	0	0	1	0	0	0
8	200	200MHz	0	1	0	0	0	1	1	0	0	1	0	0	0
16	200	100MHz	0	1	1	0	0	1	1	0	0	1	0	0	0

3.3.2 外时钟电路设计

外部提供的时钟一般由被测系统提供，主要用来控制本采集卡的 A/D 采样，与被测系统同步工作。

外部时钟信号送进来，首先我们要对它进行测频，传给零槽控制器，然后控制器在发送控制命令给外部 PLL，改变 A/D 的采样频率，使它近似为外部时钟的频率。原理框图如下所示：

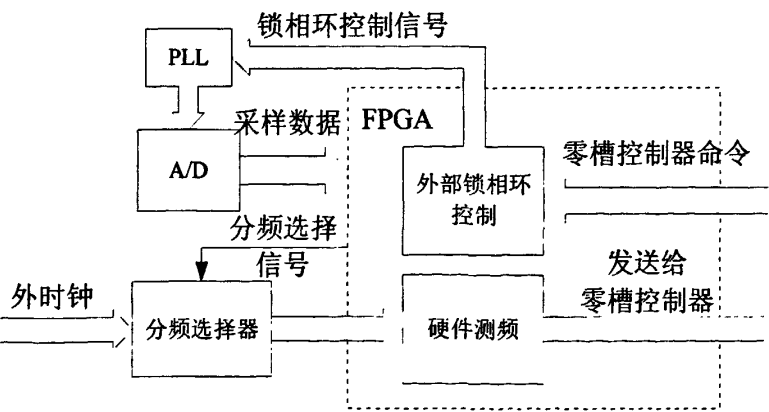


图 3-15 外时钟测频、控制采样电路原理图

根据指标要求，正常工作的外时钟是 50MHz~500MHz。分频选择器默认值为 4

分频，当外时钟输入时，首先外时钟 4 分频，降速后再送入 FPGA 内部的硬件测频模块。

硬件测频模块采用测周期法测量频率。它是在给定的闸门信号中对被测信号进行计数，得到计数脉冲的个数，从而算出待测信号的频率。测周期法的原理如图 3-15 所示：

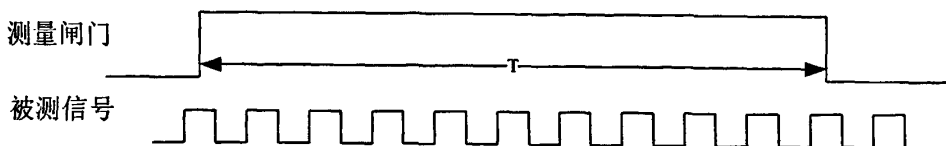


图 3-16 测周期法的原理示意图

假设测量门限时间为 T ，在此时间内计数器计得的被测脉冲个数为 n ，则信号频率可由下式计算得出：

$$f_s = \frac{n}{T} \quad (3-5);$$

门限时间 T 由时钟电路分频网络分出来的 500Hz 标准时钟做硬件测频的参考标准。当测出的频率 ($f_s = \frac{n}{T} \times 4$) 在 100MHz 到 200MHz 之间时，分频选择器从四分频改为二分频，再测一次，测出的频率为 $f_s = \frac{n_2}{T} \times 2$ ；当频率 ($f_s = \frac{n}{T} \times 4$) 小于 100MHz 时，分频选择器从四分频改为直通，不分频，重新测试，外时钟频率为 $f_s \approx \frac{n_3}{T}$ 。这样做的好处有如下几点：

一、当数据频率很快时，大于 200MHz，四分频后再测试，降低电路的工作频率，降低功耗。FPGA 内部工作频率过高时，发热量会大大增加。

二、测试出频率比较低时，测试的准确性就更为重要，我们降低分频数，增加输入频率值，这样缩小了高频信号和低频信号测频上的误差。

假设外时钟是 240MHz，首先通过分频器，降为 60MHz，硬件测频仿真如图所示：

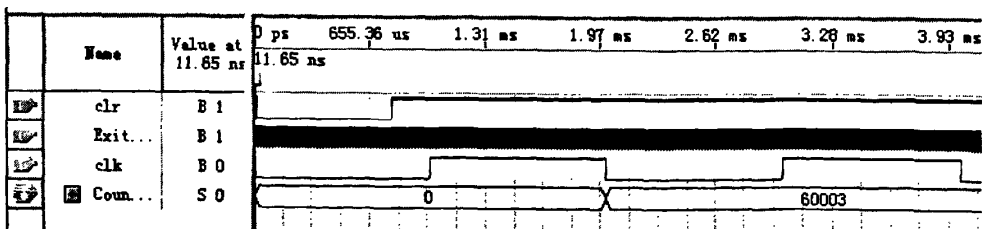


图 3-17 4 分频测量频率

计算出时钟为 240.012MHz，大于 200MHz，不需要直通再测一次。但当测出的频率值比较小时，小于 200MHz，零槽控制器就需要根据测出的频率，调整分频器，让外时钟二分频或者直通送入内部测频电路。

因为测周期法测频率在原理上，就存在一个正负 1 的误差，当频率小时，这种偏差的百分比会更高，所以需要改变分频倍数，再测量一次。相对于频率较高时，偏差的百分比会相对较小，这时首要考虑的是功耗和电路能否正常工作的问題。高于 200MHz 的频率如果不分频直接输入。如图 3-17 所示。

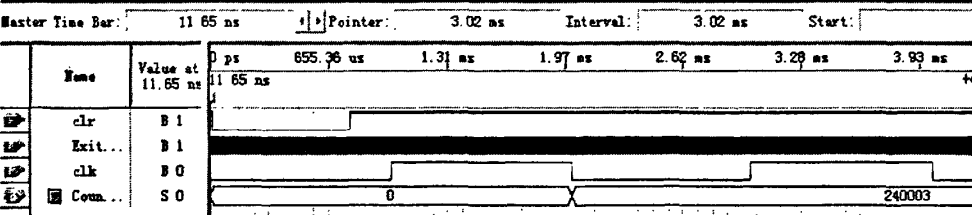


图 3-18 直通测量频率

计算出的时钟为:240.003MHz。比 240.012MHz 只改进了不到万分之一。可以忽略不计。

实际工作中，我们直接将硬件测出的脉冲数 n，发送给零槽控制器，控制器再根据公式 3-4 和表 3-3 求出 M、N 值，发送给外部锁相环。调整采样频率。

3.4 触发电路设计

触发电路是信号采集系统的重要功能电路。这项功能提供了一个稳定的触发相位点，使得上位机重构的波形在显示屏上稳定显示，还保证我们能正确定位想要观测的感兴趣的波形。如果没有触发电路，得到的数据都是从整个波形中随机位置的开始的数据，将这样的数据传给上位机，肯定不能正确显示波形信号。触发确定了波形的起点，显示的位置。触发是由触发电路来实现的，它主要包括：触发源的选择、触发类型选择、触发耦合方式选择，设置预触发深度。下面我们详细介绍触发模块中的各个部分的电路。

3.4.1 触发源选择电路

我们设计的触发源包括：外触发，CH1，CH2，软件触发，PXI 背板触发（将在第四章详细介绍）。触发源由零槽控制器发出选择命令，在 FPGA 内部通过选择

器实现。

内触发：将被测信号本身作为触发源。

外触发：用外接的、与被测信号有严格同步关系的信号作为触发源，这种触发源用于比较两个信号的同步关系，或者，当被测信号不适于做触发信号时使用。

软件触发：由零槽控制器直接发送触发命令产生的触发。

数字触发：软件触发、PXI 背板触发统称为数字触发。他们之间的关系如图 3-19 所示。

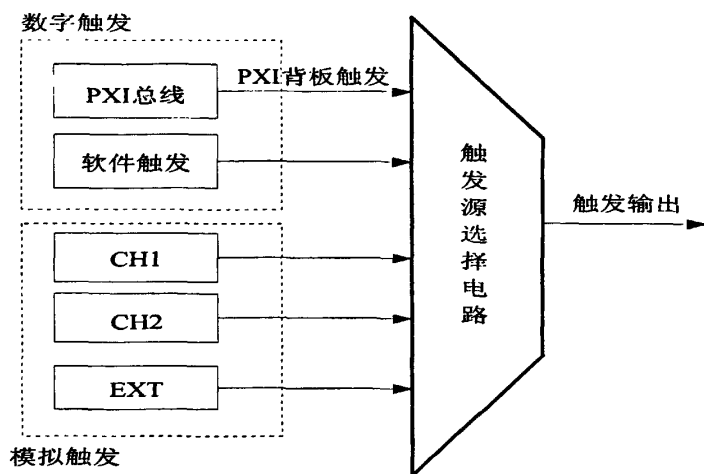


图 3-19 触发源选择电路示意图

触发源选择电路原理图如图 3-20 所示。

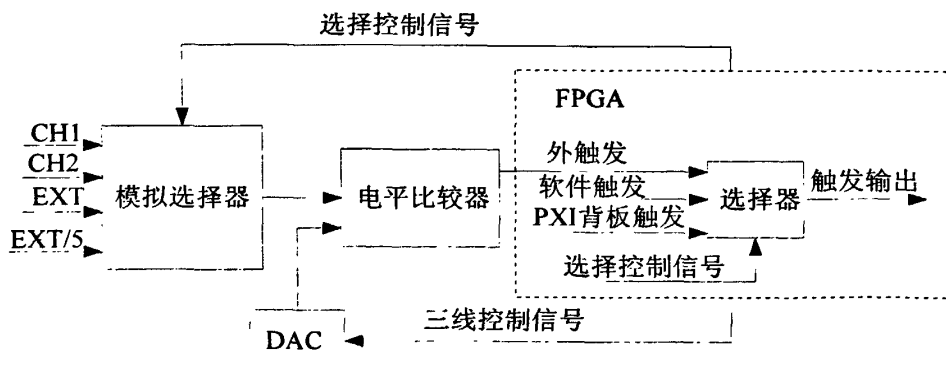


图 3-20 触发选择电路原理图

模拟触发源由通道中的模拟选择器在选择控制信号的作用下，选通某一路通道作为触发源。从通道来的触发属于模拟触发，模拟触发源产生的信号进入电平

比较器和 DA 转换器输出的门限电平经行比较，当输入信号比设置的门限电平高时，电平比较器产生一个高电平信号，反之，则产生低电平信号。其中，DA 由 FPGA 通过三线控制信号设置，产生需要的门限电平。

数字触发源主要由 FPGA 内部的选择器选通实现。外部的数字触发信号直接输入 FPGA 内部，零槽控制器控制选通一路的数字触发。输出给后级逻辑电路。

3.4.2 触发类型选择电路

触发类型选择电路的作用是根据零槽控制器的设置，选择识别触发并产生触发标志。本设计的触发识别电路整体框图如图 3-21 所示。

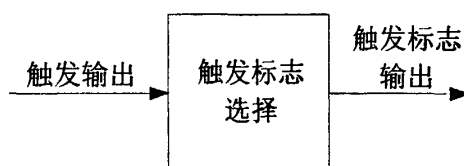


图 3-21 触发识别电路整体框图

本项目中设计了边沿触发、窗口触发、软件触发和数字触发，其中边沿触发分为上边沿触发和下边沿触发。各种触发方式独立地工作，但每次只能有一种触发方式工作。在触发源选择电路选择一种触发源后，触发类型选择电路选择一种触发类型，这时其它的触发源，触发类型方式将被忽略。直到上位机重新设置为止。

边沿触发：触发信号跨越指定的触发电平后，产生的触发。包括正沿或者负沿两种触发方式。边沿触发只能由 CH1,CH2 或外部触发输入产生。

窗口触发：当一个信号进入或者离开我们指定的窗口参数模型时，窗口触发产生。它只由 CH1,CH2 或外部触发输入产生。

软件触发：由上位机直接发送触发命令产生的触发。

数字触发：软件触发、PXI 背板触发统称为数字触发。

对于软件触发主要由上位机控制产生，PXI 背板触发我们将在第四章详细介绍。下面我将介绍边沿触发和窗口触发的具体实现。

(1) 边沿触发

边沿触发是一种利用信号变化的触发技术。判断从触发通道送来的触发电平信号前后状态的改变来实现。

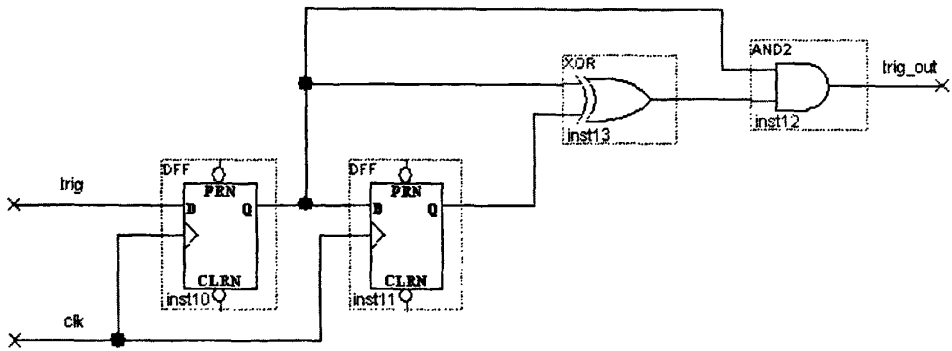


图 3-22 上升沿触发

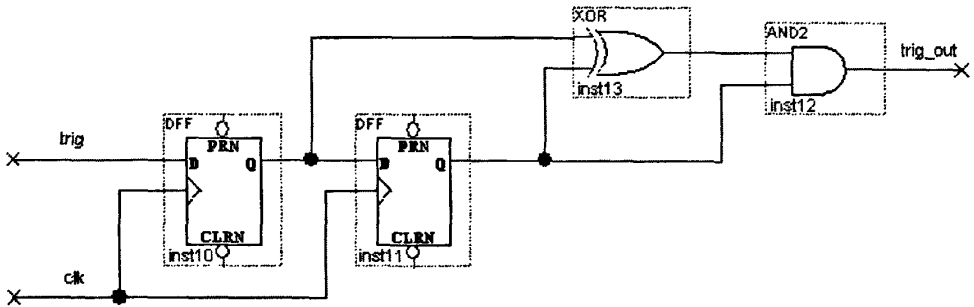


图 3-23 下降沿触发

当选定触发类型之后，从触发源送来的触发信号进入指定的类型判断电路作出触发标志判断，其他的类型判断电路被屏蔽。边沿触发对于采集数据波形中的信号有重要的作用。

(2) 窗口触发

窗口触发作为一种观测信号的重要触发方式，可以通过设置高低触发电平很容易的观测到感兴趣的波形。下图 3-24、3-25 是本设计采用的两种窗口触发方式：进入窗口触发，离开窗口触发。

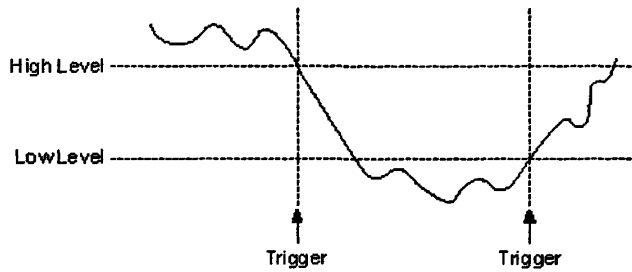


图 3-24 进入窗口

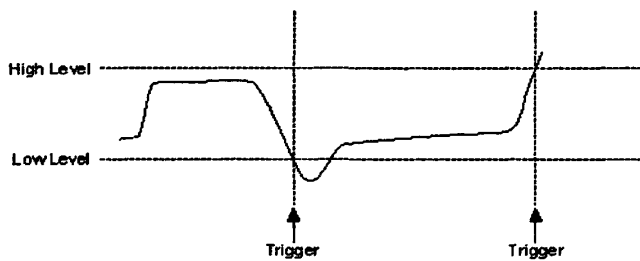


图 3-25 离开窗口^[10]

窗口触发方式要求波形信号进入或离开高低门限电平所划定的窗口时，发出触发，采样存储电路作出相应的反应，开始触发后存数。如图 3-26 所示，我们设置好高低触发基准电平后，触发窗口形状就已经设定好了。

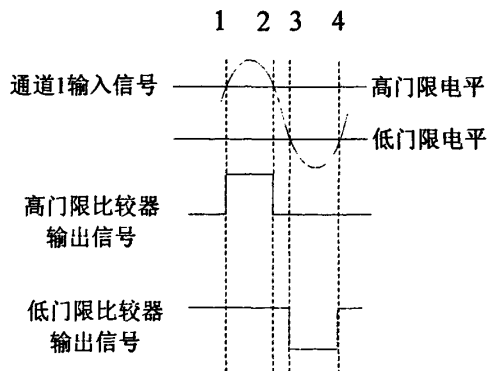


图 3-26 窗口触发示意图

在位置 2 和位置 4 时，波形进入窗口，如果选择的是进入窗口触发，则此时产生触发信号。如果选择的是离开窗口触发，则在位置 1 或 3 时，会有触发信号。

根据产生触发信号原理，我可以设计如图 3-27 所示的方案。

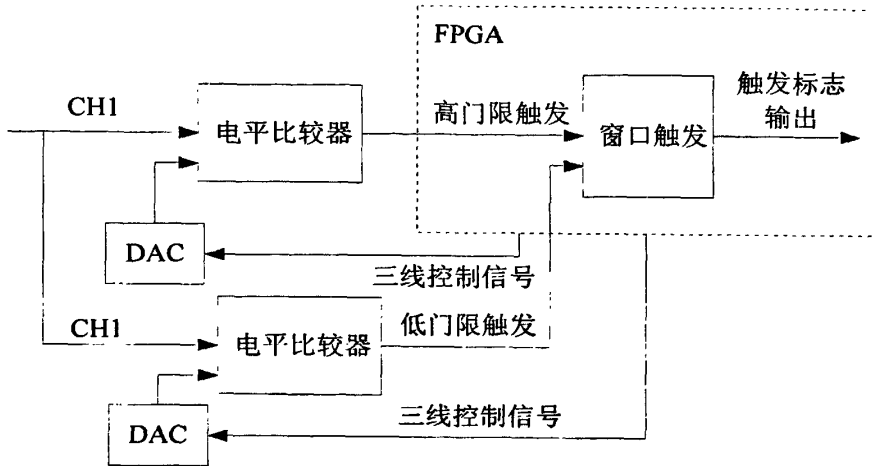


图 3-27 窗口触发原理图

但它需要使用两个 DAC 和两个电平比较器，当选择其他的触发类型时，第二个电平比较器和 DAC 没有用处，处于闲置状态。我们的 PXI 板卡对尺寸和厚度有严格的要求，这就使得我们为了减低厚度，主要的器件都放在正面，但这进一步加重了我们布板的难度，不得不将利用率不高的器件去掉或改用其他小体积高集成度器件代替。我们使用的是 3U 板卡，空间极其有限，模拟通道上多加一个器件都不大可能。经过尝试布板，发现确实无法实现，我们只能去掉这个电平比较器和 DAC。所以本设计采用另外一种方式实现窗口触发。直接将模拟信号变成数字信号之后，在 FPGA 内部通过比较数字信号实现。如图 3-28 所示：

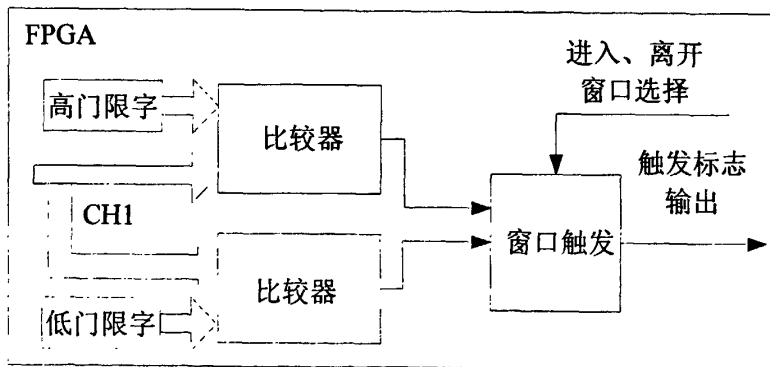


图 3-28 窗口触发原理图之二

模拟信号经过 ADC 采样变成数字信号送入 FPGA，高门限触发字和低门限触发字决定了触发电平的大小，这两个字由零槽控制器发送。我们以通道一（CH1）送来的信号为例。同样的当设置好高低门限字后，波形窗口已经固定下来，我们

设置进入窗口触发或者离开窗口触发，在图中窗口触发电路中完成。假定我们设置的是进入窗口触发。电平比较器比较采样数据和高低门限字之间的关系，送入窗口触发电路，判断是否触发，如果满足条件则将触发标志置高。

3.4.3 触发耦合方式选择电路

选择了触发源，触发类型之后，还要根据触发不同类型，选择触发耦合方式，包括 AC 耦合、DC 耦合，GND 耦合方式。使输入示波器的信号变得更加有针对性。

AC 耦合：是一种通过电容耦合的方式，有隔直作用。

DC 耦合：是一种直接耦合方式，用于接入直接或缓慢变化的触发信号，或频率较低并含直流分量的触发信号。

GND 耦合：不连接外部输入信号，将通道在内部直接接地，提供零电平参考点。

3.4.4 触发模式选择电路

触发模式的选择就是当系统检测到触发或没有触发脉冲时，为了稳定的显示信号波形，对系统所做的响应的选择。具体的来说就是，SRAM 写满将数据传给上位机后，该如何工作。触发模式分为以下几种：

自动模式：这是一种最常用的触发模式，当数据采集卡在一定的时间内（根据时基档位设定来确定）未检测到触发信号时强制触发。

正常模式：工作在这种模式下，只有检测到触发信号时才产生有效的触发。

单次触发：在捕获波形后就停止，将那一时刻的波形静态的显示出来，可使用单次触发。在示波器中，它使用 RUN/STOP 键来实现。这里通过上位机设置的命令字来控制实现。直到上位机再次发出指令开始下一次的捕获。当接收到触发信号时，发起触发后采样，并且只采样一次。一旦触发，就采样，直到计数器记满，停止采样。

3.4.5 预触发电路

预触发是数字示波器较之模拟示波器特有的功能。可以观测触发点之前的波形信号。而这在许多实际应用中，又是必须的。因为大量的情况是时间发生的时刻不能预测，而观测时间发生前的情况比观测事件本身更为重要的。还有许多单

次现象的测量也要求显示触发点以前的信号，以便于寻找该现象产生的原因。

触发点前的被测信号数据长度定义为预触发深度，用户在零槽控制器中设定。FPGA 中，预触发深度通过接受零槽控制器发送过来的数据，设置预触发计数器的模来实现。可以在 0~8M 的范围内任意选择。

具体来说，首先需要设置初值，包括延迟计数器和预触发计数器。初值由用户在零槽控制器的面板上选择的预触发百分比和存储深度共同决定。根据这两个数值，延时计数器初值为：存储深度-预触发百分比×存储深度，延迟计数器最大计数值为界面上选择的存储深度 8M。预触发计数器的值为：存储深度×预触发百分比。预触发计数器可以设置的最大值与延迟计数器的最大值相同，也为最大存储深度 8M。

开始采样后，预触发计数器开始计数，直到计数器计数值等于设定值，在这段时间内，触发脉冲被屏蔽。记满后，开放触发脉冲器，等待触发脉冲的到来。在这段时间内，新到的数据继续写入 SRAM。触发脉冲到来后，记录下此时的存储器位置，触发延迟计数器开始工作，直到计数器计数值等于设定值。停止存入数据。数据采集结束。设置标志位。等待零槽控制器读取 SRAM 中的数据。

预触发计数器和延迟计数器配合使用，他们可以有多种不同的组合。两个计数器的组合使用，保证了触发点前后的数据量可以根据用户需要而设定。使观察窗口可以出现在波形中的任何位置。

触发电路是数字存储示波器非常重要和关键的一部分。它和存储控制电路配合工作，构成了信号存储和再显示的基础。当今电子技术的不断发展，对触发功能的要求也在不断提高，例如当用户需要分析更为复杂的信号时，这就要求触发是多个条件的组合。FPGA 具有丰富的逻辑资源还有特有的灵活性，为设计相应的数字电路提供了好的硬件平台。高级的触发方式有待下一步的研究和开发。

3.5 存储控制电路

A/D 采样器采样输出的数据是随采样时钟和被测信号的变化而变换的，为了能够准确地还原波形，必须将采样所得到的数据存储在缓存器中，待零槽控制器发送命令读取数据。数据存储及控制电路的作用就是在 A/D 采样芯片完成对通道信号采样后，和触发电路配合工作，一起控制整个模块的工作，存储和读取采样电路采集到的数据信号。对数据的存储可以采用片外存储器和 FPGA 片内存储器两种方案来实现，本项目指标是每通道 8MByte 的存储深度。FPGA 资源有限，

EP2S30F672C5 最多 1,369,728bit 的 RAM 存储单元可以被用户使用，所以采用片外存储器的方案。

在本设计中，存储芯片选择的是 ISSI 公司的 IS61NLP51272-200TQ 高速低功耗静态存储器芯片，这款 SRAM 的存储容量为 512K×72bit，每八个字节包含一位效验位，我们使用其中的数据有效位共 64bit，每片 4MByte 的存储空间。每个通道选用两片 SRAM 共同工作，达到 8MByte/通道的存储深度。

在存储工作方式下，数据从 FPGA 的串并转换模块出来，每个通道都同时输出 64 位并行数据，这 64 位数据同时存入一片存储器，两片存储器以串联方式工作，当成一个整体使用，即两片存储器数据总线，地址信号都相同，片选信号顺次有效。如图 3-29 所示。

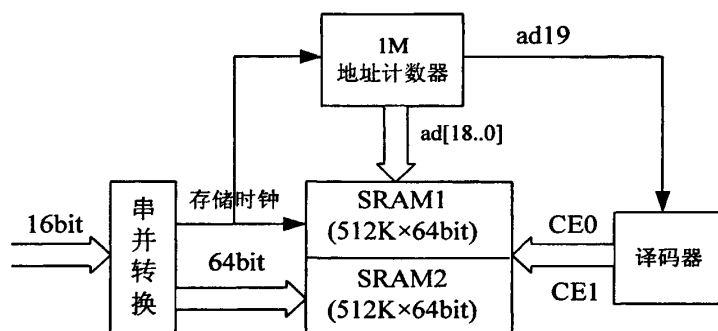


图 3-29 存储过程框图

开始工作前，用户首先在零槽控制器中设置计数器的初值。开始工作后，采样得到的数据再经过串并转换得到可以存入 SRAM 的低速数据。在存储控制电路的控制下，地址产生电路产生写 SRAM 的地址，将低速数据写入这个地址空间。下面我们先来看看地址产生电路的设计。

3.5.1 地址产生电路

地址产生电路用来产生 SRAM 地址。一般来说，地址可以由零槽控制器发送，地址总线译码得到，这样可以精确控制对哪一位的读写。缺点是需要增加 IO 数量。我们板上空间有限，SRAM 读写又是连续顺序读写，不需要从一个地址跳到另一个地址，所以我们可以使用两个模可变的计数器组成地址产生电路。地址产生电路中的计数器深度具有可编程的功能。计数器深度设为数据的当前存储深度，由用户在零槽控制器中的软面板中设定，选定了存储深度就设定了计数器的深度。当地址产生计数器计满后，地址就又从 0 开始循环计数。相当于一个首地址和尾

地址相接的圈。

按照本项目的技术指标，本数据采集模块最大存储深度为 8M，因而需要 23 根地址总线。地址计数器的工作流程图如图 3-30 所示：

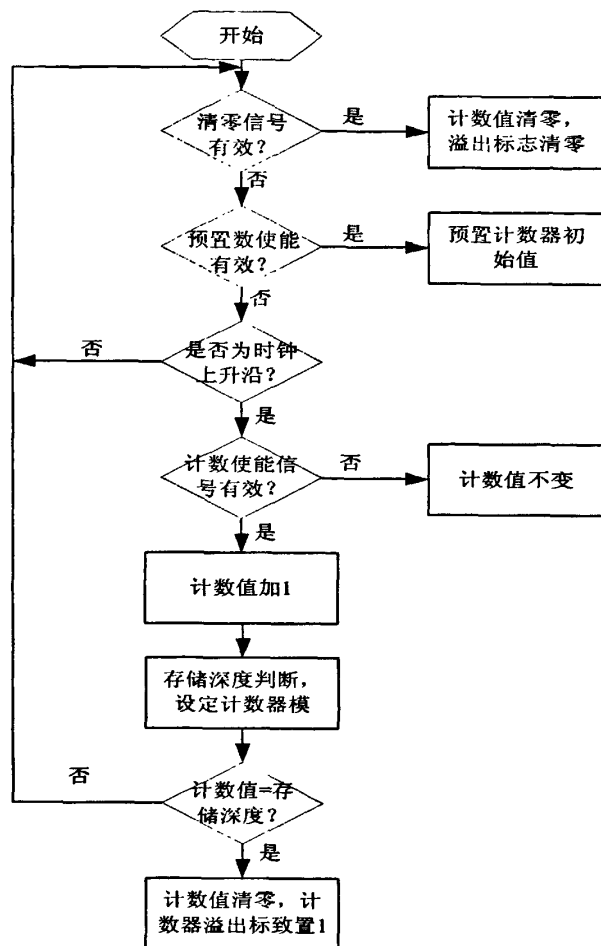


图 3-30 计数器流程图

如图所示，地址计数器开始工作，直到溢出。溢出后，又开始从预置数的地址开始计数，不断重复，直到存储控制电路发出停止信号为止。可以看出，SRAM 地址产生电路就是通过循环存储，当存满后，SRAM 从预制地址开始存储数据。新数据写入以前的地址空间中，覆盖掉先前写入的数据，这样使得 SRAM 中始终保存的是最新的数据。当预触发计满后，开放触发标志，这时等待触发，直到触发标志到来后，记下此时的 SRAM 的地址，再继续写入数据，直到延迟计数器计满，这时发出停止信号，地址产生电路停止工作，记录下此刻的停止地址，我们

将刚才记录下来的停止地址保存在寄存器中。地址寄存电路如图 3-30 所示。

其中, `trig` 是触发模块输出的触发标志信号, `clrn` 是清零信号, `AD[22..0]` 是地址产生计数器的输出的 23 位地址, `trig_add[22..0]` 是当写 SRAM 活动结束时, 记录下来的结束地址。

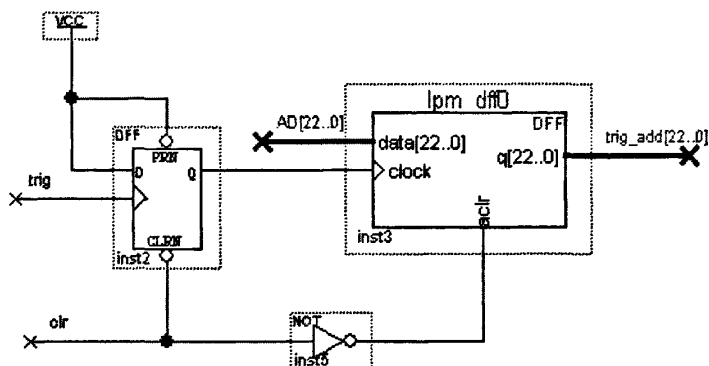


图 3-31 地址寄存电路

读取数据时的起始地址有两种方式可以得到, 其一是利用寄存器中保存的触发地址和存储深度, 其二是利用保存的停止地址和存储深度。对于方式一, 我们在触发地址后加上延迟计数器的深度才能得到起始读数的地址。但是这里存在一个换算问题。如果溢出了, 需要换算。在实际项目中, 我们选用的是方法二, 直接利用停止地址。从刚才存储的停止地址的下一个地址开始读取数据, 直到计满存储深度计数器为止。

3.5.2 存储控制

存储控制电路需要触发电路的配合, 才能准确的实现存储、读取数据的等功能。整个系统在采集信号使能后, 地址产生电路开始工作, 把数据写入 SRAM, 当延迟计数器计满后, 地址产生电路停止工作, 停止存储数据。零槽控制器发送命令控制从 SRAM 中读取数据, 存储控制电路读取 SRAM 中的数据, 把对数据通过 PXI 接口芯片, 发送给零槽控制器。

在本数据采集模块中, 需要注意:

1. 当设定在不同的时基时, 由于采样时钟不同, 对 SRAM 写操作的写时钟就不同, 具体的采样时钟需要由零槽控制器来设定, 根据不同的采样率来选择采用随路时钟还是随路时钟分频后的时钟。
2. 存储控制和预触发电路、延迟触发电路紧密联系, 存储控制电路根据延迟触

发电路产生的预触发溢出标志和延迟触发溢出标志控制存储器的写入。

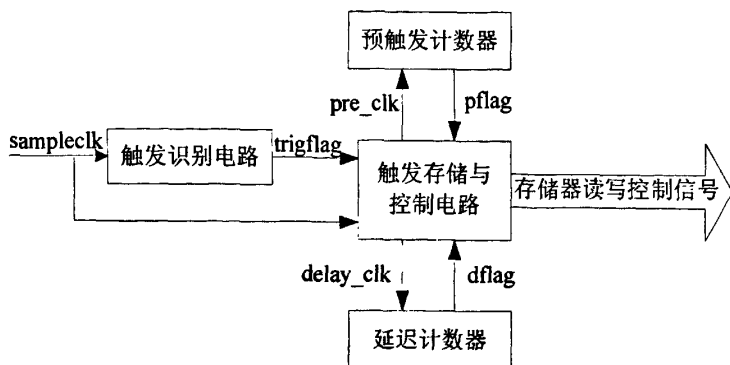


图 3-32 存储控制与预触发、触发延迟的关系^[19]

具体工作过程如图 3-31 所示，采样电路开始工作后，存储控制电路进入数据采集存储状态，当预触发计数器没有计满时，屏蔽触发标志 `trigflag`，此时，触发无效。直到预触发计数器计满，开放触发标志，等待触发的到来。触发到来后，延迟计数器开始计数，计满后，停止工作。整个数据存储过程完成。存储控制电路结束数据采集状态。

图 3-33 是整个数据采集存储控制电路的框图。包括存储和读取两部分。首先开始工作时，零槽控制器不断查询延迟计数器计满没有，直到延迟计数器发出溢出标志或等待时间到强制触发让延迟计数器开始工作，计数器计满发出溢出标志。延迟计数器计满后，数据存储工作完成，进入读取操作的环节。首先需要得到开始读数的起始地址。然后初始化读数计数器。再在读数计数器和读数时钟的共同作用下，完成从 SRAM 中读取存储下来的数据信息的任务。最后，将读到零槽控制器中的数据经过计算、处理，显示在屏幕上。

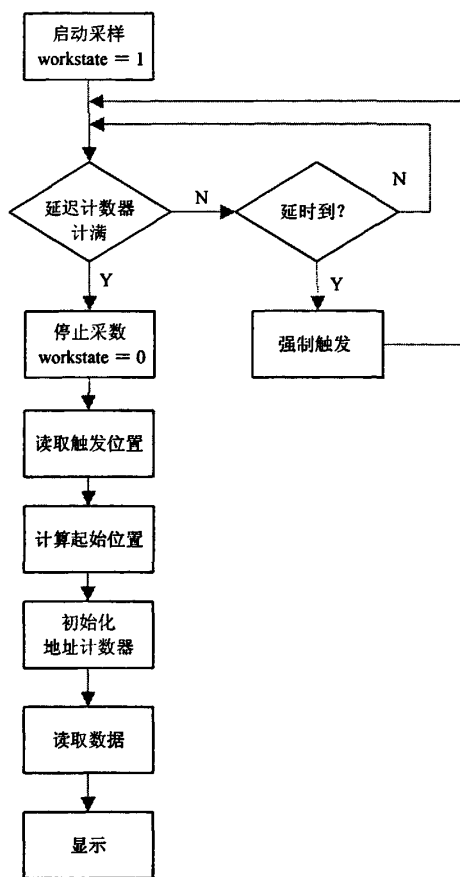


图 3-33 数据采集存储控制框图

第四章 PXI 接口电路设计

本设计中数据采集卡通过 PXI 接口和零槽控制器进行通信。本章简要介绍 PXI 的一些基本特性，详细论述 PXI 接口硬件接口设计。

4.1 PXI 总线特点

PXI (PCI eXtensions for Instrument) 是 PCI 在仪器领域的扩展。它将 Compact PCI 规范定义的 PCI 总线技术发展成适合于试验、测量与数据采集场合应用的机械、电气和软件规范，从而产生了新的虚拟仪器体系结构。PXI 将台式 PC 的性价比优势与 PCI 总线面向仪器领域的扩展完美地结合起来，形成一种高性价比的虚拟仪器测试平台。

PXI 总线体系结构涵盖了三大方面的内容：机械规范、电器规范、和软件规范，如图 4-1 所示。

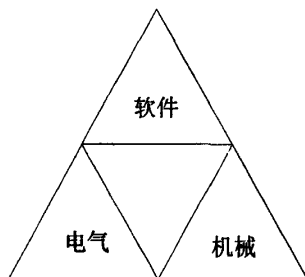


图 4-1 PXI 规范体系结构示意图

4.1.1 PXI 总线电气规范

PXI 总线规范是在 PCI 规范的基础上发展而来的，具有 PCI 的性能和特点，包括 32 位/64 位数据传输能力，以及分别高达 132 MB/s (32 位) 和 264 MB/s (64 位) 的数据传输速度，另外还支持 3.3V 系统电压、PCI-PCI 桥路扩展和即插即用。PXI 在保持 PCI 总线所有有点的前提下，增加了专门的系统参考时钟、触发总线、星形触发总线和模块间的局部总线，以此来满足高精度的定时、同步与数据通信要求。所有这些总线都位于 PXI 总线背板上，其中星形总线是在系统槽右侧的第一个仪器模块槽，是与其他 6 个仪器槽之间分别配置了一条唯一确定的触发线形

成的。

PXI 电气规范描述了 PXI 系统中各种信号的特征及现实要求，规定了 PXI 连接器的引脚定义、电源规范和尺寸系统的实现规范等。

4.1.2 PXI 机械规范

（一）模块尺寸与连接器

PXI 支持 3U 和 6U 两种尺寸的模块，我们选用的是 3U 板卡，该模块尺寸为 100mm×160mm，模块后部有两个连接器 J1 和 J2，连接器 J1 提供了 32 位 PCI 局部总线定义的信号线，连接器 J2 提供了用于 64 位 PCI 传输和实现 PXI 电器特性的信号线。

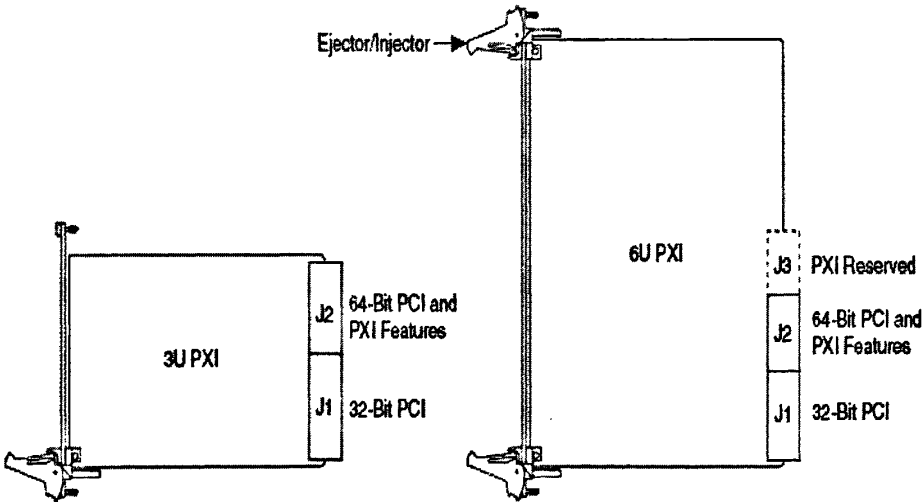


图 4-2 PXI 板卡接口示意图

PXI 使用与 Compact PCI 相同的高密度、屏蔽型、针孔式连接器，连接器引脚间距为 2mm，符合 IEC1076 国际标准。

(二) 机箱与系统槽

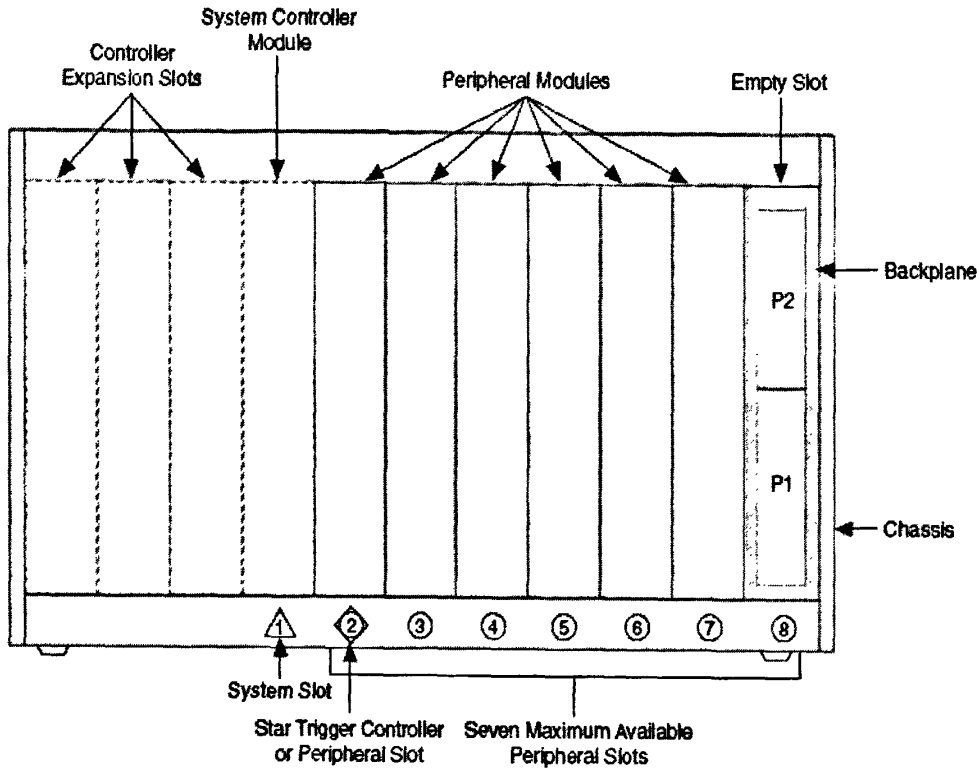


图 4-3 PXI 机箱

如图 4-3 所示是一个典型的 PXI 系统示意图。PXI 系统机箱用于安装 PXI 背板，并且为系统控制模块和其他外围模块提供安装空间。每个机箱都有一个系统槽和一个或多个外围扩展槽。星形触发控制器是可选模块，如果使用该模块，应将其置于系统控制模块的右侧；如不使用，可将其槽位用于外围模块。3U 尺寸的 PXI 背板上有两类接口连接器 P1 和 P2，与 3U 模块的 J1 和 J2 连接器相对应。一个单总线段的 33MHz PXI 系统最多可以有 7 个外围模块。图中 1 是系统槽，2 是星形触发槽，3~7 是外围扩展槽。

4.1.3 PXI 软件规范

PXI 软件体系包括标准操作系统、仪器驱动程序和标准应用软件三部分。

(一) 标准操作系统

PXI 规范了 PXI 系统使用的软件框架，包括支持标准的 Windows 系统。无论

在那种框架中运作的 PXI 控制器应支持当前流行的操作系统，并且必须支持未来的升级。这种要求的好处是控制器必须支持最流行的工业标准应用程序接口，包括 Microsoft 与 Borland 的 C++、VB、LabVIEW 和 LabWindows/CVI。

（二）仪器驱动程序

PXI 的软件要求支持 VXI 即插即用联盟(VPP 与 VISA)开发的仪器软件标准。PXI 规范要求所有仪器模块需配置相应的驱动程序，这样可避免用户只得到硬件模块和手册，再花大量时间去编写应用程序。PXI 要求生产厂家而不是用户去开发驱动软件，以减轻用户负担，做到即插即用。

PXI 也要求仪器模块和仪器制造厂商提供某些软件的组成部分。用作定义系统的配置与功能的初始化文件，是 PXI 必备的系统软件，用来确保系统的正确配置。如系统软件能确认临近外设模块有无兼容的本地总线，如果有信息丢失，本地总线的功能就不能工作。

（三）标准应用软件

PXI 系统提供 VISA 软件标准配置与控制 GPIB、VXI、串行及 PXI 总线仪器的技术方法。PXI 引入 VISA 标准内容，以保护仪器用户的软件资源和投资。VISA 是用户系统确立与控制 PXI 模块与 VXI 机箱与仪器或分布式 GPIB 和串行接口仪器进行通信连接的标准方法。PXI 还扩充了 VISA 的接口，允许配置和控制 PXI 外围模块。这种扩充既保留了仪器工业中已采用的软件模型，又发展成 PXI、Compact PCI、PCI、GPIB 与其他仪表体系的统一结构，从而大大提升了软件的通用性^[18]。

4.2 PXI 接口实现方案

PXI 接口包含两部分，J1 和 J2。连接器 J1 提供了 32 位 PCI 局部总线定义的信号线，连接器 J2 提供了用于 64 位 PCI 传输和实现 PXI 电器特性的信号线。我们主要使用了 J1 提供的 32 位 PCI 局部总线，和 J2 提供的 PXI 触发总线和星形触发线，完成我们的电气连接。

对于 J2，触发信号的接口关系连接，将在下一节详细介绍。对于 J1，32 位 PCI 接口，我们可以用传统 PCI 接口实现方案，通常有以下两种方案：

1、在 FPGA 中设计接口电路

比较灵活是 FPGA 设计的 PCI 接口的最大好处。但是由于 PCI 总线是高速总线，所以在传输数据的时序上有着严格的要求，它还有着复杂的逻辑关系，同时要正

常工作还需要 FPGA 内部实现各类配置的寄存器, 用来做逻辑校验、地址译码等工作, 还要加入 FIFO, 同步不同域的工作等部分。直接设计 PCI 总线接口, 工作量大, 开发周期长。

另外还可以使用 FPGA 制造商提供的 PCI 控制器软件包 PCI MeagaCore。该软件包含了 PCI 总线控制电路所有功能。但 PCI MeagaCore 软件包价格比较昂贵, 而且使用这一模块软件变成比较复杂^[9]。

对于产品不大又有时限的工程项目来说, 成本巨大, 不划算。

2、专用 PCI 接口芯片

采用专用的接口芯片大大缩短了开发周期, 并且专用接口芯片具有通用性, 提供配置寄存器。从研发周期和成本角度权衡两方案, 还是专用接口芯片实现与 PCI 总线的通信更具优势。

PCI 接口芯片是零槽控制器和数据采集卡之间通信的桥梁, 本设计中 PCI 芯片通过总线端口接口模式来读写 FPGA。我们选用的是 PCI9054 作为接口芯片。本节重点研究 PCI 接口芯片和 FPGA 的连接及其外围电路设计^[19]。

4.2.1 PCI9054 芯片结构及特性

PCI9054 是美国 PLX 公司推出的一种 32 位、33MHz 的 PCI 总线主控 I/O 加速器, 是一种低成本 PCI 总线接口芯片。

PCI9054 符合 PCI 总线规范 2.2 版, 突发传输速率达到 132MB/s, 本地总线支持复用/非复用的 32 位地址/数据。具有可选的串行 EEPROM 接口, 本地总线时钟可和 PCI 时钟异步。PCI9054 内部有六种可编程的 FIFO, 以实现零等待突发传输及本地总线和 PCI 总线之间的异步操作。PCI9054 支持主模式、从模式、DMA 传输方式, 因其强大的功能可应用于适配卡和嵌入式系统中。它采用了先进的 PLX 数据管道结构技术, 可以使局部总线快速转换到 PCI 总线上。利用 PCI9054 灵活的局域总线可以方便地连接多种存储器、I/O 外围设备和 CPU^[17]。

PCI9054 主要有三种工作模式, 分别是 C 模式、M 模式和 J 模式, 这当中 C 模式是简单而应用最为广泛的一种。在 C 模式下, PCI9054 主要三种方式: DMA 操作、PCI Target 操作和 PCI Initiator 操作。在 PCI Initiator 操作过程中, 本地处理器或本地总线主控设备能够直接通过 PCI9054 访问 PCI 总线, 发起 Local-to-PCI 的数据传输。而在 PCI Target 操作过程中, PCI 总线主控设备可以以可编程的等待状态、总线宽度和突发传输功能访问 PCI9054 的三个本地空间(空间 0, 空间 1 和

扩充 ROM 空间)。

PCI9054集成了两个互相独立的DMA通道，每个通道都支持Block DMA和Scatter/Gather DMA，通道0还支持Demand DMA传输方式。Block DMA要求PCI主机或Local主机提供PCI和Local的起始地址、传输字节数、传输方向。主机设定DMA开始位启动数据传输，一旦传输完成，PCI9054设定DMA"传输结束位"结束DMA，如果中断允许位被使能，在传输结束时PCI9054将向主机申请中断。在DMA传输中，PCI9054既是PCI总线的主控器又是Local总线的主控器^[17]。

PCI9054 的内部结构图 4-4:

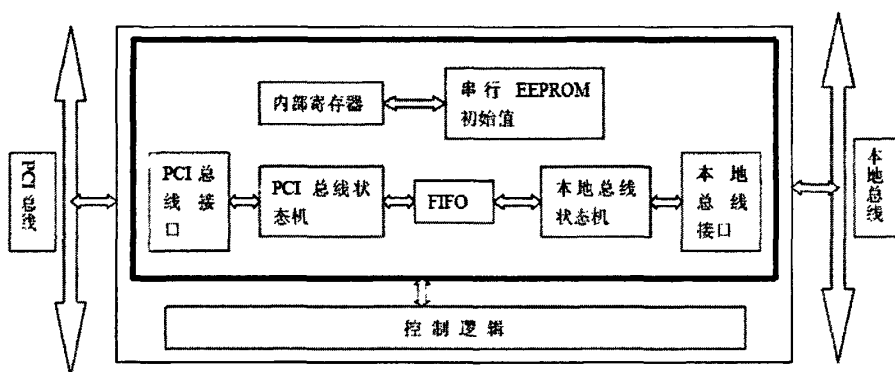


图 4-4 9054 内部结构图

在本设计中，PCI9054 主要起两个作用：

第一，数据传输、地址译码和控制指令的译码。数据传输过程中的握机和等待控制信号主要由帧周期信号 FRAME、主设备准备好信号 IRDY、从设备准备好信号 TRDY 和设备选择信号 DEVSEL 组成。由于 PCI 总线的数据和地址总线是复用的，用 FRAME 信号来区分地址和数据，同时也标志着一次传输的开始。IRDY 和 TRDY 任何一个无效都为等待周期，两者都有效时，数据才能传输。DEVSEL 确定选中的是哪一个 PCI 设备。此外，为了避免 PCI 总线上信号接受和发送时占用总线的冲突，由总线占用请求信号 REQ 和总线占用允许信号 GNT 仲裁。

第二，与普通的单片机或总线的入射波信号不同，PCI 总线的信号采取反射波方式。在这种方式下，如果 PCI 总线驱动器驱动某一信号功率（电流或电压）到 PCI 板卡，信号功率传输到达负载的同时，又被反射回来。入射和反射的功率叠加，使信号加倍，从而信号电压达到驱动所需电平。这段电压上升的过渡时间相当于总线周期的三分之一。因为这个特性，PCI 总线不能直接与普通芯片互联，PCI9054 完成了总线信号波形和格式的转换。

由图 4-4 看出, PCI9054 提供了三个物理总线接口: PCI 总线接口, LOCAL 总线接口, 及串行 EPROM 接口。

4.2.2 PCI9054 接口电路设计

PCI 总线与 PCI9054 的连接信号包括地址数据复用信号 AD[31:0], 系统的 RST、CLK、总线命令信号 C/BE[3:0]、PCI 协议控制信号 PAR、FRAME#、IRDY#、TRDY#、STOP#、IDSSEL、DEVSEL#等^[19]。

这些控制信号主要用于实现 PCI 总线的通信协议, 必须按照 PCI 总线的规范来进行设计, 尤其是对时钟线, 要按照高速信号布线的规则进行走线和匹配, 以避免高频信号反射对系统工作造成的错误。

PCI 总线上所有的数据传输基本上都是由以下三条信号线控制的:

FRAME#: 由主设备驱动, 指明一个数据传输的起始和结束。

IRDY#: 由主设备驱动, 允许插入等待周期。

TRDY#: 由从设备驱动, 允许插入等待周期。

4.2.3 PCI9054 的上电配置

串行 EEPROM 用于为 PCI9054 设置初始化信息, 同 PCI9054 有四根信号线进行连接: EESK、EEDO、EEDI 和 EECS。EEPROM 配置文件的形式是一个十六进制文件, 如图 4-5 所示。

```
00000000h: 54 90 B5 10 80 06 00 00 00 00 00 01 00 00 00 00 ;
00000010h: 00 00 00 00 00 F2 00 00 00 00 01 00 20 00 00 00 ;
00000020h: 00 00 00 04 00 00 00 00 00 00 00 00 40 41 43 01 ;
00000030h: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 ;
00000040h: 00 00 00 00 FF FF FF FF FF FF FF FF FF FF FF ;
00000050h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
00000060h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
00000070h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
00000080h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
00000090h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000a0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000b0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000c0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000d0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000e0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
000000f0h: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF ;
```

图 4-5 EEPROM 配置文件

其中每个需要配置的寄存器都有自己固定的偏移位置, 我们只需在其中相应的偏移位置写入 0 或 1 即可。93LC56B 的容量是 2K, 支持串行读写。此文件左边是

偏移位置显示，右边是十六进制内容。实际应用中，遇到板卡插上 PXI 插槽后，主机无法开机或者找不到新硬件的问题，多数都是 PCI9054 读 EEPROM 值不正确造成的。

4.2.4 PCI9054 与 FPGA 的连接

FPGA 与 PCI9054 的连接，涉及如下所示的一条时钟线、五条控制信号线和局部地址总线。

- ADS#：有效地址周期的开始
- BLAST#：有效地址周期结束
- LCLK2：局部总线时钟
- LA[21..2]：在此处低 2 位地址不参与译码
- LW/R#：申请局部总线读写控制
- LHOLD：申请局部总线控制权
- LHOLDA：局部总线对 LHOLD 申请的应答

第三章中介绍的各模块，都需要零槽控制器发送控制字来控制操作。同样的数据处理状态标识也保存在对应的寄存器中，零槽控制器通过读取相关寄存器的值来获取相关信息以进行后续操作。具体项目中，我们采用 FPGA 内部可例化的 74374 寄存器实现写锁存电路的功能，74244 实现读数据缓冲的功能。图 4-6 是一个写锁存和读缓冲的电路。

图中，D0~D16 是双向数据总线。Arx 是读地址；Awx 是写地址，由地址译码电路产生。74244 是八通道的三态门，在使能端为低时把数据输出，74374 在时钟上升沿把数据锁存到输出端。

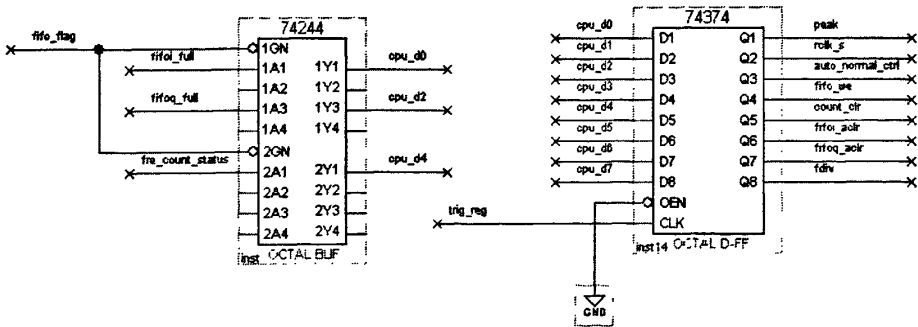


图 4-6 寄存器读写电路

在 FPGA 中需要设计译码电路来产生读寄存器、写寄存器的时序。根据 PCI9054 的局部总线相关时序，地址译码之前需要将地址总线锁定后输出，如图 4-7，参与译码的是 LQA 总线，aw[63..0]、ar[31..0]和 DMAR[31..0]是地址译码的输出。

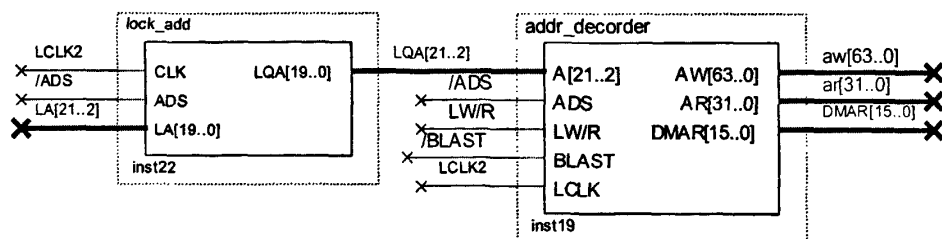


图 4-7 地址锁存及译码电路

寄存器读写控制电路如图 4-8、4-9 所示：

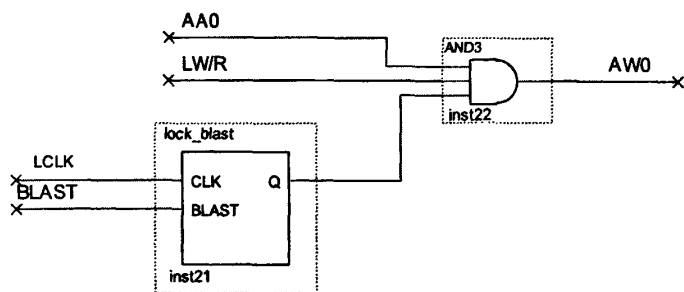


图 4-8 寄存器写控制电路

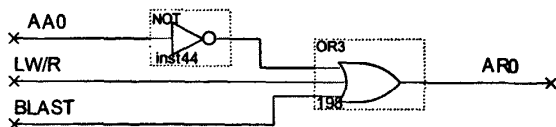


图 4-9 寄存器读控制电路

4.3 PXI 背板触发

PXI 背板触发，主要包括星状触发和触发总线触发。

PXI_STAR: 星形触发信号从连接器串接一个 10Ω 电阻接入 FPGA，当需要使用触发信号时，通过 FPGA 编程输出和形成组合逻辑对本地的控制。

PXI_TRIG[0..7]: 为了保持接口的通用性，将这 8 个触发信号同样引入 FPGA，通过 FPGA 编程控制采用哪一路信号触发本地电路。

如图 4-10 所示，是 PXI 系统总线结构图。

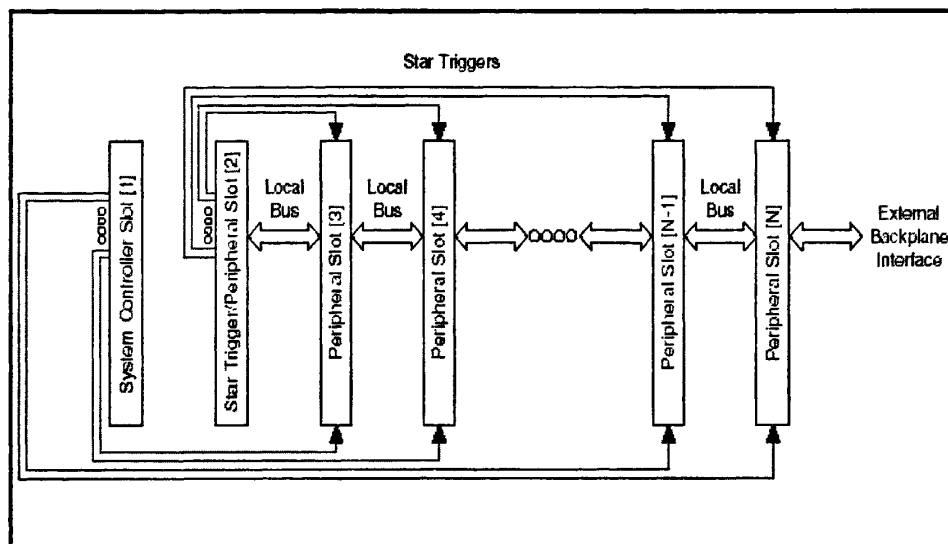


图 4-10 PXI 系统总线结构

4.3.1 PXI 星形触发

PXI 星形触发是 NI PXI 机箱的一种特性。它为 PXI 用户提供了更高性能的同步功能。星状触发控制器安装在第一个外围模块插槽上，使用插槽左侧 13 根本地总线引脚，实现与各外围模块星状触发信号线 PXI_STAR 连接。在机箱中，插槽 2 是专用的星状触发槽。星形触发是一个高质量的触发信号，我们能使用它来同步所有机箱中的模块。我们也能用触发总线来同步所有模块，但是星形触发线提供了更好的特性，比如不超过 5ns 的传输延迟，模块间的延迟不超过 1ns。如图 4-9 所示，插槽 2 是专门为星形触发控制优化过的，如果系统中没有使用星形触发，我们可以将插槽 2 用作标准模块接口。其他模块通过背板能访问插槽 2，产生触发信号的控制器。位于 pxi 机箱第二个插槽的星形触发模块，提供的触发信号到达其他模块的时钟歪斜很小。

触发信号选择星形触发还是触发总线触发，在我们设计中都通过在 FPGA 中的选择器，接收零槽控制器的命令进行选择。

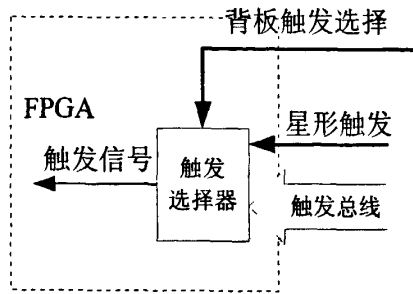


图 4-11 PXI 背板触发选择

4.3.2 PXI 触发总线

触发总线是 PXI 总线区别于 Compact PCI 的根本特征。触发总线提供了模块间的同步与通信，它可用于触发或时钟传输。在 PXI 总线规范中对触发总线的电气规范做了明确规定，触发信号的响应和触发信号的产生通过对 FPGA 编程来实现。PXI 触发总线由八根组成，可以灵活的应用于多种场合。例如，触发总线能被用来同步几个不同的 PXI 模块的操作。另一种应用中，一个模块能精确的控制系统中其他模块的操作时序。触发能从一个模块传递到另一个模块，允许对异步的外部事件有着精确的时间响应^[20]。

协议规定需要 8 根线，即 PXI_TRIGGER[0:7]，位于 PXI 机箱的 P2/J2 连接器上。FPGA 内部做了触发总线输出模块，可以将接受到的触发信号，发送到触发总线上，供 PXI 机箱中其他模块使用。如图 4-12 所示：

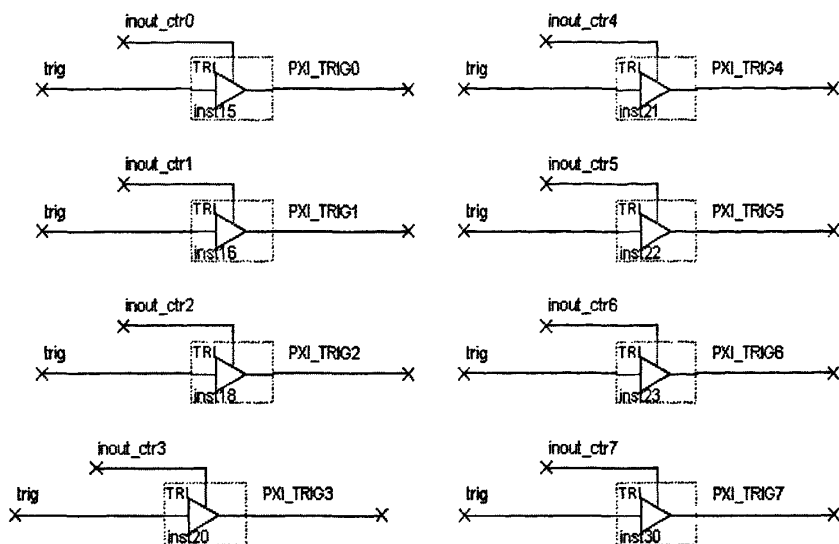


图 4-12 触发总线输出

零槽控制器选择使能输出, 选择控制信号 `inout_ctr[7..0]`, 开放对应的三态门, 将本模块的触发信号输出到 `PXI_TRIG` 总线上。

当触发源选择为 `PXI` 背板触发, 零槽控制器发送具体的选择信号, 选择了 `PXI_TRIG` 中的某一位时, 在软件上, 使选择为输入的 `PXI_TRIGn` 无法设置为输出。这时模块只能接受来自触发总线的触发, 不能作为触发发起者。

4.4 本章小结

与第三章一样, 本章节是本次设计的另一个重要章节。此章节重点介绍了 `PXI` 接口硬件设计部分。大致内容包括: 首先, 简要介绍了 `PXI` 总线的特点。其次, 根据设计要求简要介绍了所选用的接口芯片、给出了该接口芯片与 `FPGA` 的外围连接图, 并对接口电路的工作流程进行了介绍; 最后, 介绍了 `PXI` 背板触发的实现。

第五章 系统调试与测试

调试是设计不可或缺的一个重要环节，通过调试可以验证设计的好坏，检查设计的缺陷，并最终达到设计要求的指标。

5.1 硬件调试

在 PCB 板制作的同时、FPGA 内部的电路就需要开始着手设计。当拿到做好的 PCB 板，编好 FPGA 电路后，在进行系统功能测试前，需要对系统进行了调试与校准。本项目中的硬件调试，主要是调试几大功能电路，并对各个模块存在的问题，提出了相应的解决办法。硬件调试主要集中在前向通道的放大、衰减电路是否正常工作、FPGA 内部逻辑的各项功能以及 PXI 接口是否工作正常。

硬件调试的步骤如下：

1.拿到板子后，首先用万用表打有无做板错误，测量电源和地是否短路。然后焊接 FPGA，再用万用表打 FPGA 后的核心电压和地之间的电阻，对于我们选定的这款 FPGA，应该有 10 欧左右的电阻。再焊接电源部分，留下磁珠不焊，先不让电源给器件供电，上电检查是否电源工作正常。之后，检查 FPGA 能否下载。

2. 通道电阻选择电路、耦合选择电路的调试：主要是调试控制信号对继电器的选择和制动作，通过零槽控制器控制面板选择测量档位和耦合方式，FPGA 发出控制信号，控制继电器动作。在选择某个档位后通过万用表测试对应继电器是否动作，否则输出信号和驱动电路是否工作正常。

3. 放大电路的调试：通过在放大电路的前端加一固定值电压信号，用示波器测试放大器的前后端输出电压，将输出电压与输入电压进行比较，如果与理论增益相差较大时，检查电阻值是否正确。很多情况是由于电阻值错误而造成放大增益不正确，在这些电路中可以采用精密电阻。

4.PXI 接口调试：首先，将数据采集模块插入 PXI 机箱，启动零槽控制器中的软面板，向数据采集卡的 1 号地址写入 0x5050，能否从 2 号地址读回；读取数据采集卡的测试地址 0，能否读到预置数据 0xbf51。能，则表示工作正常。如果不能，就需要先检查 PCI9054 的电源电压，再检查各引脚的连接情况，有无虚焊、漏焊。再检查 EEPROM 配置是否正确。如果都没问题，检查驱动程序是否安装

正确。

5.FPGA 控制功能的调试。数字逻辑信号采集模块的控制电路是在 QUARTUS II 5.1 中制作的, 利用 QUARTUS II 中的各种调试工具, 可以对数字电路的逻辑, 以及时序进行调试。常用到的方法, 就是首先利用 QUARTUS 的仿真工具进行功能和时序仿真, 检查无误后, 将 QUARTUS 中编写的程序文件烧写入 FPGA 的配置芯片中。然后, 利用 Windriver 中的读写操作函数, 对 FPGA 中的数字电路进行读写控制, 观察控制是否正确。在不正常时, 使用逻辑分析仪查看 PCI9054 本地总线的控制信号电平和控制时序是否正确, 比如, ADS、BLAST、W/R 等信号。

按照以上的步骤, 对模块的硬件进行检查, 在实际调试中, 经常出现的硬件问题有以下几方面:

(1) 器件的虚焊问题。由于采用人工焊接, 所以虚焊、错焊的情况都时有发生。

(2) 在模拟通道上, 未加信号时, 有一个正弦波。用示波器测试电源, 未发现这么大的纹波, 这就可能是放大器有个规定的最小放大倍数, 如果达不到, 则会发生自激; 还可能是和电阻并联的电容值不对, 引起的自激现象, 更换不同容值的电容得以解决。在调试过程中, 模拟通道上的放大器还可能在未加信号的时候, 输出端口一直有个 2V 左右的电压存在, 很可能是片子坏了, 更换芯片后, 问题得以解决。

(3) 用 QUARTUS 进行程序下载时常出现配置芯片不能识别或配置芯片 ID 错误的情况, 应首先检查下载电缆及接口连接是否正确, 其次检查配置接口设计是否正确; 如果都没有问题, 可检查计算机的防火墙设置是否正确。最后还可能是 FPGA 下载管脚坏了。

(4) 对于 PXI 接口调试, 若出现只能用 WINDRIVER 对内部寄存器进行操作, 而对外部局部总线的存储器进行读写时出现读数据时的校验错误, 或死机现象时, 原因一般在于 FPGA 和 9054 的握手信号错误, 如 L_HOLD 信号无输出。遇到板卡插上 PXI 插槽后, 主机无法开机或者找不到新硬件的问题, 多数都是 PCI9054 读 EEPROM 值不正确造成的, 用烧写器重新写 EEPROM 能解决问题。

(5) 用 QUARTUS 下载线进行对 FPGA 进行配置时, 常出现打开下载软件很慢和配置芯片 ID 错误的情况, 对于第一种情况可以断开网线加以解决, 第二种情况则有可能是下载线的问题。

5.2 基本功能测试

在测试中主要使用了以下仪器：

PXI 机箱： PXI-2506

示波器校准仪： FLUKE 5820A；

任意波发生器： Agilent 33250A；

示波器： MSO6102A；

数字万用表： DT-9205B

1. 最大采样率测试：

- a) 开机预热十分钟，启动软面板，显示正常。
- b) 使用同轴电缆将任意波形发生器的信号输出端口连接本信号采集卡的输入端 CH1 或 CH2，设置任意波形发生器输出 5MHz 的正弦波。
- c) 设置采集卡的垂直灵敏度为 1V/格，时基为最高实时采样 25ns/格，触发方式为单次触发，显示方式为点显示。
- d) 启动采集，观察采集到的信号占八格，共 200 个点；
- e) 应用最高实时采样率公式： $f_{\max} = \frac{N}{T}$ ，计算出实际的最大采样率为：1G。

2. DC 精度：

- a) 设置示波器校准仪输出直流（0Hz）电压 1V，连入采集卡的输入端 CH2；
- b) 设置采集卡模块耦合方式为 DC 耦合，垂直灵敏度为 500mV/div，启动平均值测量功能；
- c) 输入信号 150mV，测量的电压为 151.3mV；输入信号 30mV，测量的电压为 32.2mV。符合精度要求。

3. 偏置范围与精度：偏置的最大范围应大于 $\pm 50\%$ 满量程，偏置误差小于 $\pm 2\% \times$ 偏置。

- a) 使用同轴电缆将任意波形发生器的信号输出端口连接到数据采集卡的输入端 CH1；
- b) 设置任意波形发生器无输出，这时基线位于屏幕垂直方向中心；
- c) 设置数据采集卡耦合方式为 DC，档位选择为 50mV/格,设置偏置信号为 200mV，调整任意波形发生器的输出直流偏置电压值，当输入-198.27mV 时，基线再次居中稳定显示，此时任意波形发生器的输出直流偏置电压值，为实际的最大负偏值；

- d) 设置数据采集卡偏置到-150mV, 调整任意波形发生器输出直流偏置电压, 到 153.7mV 时, 基线居中显示;
 - e) 分别计算正偏置误差和负偏置误差, 符合要求。
4. 采集参数可控检查: 能改变时基、输入信号范围等采集参数
- a) 将任意波形发生器的输出端口连接到数据采集卡的输入端;
 - b) 设置任意波形发生器使其产生频率 1MHz, 幅度 0.5Vpp, 偏移 0V 的正弦波;
 - c) 设置采集卡时基为 500ns/div, 垂直灵敏度为 500mV/div, 触发方式为单次, 点击运行 (RUN) / 停止 (STOP) 按钮, 在软面板波形显示窗口中可以观测到采集的波形, 其高度为 2 格 (div), 每个周期为 2 格 (div), 停止后波形可以前后移动 1.5 屏;
 - d) 任意波形发生器输出频率设置为 2MHz, 重复步骤 c), 观察到波形每个周期为 1 格, 改变时基为 250ns/div, 观测到采集的波形每个周期 2 格, 时基可控;
 - e) 设置任意波形发生器输出幅度为 1Vpp, 重复 c), 观察到波形高度为 4 格, 改变垂直灵敏度为 1V/div, 观测到波形高度为 2 格, 表明输入范围可控。
5. 输入耦合方式: 包括 AC、DC、GND 三种
- a) 设置任意波形发生器使其产生频率 1KHz, 幅度 1Vpp, 偏移 1V 的方波;
 - b) 设置数据采集卡输入耦合方式为 DC, 观测显示波形, 发现波形明显偏离屏幕垂直方向中心。DC 耦合功能正常;
 - c) 设置输入耦合方式为 AC, 观测显示波形, 发现波形位于屏幕垂直方向中心, 没有明显直流偏置, AC 耦合功能正常;
 - d) 设置耦合方式为 GND, 观测显示波形, 发现屏幕垂直方向中心有一条直线。GND 耦合功能正常。
6. 通道输入阻抗测试:
- a) 使用同轴电缆将示波器校准仪的信号输出端口连接到信号采集卡的输入端 CH1;
 - b) 设置数据采集卡输入阻抗为 1M Ω , 启动校准仪的输入电阻测试功能, 测试结果为: 1.0132 M Ω ;
 - c) 设置数据采集卡输入阻抗为 50 Ω , 启动校准仪的输入电阻测试功能, 测试结果为: 49.98 Ω ;

- d) 切换到通道二，对通道二的测试结果为：1 M Ω 时，1.012 M Ω ；50 Ω 时，49.81 Ω 。测试结果符合要求。

7. 触发源选择测试：

- a) 使用同轴电缆将示波器校准仪的信号输出端口连接到信号采集卡的输入端 CH1；
- b) 设置任意波形发生器使其产生频率 1MHz，幅度 1V_{pp}，偏移 0V 的正弦波；
- c) 设置采集卡触发源为 CH1，可以采集并观测到与任意波形发生器设置一致的波形，然后将任意波形发生器的输出连接到采集卡 CH2，将触发源设置为 CH2，可以采集并观测到与任意波形发生器设置一致的波形；
- d) 设置采集卡触发源为外触发，将任意波形发生器的同步信号输出端连接到数据采集卡的外触发输入端，可以采集并观测到与任意波形发生器设置一致的波形；
- e) 设置采集卡触发源为 PXI 背板触发，并从 PXITRIG0~PXITRI6、PXI_STAR 中选择一个，将同一个机箱中其他模块的触发输出设置为对应的选项，则该模块输出触发信号时，可以触发采集，并观测到与任意波形发生器设置一致的波形；
- f) 设置采集卡触发源为软件，启动采集，显示未触发，点击操作窗口中软件触发按钮，显示触发，可以采集并观测到与任意波形发生器设置一致的波形。

按上述的测试方法对样机进行测试，测试结果表明该数据采集卡的基本功能符合设计指标的要求，部分实验结果图见附录。

第六章 结 论

本课题研制的是基于 PXI 总线的数据采集卡硬件部分, 经过近一年的分析、论证、设计、制作及调试工作, 基本完成本课题的设计任务, 并已经研制出样机。

在本次设计中, 我查阅了大量数据采集卡、示波器的相关资料, 借鉴前人的研究成果, 经过前期仔细的研究分析和后期的反复调试和改进, 最终完成了本课题的设计任务。项目中我主要负责数据采集、触发选择、存储控制、外时钟测频等电路的设计以及电路调试、测试与验证等工作。

本文介绍了基于 PXI 总线数据采集卡的基本结构及工作原理, 提出了采用串并转换进行 1Gsa/s 的高速信号采集方案: 利用 Altera 的 Stratix II FPGA 芯片中的专用的串行收发器 SERDES, 将 16 位的串行输入信号, 4 倍降速后, 再处理。SERDES 技术的应用很好地解决了高速信号采集和存储的瓶颈。

项目整机进行了各种环境实验的测试: 包括高温实验(50 度)、低温实验(0 度)、电磁兼容实验。发现了部分问题, 主要表现在带宽指标未达到设计要求的 200MHz, 通道 1 负向偏置范围只能到 40%, 需要进一步改进。

本模块最高采样率为 1GSa/s, 为了满足数字技术的发展, 采用更快的 AD 芯片来提高最高采样率。然而采用现有 SRAM 存储器受到存储速率的限制, 因而随着采样率的提高该存储器已不能满足要求。因此需要选择合适的存储方式来适应今后更大的存储深度及更高采样率的要求: 如 QDR SRAM 的存储方式。

综上各章节所述, 本系统实现了基于 PXI 的数据采集卡的基本功能和指标要求。

致 谢

首先要向我的导师王厚军教授表达最衷心的感谢！王厚军教授在我攻读硕士期间对我的悉心关怀和精心指导，导师求实创新的治学作风、渊博的学识深深的影响着我，并时刻激励我不断追求上进，使我受益终身。衷心感谢戴志坚老师对我耐心细致的指导以及提供的无私帮助，戴老师深厚的学术功底，丰富的科研实践经验，严谨的治学态度，使我受益匪浅。另外还要感谢田书林教授、黄建国教授和徐建南高工给予的帮助和支持。

此外感谢许士杰、赵贻玖、庄晓燕、汪鹏利、吴凡、王娟及教研室其他同学给予我的支持与帮助。

最后衷心感谢我的母亲、父亲，我所取得的所有成绩都离不开他们的默默支持！

参考文献

- [1] 孔德仁, 何云峰, 狄长安. 仪表总线技术及应用. 国防工业出版社, 2005, 1-11
- [2] 王丽英. PXIAC2008 在京举办展示最新 PXI 技术及热门应用. 今日电子, 2008 年 7 月
- [3] 马永杰, 杨志民. 100MHz 高速数据采集卡研制中关键技术的探讨. 西北师范大学学报(自然科学版), 1999. (1):37-37
- [4] 钱国平. 基于PXI总线的数据采集模块的研制:[硕士学位论文]. 哈尔滨: 哈尔滨理工大学, 2004
- [5] HP TEST & Measurement 1999 Catalog. 50-500
- [6] 王锂. 1GSa/s手持式示波表数字系统硬件设计:[硕士学位论文]. 成都: 电子科技大学, 2008
- [7] ATMEL Inc. Dual 8-bit 1 GSPS ADC AT84AD001B Smart ADC DATASHEET. 2005
- [8] EDA先锋工作室, 吴继华, 王诚. Altera FPGA/CPLD设计(高级篇). 人民邮电出版社, 2005, 6-301
- [9] Stratix II handbook. Altera Corporation
- [10] PXI-5114 handbook. National Instrument
- [11] 蒋焕文, 孙续. 电子测量. 中国计量出版社, 1988, 171-538
- [12] 丘渡裕. 200MHz 手持式示波表数字系统和电源模块的设计:[硕士学位论文]. 成都: 电子科技大学, 2006
- [13] 侯伯亨, 顾新. VHDL硬件描述语言与数字逻辑电路设计. 西安电子科技大学出版社, 1999, 1-230
- [14] 李广军, 孟宪元. 可编程 ASIC 设计及应用. 电子科技大学出版社, 2000, 3-300
- [15] 刘洪庆. 混合信号分析仪逻辑模块硬件设计:[硕士学位论文]. 成都: 电子科技大学, 2008
- [16] 黄敏. 外接式混合信号分析仪的逻辑分析模块硬件设计:[硕士学位论文]. 成都: 电子科技大学, 2008
- [17] PXI-5114 Digitizer Specifications. National Instrument
- [18] 聂玉庆. 基于 PXI 总线的 QPSK 调制器设计实现:[硕士学位论文]. 成都: 电子科技大学, 2007
- [19] 何光亚. 基于 PXI 总线的 QPSK 解调模块设计:[硕士学位论文]. 成都: 电子科技大学, 2007
- [20] PXI System Alliance, PXI Hardware Specification Revision 2.2. 2004

攻硕期间取得的研究成果

- [1] 陈明浩, 王厚军, 戴志坚.DDR 控制器. [J]自动化信息. 2009 年第 5 期

附录

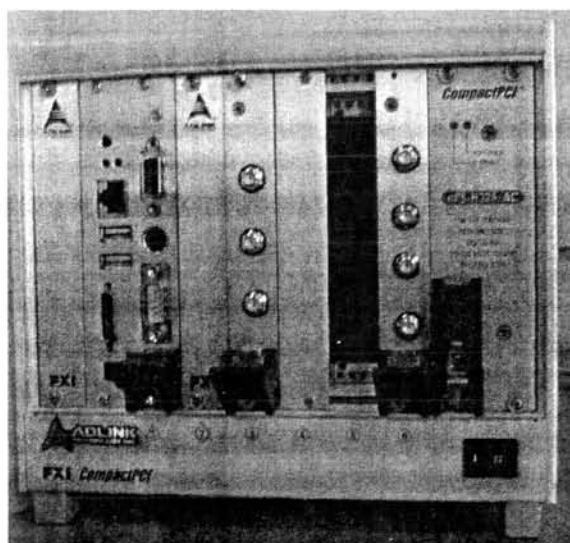


图 A-1 PXI 机箱整机，1 槽为零槽控制器，6 槽为本项目的数据采集卡

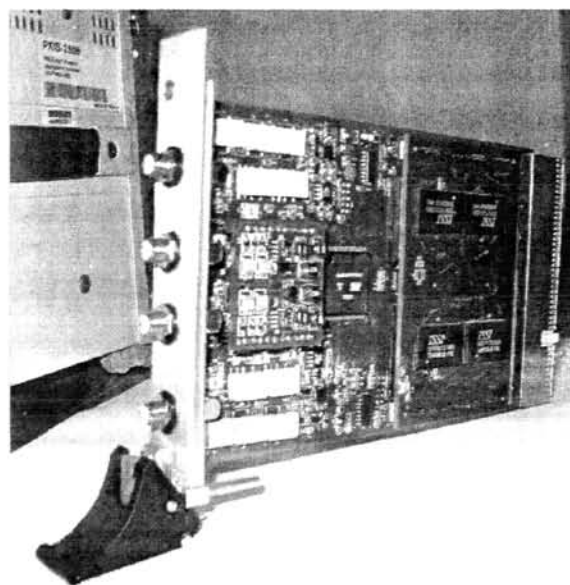


图 A-2 数据采集卡正面图

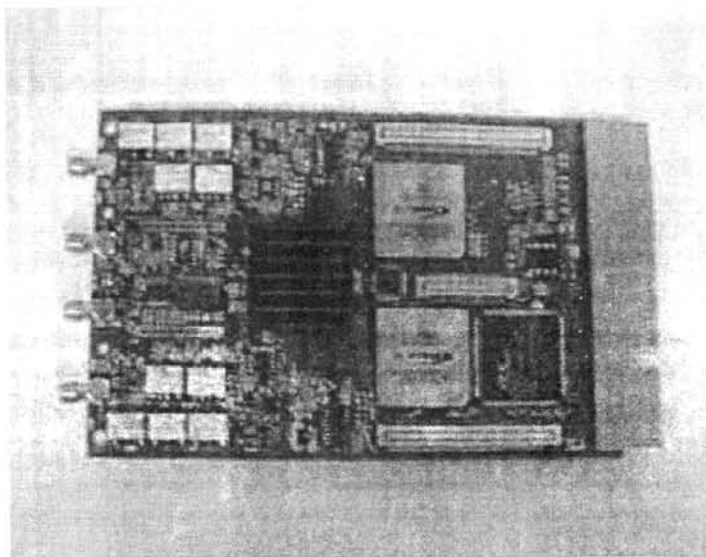


图 A-3 未加存储器背板的数据采集卡

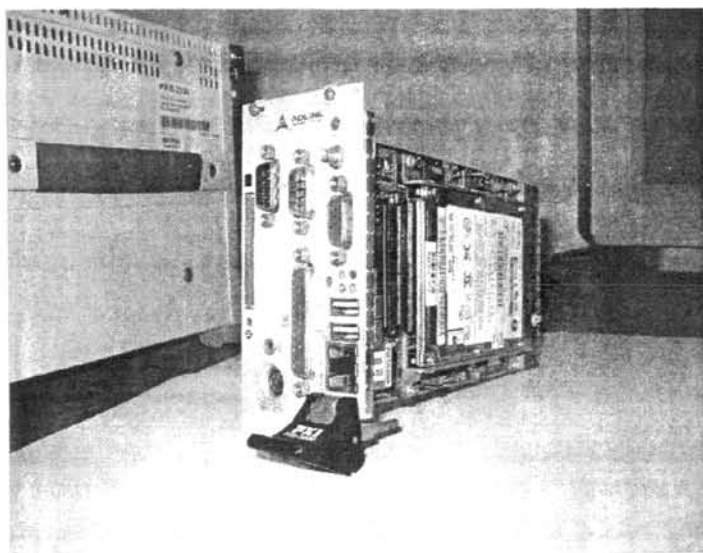


图 A-4 零槽控制器

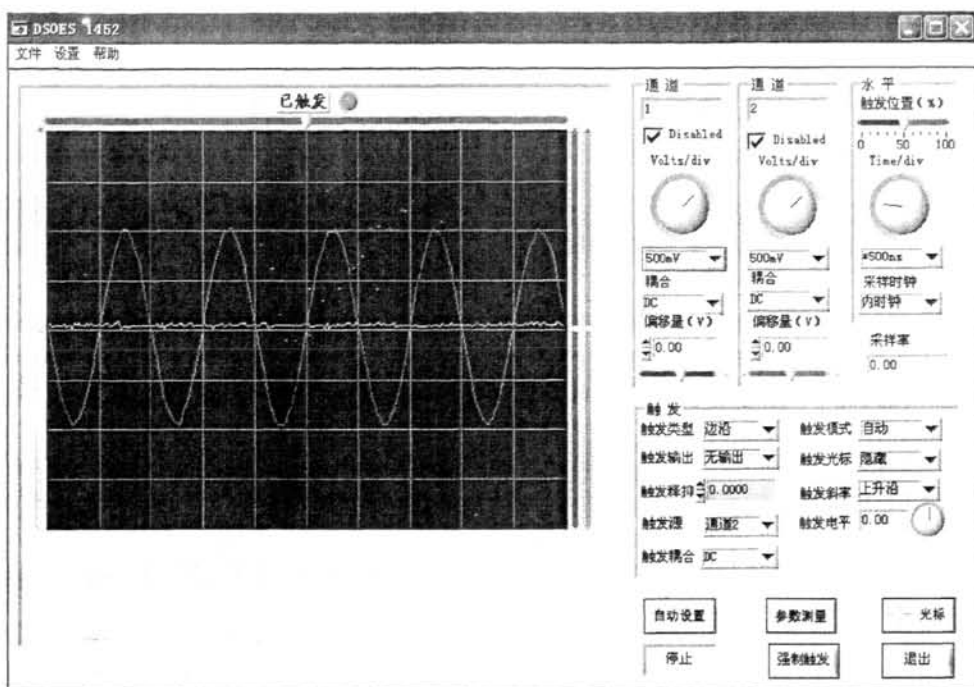


图 A-4 软件主界面

通道 1 没有信号输入。通道 2 输入峰峰值 1V_{pp}，频率为 1MHz 的正弦信号，偏置为 0。触发源选择通道 2，分别改变垂直灵敏度、垂直偏移量、输入阻抗、通道耦合方式和时基档位。程序运行后，初始化默认值，输入阻抗是 1M Ω ，耦合方式为 DC，幅度档位为 500mV/div，垂直偏移量为 0.00，时基为 500ns/div，显示的主界面如图 A-4 所示。

通道 B 的幅度档位为 1V/div 时，显示的波形如图 A-5 所示。

改变时基档位为 1 μ s/div 时，波形宽度压缩 1/2，显示波形如图 A-6 所示。

改变时基档位为 250ns/div 时，波形宽度展宽 4 倍，显示波形如图 A-7 所示。把各参数都设置为默认值，把通道 2 的垂直偏移量分别设置为 0.5V 和 -1.0V，观察波形的偏移，如图 A-8 和图 A-9 所示。然后改变任意波形发生器输出信号的偏置为 500mV，本模块软面板上通道 2 的垂直偏移量设置为 0.0V，则显示的波形向上偏移 2 格，即 1V，如图 A-10 所示，此时波形的最小值为 0.0mV 左右，触发电平就不能再设置为 0.00V，因为这样可能会触发不了，所以应该设置为 0.00V~2.00V 之间的值。当把耦合方式设置为 AC 时，波形又会在整个屏幕中居中显示。

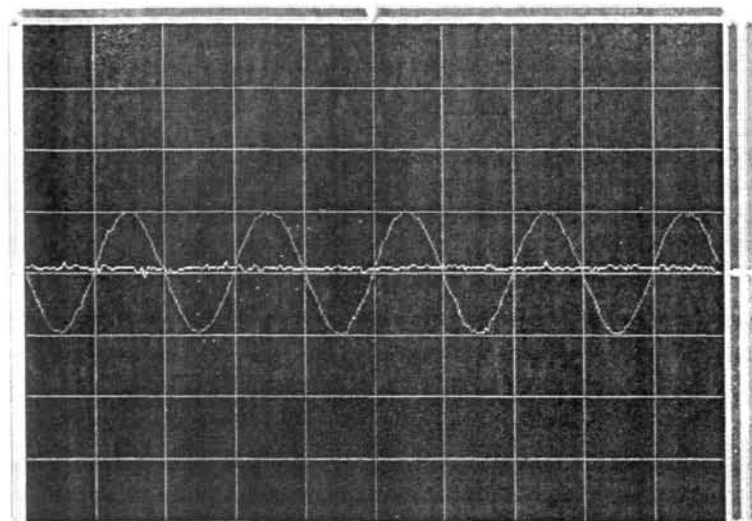


图 A-5 通道 2 幅度档位为 1V/div 时的波形

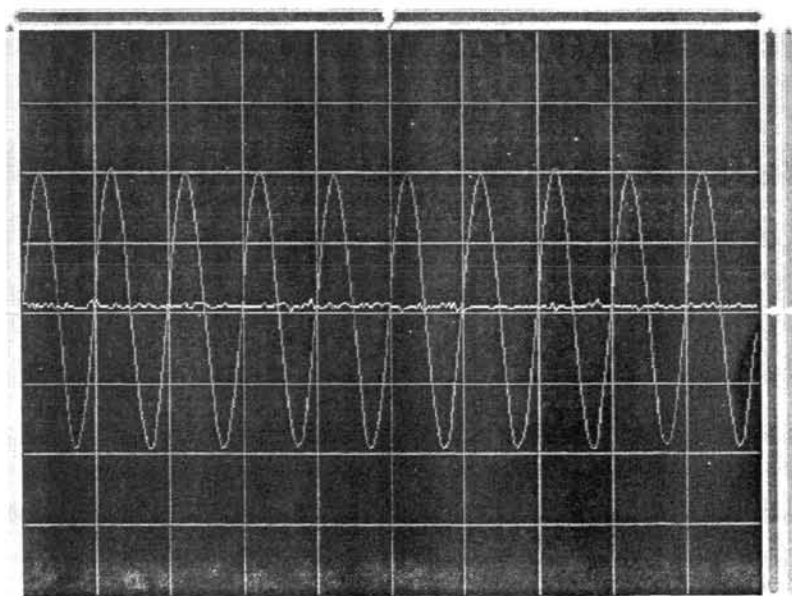


图 A-6 时基档位为 1 μ s/div, 通道 2 幅度档位为 500mV/div 时的波形

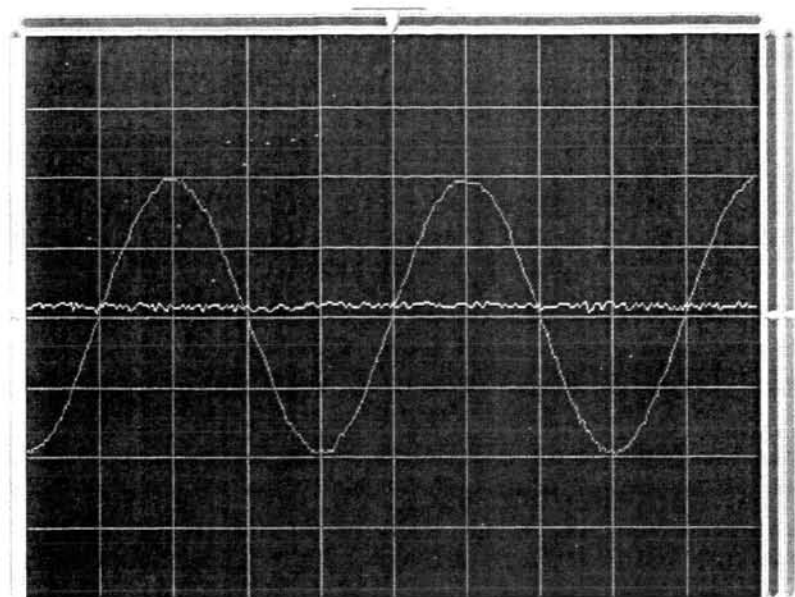


图 A-7 时基档位为 250ns/div, 通道 2 幅度档位为 500mV/div 时的波形

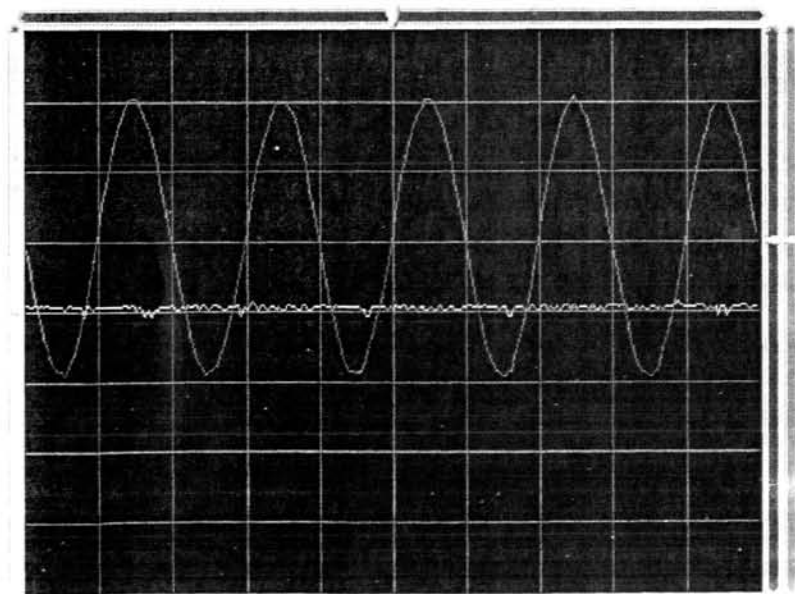


图 A-8 通道 2 垂直偏移量为 0.5V 时的波形

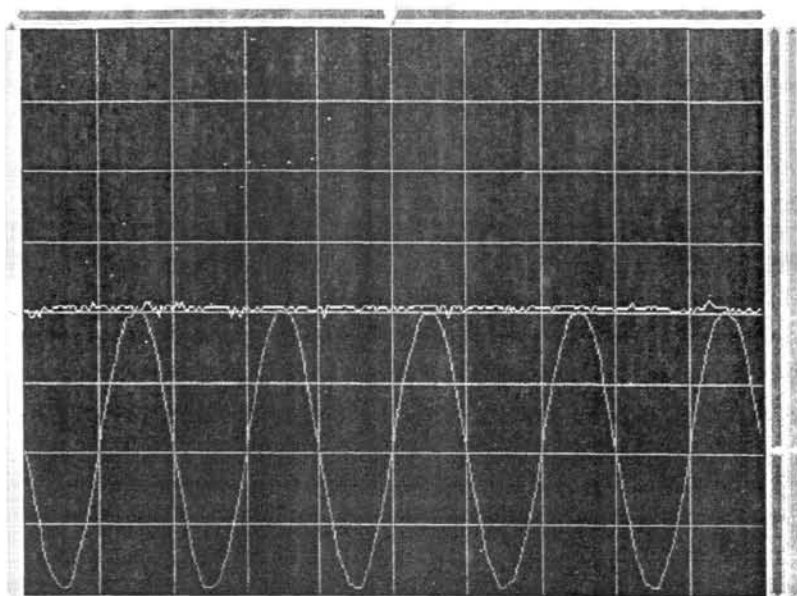


图 A-9 通道 2 垂直偏移量为-1.00V 时的波形

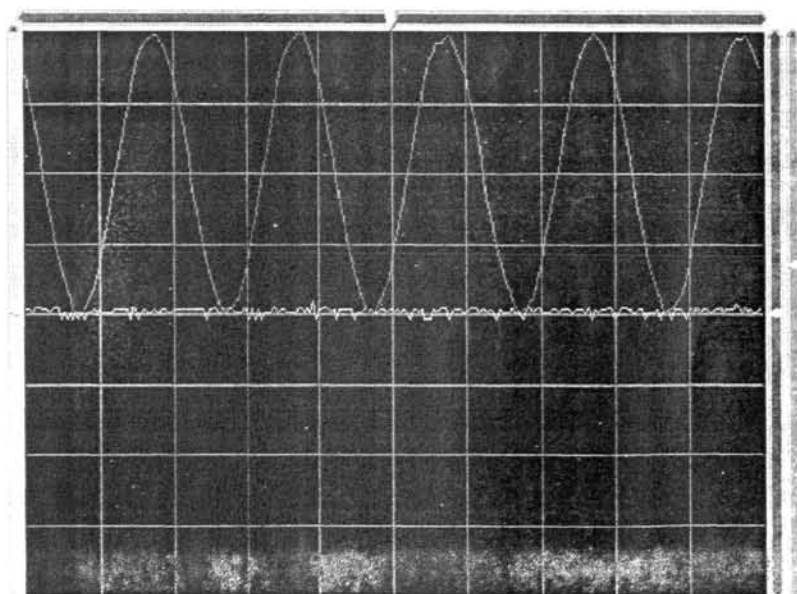


图 A-10 输入信号偏置为 500mV，通道 2 耦合方式为 DC 时的波形

PXI数据采集模块硬件设计

作者：[陈明浩](#)
学位授予单位：[电子科技大学](#)

本文链接：http://d.g.wanfangdata.com.cn/Thesis_Y1464093.aspx