

## 摘 要

随着信息时代的到来,无线局域网得到了飞速发展,无线局域网产品的设计得到了国内外相关领域的关注。

无线网卡是实现无线局域网的关键硬件,计算机安装上无线局域网网卡可以共享网络资源,在一定程度上,网卡的性能决定了网络的性能好坏。

无线局域网的标准有几种,其中 IEEE802.11 标准是最早的,也是应用最广泛的。本文第一章和第二章描述了符合 IEEE802.11 标准的无线局域网(WLAN)的特点、构件、体系结构、关键技术、网络中各层的帧格式等。其中着重讲述了物理层标准和各项指标。

本文第三章介绍了应用 itersil 公司的 PRISM 第二代套片实现网卡的方案。详细讲述了网卡的功能构成、工作原理、从射频到中频到基带的信号处理过程、以及媒体访问控制层(MAC)协议处理方法等。

本文第四章和第五章研究设计实现了无线网卡的物理层扩频通信机,即收/发信机部分,它基本符合 IEEE802.11 标准。给出了详细的软/硬件设计方案及实现过程,包括从计算机用户端到系统控制端以及具体的信号信息处理过程。系统与计算机之间通过 RS232 串口交换数据和控制信息。完成的主要工作如下:

1. 用 Visual C++编写了人机界面,即 Windows 环境串口通信程序。
2. 系统控制部分用单片机和现场可编程逻辑器件(FPGA)来实现,完成了数据的高速传输要求,以及单片机和收/发信机部分的通信协议转换。
3. 收/发信机的信号处理部分采用 intersil 公司生产的专用芯片来实现。包括从基带到中频到射频的转换。

关键词: IEEE802.11; 多址通信; 四次握手; FPGA

## ABSTRACT

With the coming of information era, the wireless local area network is developing very fast, the design of WLAN products gain the attention of people inland or outland.

The wireless network card is the key hardware of WLAN. The computer installed network card can share the resources of WLAN. To a certain extent, the performance of network card impacts the capacity of WLAN.

WLAN has several standards, of which the IEEE802.11 is the earliest one and is most widely used now. In chapter 1 and 2 the author describes the characters of WLAN and the components of the IEEE802.11 architecture. Some key technologies to form IEEE802.11 and the frame of signal transferred in each WLAN layer are also depicted. The standard and technical guideline of physical layer (PHY) are emphasized.

A blue print of designing a wireless network card is introduced in chapter 3, in which the PRISM II chipset made in intersil co. is adopted. In detail, the author narrates the function and working elements of network card, and the signal processing from baseband to IF to RF, also the protocol process of medium access control (MAC) layer.

In chapter 4 and 5, a PHY communications processor based on direct sequence spread spectrum (DSSS), that is, the T/R signal processor part in a network card, is designed and realized, which is basically compromise the IEEE802.11 standard. It exchanges data and control information with computer through the serial port-RS232. The main working finished are as follows:

1. Compile a person/computer interface, that is, the serial communications program in Windows environment with Visual C++.
2. The micro-computer and the field programmable gate array(FPGA) realize the control part of this T/R signal processor appealing the high speed transfer request, and the transform of communication protocol between MCU and this signal processor.

3. The data transfer part of this signal processor includes the modulating or demodulating from baseband to IF to RF. Accordingly, the DSSS baseband processor-HFA3861B, the I/Q Modulator/Demodulator-HFA3783, the RF/IF converter-HFA3683A are applied.

**Key Words:** IEEE802.11; Multiple access; Four time handshake; FPGA

# 第 1 章 绪论

## 1.1 局域网技术

局域网是在一个小区域范围内对各种数据通信设备提供互连的通信网。下面从它的传输媒体、拓扑结构以及协议几方面介绍：

### 1、 传输媒体

传输媒体是发送器和接收器之间的物理信号通路，通常有双绞线、同轴电缆和光纤，还有无线传输媒体。

### 2、 拓扑结构

拓扑结构是指传输媒体与网络中节点构成的几何形状，局域网常见的几种拓扑结构有：星状、环状、总线和树状等。如图 1.1-1.4 所示：

在星状结构中，每个站由点对点链路连接到公共中心，任意两个站点之间的通信均要通过公共中心，中心节点可以是一个中继器，也可以是一个局域网交换机。

所用站点串接在一环状回路的布线方式称为环状。环状拓扑的每个节点都必须连接到一中枢装置，该装置可将接收到的信号增强后再送出到下一站。

在总线拓扑结构中，通信网络只是传输媒体，没有交换机，也没有转发器。所有站通过合适的硬件接口连到一条线状传输媒体即总线上，任何一个站的发送都在媒体上传播，并能被其他站所接收。

树状拓扑结构是总线结构的一般化，传输媒体是不构成闭合环路的分支电缆<sup>[1]</sup>。

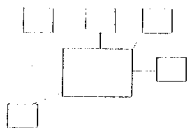


图 1.1 星状



图 1.2 环状

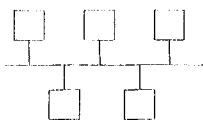


图 1.3 总线

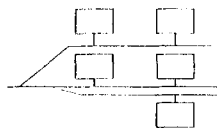


图 1.4 树状

### 3、局域网协议

采用 OSI 参考模型来分析，局域网在正常工作的情况下，只需要两层：物理层和数据链路层。这是由局域网的两个重要特性决定的：第一，通过局域网传送的数据必须组成帧，并进行一定的控制。第二，不存在中间交换，不要求路由选择。

图 1.5 是两个站或两个系统经局域网进行通信的链路要求。

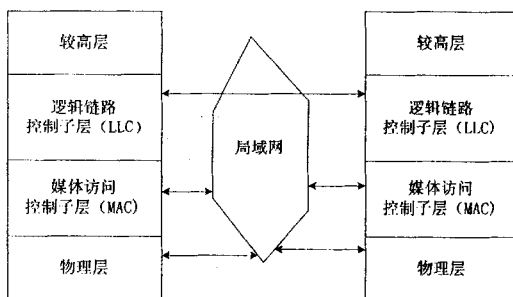


图 1.5 局域网通信体系结构

其中，较高层（等效于运输层及以上各层）提供站之间的端对端服务。为了帧的发送和接收，在链路层下面的 MAC 子层提供必要的逻辑以实现网络的访问。媒体访问控制（MAC）是局域网的关键技术之一，局域网的网络性能（诸如吞吐性能与延迟性能）完全取决于所采用的 MAC 协议<sup>[2]</sup>。

## 1.2 多址通信协议

多个站共享某一固定频段进行通信的技术称为多址接入（Multiple Access）技术。在网络通信中，当两个或两个以上的独立工作站在同一时刻

共享同一网络资源时,碰撞就会产生。为了避免或尽量减少这种碰撞,如何分配资源即多址接入技术是必须的。在无线通信中,信道资源十分宝贵,如何解决碰撞问题就显得更加重要。

在计算机通信中,用媒体访问控制层(MAC)协议来描述和实施网上各站的多址接入。所以多址接入协议就是 MAC 协议。当前,对 MAC 协议的分类有很多方法,下面就其中一种进行讨论:

### 1.2.1 调度式接入协议

#### 1、固定分配式

在这种多址接入方式中,信道资源以静态方式分配给各用户,不管它们占用与否。按时间和频率分为两种,即 TDMA、FDMA。

TDMA 是在时域上划分子信道,每个子信道使用不同的时隙,虽然不同子信道在时间轴上不重叠,但在频率上可能重叠。如图 1.6 所示:

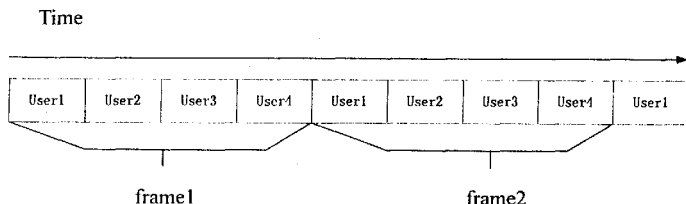


图 1.6 TDMA 时间分配图

FDMA 是在频域上把给定的频段分割成若干个子频段,每个频段表示一个子信道,不同信道在频率轴上不重叠。如图 1.7 所示:



图 1.7 FDMA 频段分配图

#### 2、按需分配式

网络按某种循环的顺序询问每个节点是否有数据发送,如果有数据,则

立即发送，否则网络转向询问下一个节点。依询问方式不同，可分为集中式控制和分布式控制两种。

查询选择法多址接入：属于集中式控制方法，网络中有一个中心控制器，完成对网络中各节点的询问控制过程。如果用户接收到中心站的询问信号，回复无信息发送的控制信息或者发送累积在缓冲区中的所有信息。当最后一个包发送后，发送“ready”信号给控制器。然后控制器接着询问下一个用户。

令牌传递多址接入：属于分布式控制方法，网中各节点都有责任按某种确定的规则对询问控制过程进行管理。令牌总线是它的一个特例。总线上的各个用户都有不同的地址，各个用户都知道它的后续用户的地址，从而形成一个循环。用户是否有权利发送信息决定于它是否接收到它的前承用户发来的称为令牌的控制信息。如果收到，就发送信息，然后把令牌发送给它的后续用户，如果没有信息发送，只是把令牌传递给后续用户。

### 1.2.2 随机竞争类接入协议

用户占用信道的顺序和方式不是调度好的，如某节点有信息要发送，它将以某种方式竞争信道使用权，一旦得到使用权便将信息发送出去；所有节点都能接收到任一节点发送的信息，如果检测到十发给自己的则接收下来，否则丢弃。

某个用户通过检测信道可能可以确定信道的占用情况，但是无法知道是否还有其它用户也准备发送数据，如果几个用户同时发送，就会导致整个传输过程的失败。随机多址接入协议就是要解决这个问题。

可以分为几种： $p$ -ALOHA、 $s$ -ALOHA、CSMA 等。

#### 1、纯 ALOHA(P-ALOHA)协议

按如下方式工作：当任一站有帧进入其发送缓冲器要求发送时，该站不管信道是否忙碌，立即将该帧送入信道发送出去。当发送站检测出自己发送的帧与其它站发出的帧碰撞后，则发送站独立地延迟一个随机时间后再把帧发送出去。如再发生碰撞，则重复以上过程直至帧发送成功。

#### 2、时隙 ALOHA(S-ALOHA)协议

是纯 ALOHA 的改进。在纯 ALOHA 中，由于每个站都是立即把随机产

生的帧发送出去,从时间轴上看,每帧发送的时刻是任意的。限制帧的发送时刻,即,虽然帧的产生是随机的,但仅在某些确定的时刻才允许把它们发送出去。为此把信道传输时间按帧长  $T$  为单位分成一个一个的时间段,并把每帧的发送时刻限制在每个时间段的起始时刻。增加了信道吞吐量。

### 3、CSMA (载波检测多址接入)

分为两种: non-persistent CSMA、p-persistent CSMA。

非持续型 CSMA(non-persistent CSMA),用户发送数据之前先检测信道占用情况,如果信道空闲就发送,如果信道忙,等待一段随机的时间后再重发。用户得不到接收端的确认(ACK)包,就是发生了碰撞,数据包重新安排等待随机时间重发。

持续型 CSMA 按概率  $p$  分为 p-persistent CSMA 和 1-persistent,它与 non-persistent 不同的就是,当发生碰撞后,数据包不是重新安排,而是继续检测信道,等到信道空闲,马上重发。这样在信道空闲的一瞬间,堆积的数据包发生碰撞的概率就会很大。为了缓解这个问题,在信道空闲的瞬间,在  $[0,1]$  区间内选择一个随机数  $e$ ,若  $e \leq p$  则发送帧。否则暂停检测信道,并开始延时  $\tau$ ,延时结束后,再检测信道重复上述过程。

## 1.2.3 码分多址通信协议

CDMA 既不属于非竞争也不属于竞争多址协议。它以扩频通信为基础。每个用户分配给不同的扩频码,将所发送的信息扩频后发送到信道中去。接收端用相应的同步扩频码解扩,得到正确的信息。根据扩频方式的不同,可分为直序(DS-CDMA)、跳频(FH-CDMA)、跳时(TH-CDMA)、混合 CDMA 等<sup>[1]</sup>。

## 1.3 直接序列扩频

扩频通信是指待传输信息的频谱用某个特定的扩频函数扩展后成为宽频带信号,送入信道中传输,再利用相应手段将其压缩,从而获取传输信息的通信系统。调制信号的带宽主要由扩频函数来决定。



扩频通信的可行性,是从信息论和抗干扰理论的基本公式中引申而来的。

信息论中关于信息容量的仙农(Shannon)公式为:

$$C = W \lg_2 \left( 1 + \frac{P}{N} \right) \quad (1-1)$$

式中  $C$ —信道容量(用传输速率度量)。 $W$ —信号频带宽度。 $P$ —信号功率。 $N$ —白噪声功率。式(1-1)说明,在给定的传输速率  $C$  不变得条件下,频带宽度  $W$  和信噪比  $P/N$  是可以互换的。即可通过增加频带宽度的方法,在较低的信噪比  $P/N$  ( $S/N$ ) 情况下,传输信息,扩展频谱换取信噪比要求的降低,正是扩频通信的重要特点,并由此为扩频通信的应用奠基了基础。

扩频系统和通常的通信系统相比,具有很强的抗人为干扰、抗窄带干扰、抗多径干扰的能力,还具有信息隐蔽、低的空间无线电波“通量密度”及多址保密通信的特点。

由于以上优点,扩频技术迅速发展,并得到广泛的应用,在通信、数据传输、信息保密、定位、测距和多址技术等方面,显示了极强的生命力。

扩频通信系统按照其工作方式分为几种:

#### 1、直接序列扩频系统(DS-SS)

由于待传信息信号与高速率的伪随机码波形相乘后,去直接控制射频信号的某个参量(由射频调制方式决定),扩展了传输带宽而得名。

#### 2、跳频扩频系统(FH-SS)

数字信息与二进制伪码序列模二相加后,去离散地控制射频载波振荡器的输出频率,使发射信号的频率随伪码的变化而跳变。

#### 3、跳时扩频系统(TH-SS)

跳时是用伪码序列来启动信号的发射时刻和持续时间。发射信号的“有”、“无”同伪码序列一样是伪随机的。

#### 4、混合式

以上三种基本扩频方式中的两种或多种结合起来,便构成了一些混合扩频体制。

直序扩频采用相干解扩解调,它利用了频率和相位信息,性能优于调频系统。本课题的通信卡的扩频方式采用直序扩频。以下面的发射和接收系统

框图来简要阐述直序扩频的原理。

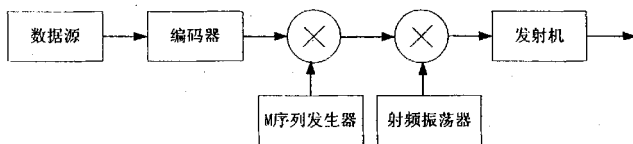


图 1.8 发射系统

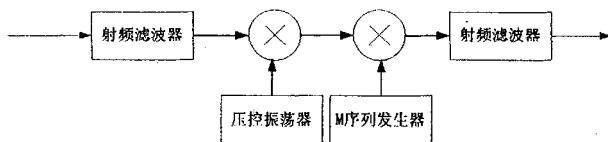


图 1.9 接收系统

所谓直接序列扩频，就是数据源即信息源经过编码器的二进制码流与一个高速率的二进制伪随机序列（M 序列）相乘得到复合信号从而扩展了传输信息的带宽。每一扩频码  $C$  由  $N$  位组成，即有  $N$  个固定的矩形脉冲，总时间宽度为  $T$ 。每个数据即为一个代码，其宽度为  $T$ 。如果数据位为“0”，则发送代码  $C$ ；如果数据位为“1”，则将  $C$  中的每一位取反。扩频后的复合信号对载波调制后，通过发射机和无线进入信道中传输。

在接收端用一个和发射端同步的伪随机码所调制的本地信号，与接收到的信号进行相关处理得到信息源。相关处理是将两个信号相乘，然后求其数学期望，或求两个信号瞬时值相乘的积分。

若信道中存在着干扰，这些干扰包括窄带干扰、人为瞄准式干扰、单频干扰、多径干扰或码分多址信号，它们和有用信号一起进入接收机，由于窄带噪声和多径干扰与本地扩频信号不相关，故在相关处理中被削弱，也就是干扰信号的能量被扩展到整个扩频带宽内，降低了干扰电平。这就是扩频系统具有抗干扰能力的原因<sup>[4]</sup>。

## 1.4 本文的主要研究内容

本文的主要内容包括介绍无线局域网的体系结构，关键技术，以及它的标准—IEEE802.11。

讲述无线局域网的关键组成部分—无线网卡的功能、工作原理。提出了一种无线网卡的设计方案，包括其软/硬件构成。

在此基础上具体设计了无线网卡的物理层扩频通信机，基于直接序列扩频技术，实现了两用户之间的信息交换。该通信卡的性能指标基本符合IEEE802.11 标准。

本设计主要应用了RS232 串口，MCS51 系列单片机，XC4010 系列FPGA，以及INTERSIL 公司生产的扩频基带通信芯片，中频转换器，射频转换器等。

本文详细介绍了所应用的各项技术，所使用的各个集成电路，具体方案设计分析及调试结论等。

## 第 2 章 无线局域网技术

无线局域网 (WLAN) 就是采用无线传输媒体组成的计算机局域通信网络。进入 90 年代, 人们对网络通信的需求越来越高, 要求在任何时间, 任何地点都能享用网络资源, 而传统的有线网络中的各种设备被网线所禁锢, 无法实现可移动的通信。1997 年 6 月, IEEE 发布 802.11 标准, 作为国际网络互连协议。1985 年 5 月 FCC 为局域网扩频通信开放 ISM 频带, 使用时无须申请执照<sup>[9]</sup>。标准的制定及 ISM 频段的开放进一步推动了 WLAN 的迅速发展。

### 2.1 无线局域网的构件

不管 WLAN 的大小和复杂程度如何, 它都需要如下构件:

#### 1、网络接口卡 (NIC)

它建立了物理层与主机的连接。有了它, 不需要电缆一台计算机就可以与其它的计算机在网上通信。

#### 2、网关

它的作用类似于集线器或端口, 也有防火墙的作用。

#### 3、合适的软件

网关只有合适的软件才能正常工作, 如硬件驱动, 通信软件和应用软件。

#### 4、计算机

它安装上软件和 NIC 就能与网络中其他用户通信了。

#### 5、收发器

它从网关和网卡间接收与发送信息。

#### 6、天线

它将源信号发送至远方并接收远方的信号, 分定向和全向两种。

### 2.2 无线局域网的组网方式

#### 1、纯 WLAN

它不需要无线访问节点 AP, 由安装有网卡可以互相通信的主机组成,

即前面提到过的自组无线局域网 (Ad-hoc)。

## 2、接入方式

它可以使带有无线通信设备的工作站以及插有 PCMCIA 卡的便携式计算机通过网桥, HUB 等无线接入点接入有线主干网。如图 2.1 所示:

## 3、中继方式

它将无线链路作为原有基于网的一部分, 在两个或多个有线网络之间传输数据, 在此, WLAN 设备主要是充当廉价的、易于安装的互连设备<sup>[6]</sup>, 如图 2.2 所示:

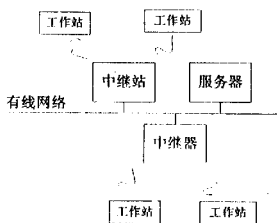


图 2.1 接入方式

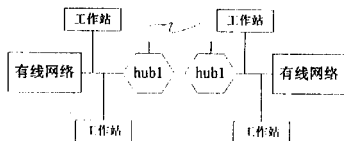


图 2.2 中继方式

## 2.3 无线局域网的标准—IEEE802.11

### 2.3.1 IEEE802.11 标准简介

无线局域网协议定义了无线局域网应用的物理层及媒体访问控制层的规则, 是各工作站得以正确、可靠和有效传输的基础。包括对信息、管理、控制和物理层的定义。

IEEE802.11 标准是 IEEE802 委员会制定的世界上第一个 WLAN 标准。它对国际无线局域网工作频段, 无线局域网拓扑结构, PHY 层及 MAC 层, 安全性, 移动站漫游等特性都有较具体的技术规范。

#### 1、工作频段

IEEE 选择 FCC 为局域网扩频通信开放的 (2.4-2.4835) GHz ISM 频段作

为 802.11 的工作频段<sup>[7]</sup>。

## 2、参考模型

图 2.3 示出了 IEEE802.11 的参考模型。

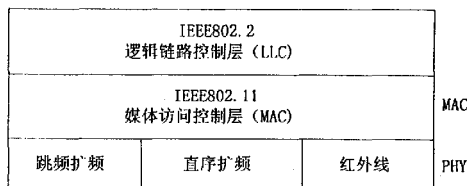


图 2.3 IEEE802.11 参考模型

### 1) 物理层 (PHY)

物理层主要完成定义与实现建立、维持和拆除物理连接信道所必须的机械、电气及功能的特性与规格。

802.11 提供三种 PHY 规范: 直序扩频(DSSS)局域网和跳频扩频(FHSS)局域网都采用无线电波作为传输媒体, 传输速率为 1Mbps-2Mbps。红外线(IR)局域网使用小于 1 微米的波长, 基本传输速率为 1Mbps, 调制方式为 16-PPM。

直序扩频无线局域网的物理层指标如下:

- (1) 直扩系统采用 11 位巴克码 (Baker) 作为扩频码, 它具有理想的自相关特性, 码序列为: +1,-1,+1,+1,-1,+1,+1,+1,-1,-1,-1, 最左边码片最先输出, 持续周期为 11 位码片。
- (2) 提供 10.4dB 的处理增益。
- (3) IEEE802.11 为直扩定义了一个 128bits 的前导域, 之后是 64bits 的**包头**。包头中包含的信息由地址 ID、数据率、包长、CRC 错误校验域信息。
- (4) 前导与包头的传输速率固定为 1Mbps, 其后的数据传输速率采用包头中指定的速率。
- (5) IEEE802.11 规定直扩传输需进行扰码处理, 扰码包含整个数据包的同步码、物理层包头及数据码, 扰码函数为  $G(z) = z^{-7} + z^{-4} + 1$ 。
- (6) 标准还定义了两种调制方式, 1Mbps 的 DBPSK 方式和 2Mbps 的 DQPSK 方式。

(7) 标准支持 2.4GHz 频段内 14 个信道, 每一信道拥有约 22MHz 的带宽。

对于跳频扩频标准提供 22 种跳频图样可供选择, 跳频间隔为至少每秒 2.5 跳。规定在整个频段内覆盖 79 个信道, 每一信道占有约 1MHz 带宽。

## 2) 媒体访问控制层 (MAC)

MAC 层主要完成: 发送数据前, 按某种规则接收数据, 将数据加上控制信息, 形成帧送往物理层; 接收数据时, 从物理层接收数据帧, 将正确的数据去掉控制信息后送到 LLC 层<sup>[9]</sup>。

MAC 子层分为点协调功能(PCF)和分布协调功能(DCF)两部分, PCF 是多区无线局域网方式中的选项, 主要负责调查当前哪个工作站具有数据发送权, 哪些工作站有发送数据请求, 并在必要时给予发送权。DCF 采用 CSMA/CA(带碰撞避免的载波检测多址接入)方式进行媒体访问控制, 采用 CSMA/CA+ACK 协议, 保障在 MAC 层对帧丢失予以检测并重新发送, 为进一步减小碰撞概率, 源站与目的站在数据交换前交换控制帧 (RTS/CTS)。

## 2.3.2 IEEE802.11 体系结构

目前较为流行的 WLAN 协议标准有: IEEE802.11、蓝牙技术、HOME RF 等。IEEE802.11 是世界上第一个 WLAN 标准, 它对国际 WLAN 工作频段, WLAN 拓扑结构, 物理层及介质访问层安全性, 移动漫游等特性都有较具体的规定。802.11 标准下 WLAN 的基本体系结构可用图 2.4 来阐述<sup>[9]</sup>:

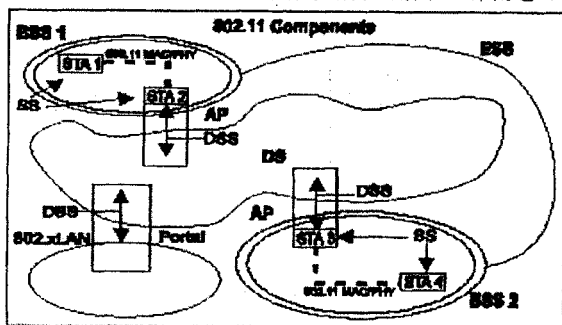


图 2.4 IEEE 802.11 基本体系结构

下面分别介绍 WLAN 的主要构件：

### 1、基本结构单元 (BSS)

它是 WLAN 的最基本也是最小构成单元，至少由两个工作站组成。独立的 BSS 即 IBSS 是 WLAN 的基本组成类型，它自成网络，其中的站点可以互通信息，即俗称的 Ad-Hoc 网。

### 2、分布系统 (DS)

它是用来连接多个 BSS 的体系结构成分，不同的 BSS 之间需要通过它才能通信。

### 3、网络访问节点 (AP)

它是兼具工作站 (STA) 和 DS 功能的 STA。数据和控制信息通过它在 BSS 和 DS 之间传送，它还兼具网管的功能。

### 4、扩展结构单元 (ESS)

它是扩展网络，即多区无线局域网 (Infrastructure) 的一种应用模式，加入 DS 和 AP，就可以任意扩展网络的大小和复杂程度，工作站 (STA) 可以漫游于不同的 BSS 之间，实现移动通信。

### 5、分布系统业务 (DSS)

主要功能有：发送 (distribution)、集成 (integration)、联合 (association)、再联合 (reassociation)、分离 (disassociation)。下面分别介绍：

- 1) Distribution 是最主要的一种业务，不同的 BSS 内的 STA 之间交换信息必须通过 DS，它执行发送业务，将信息传给目的站所在 BSS 的 AP。
- 2) 如果 DS 的发送业务发现目的站位于非无线网内，这时 DS 就启动集成业务，将信息通过入口 (Portal) 传给目的站。
- 3) 不同的工作站通过 DS 传输信息时，DS 的发送业务需要确定正确的 AP，这个任务由 association 来完成。
- 4) 如图 2.5，STA1 与 STA2 位于不同的 BSS，二者通信，已经建立了 STA1 和 AP2 之间的联合，当 STA2 由 BSS2 漫游到 BSS3 时，STA1 又需建立与 AP3 之间的联合，这是由 reassociation 来完成的。



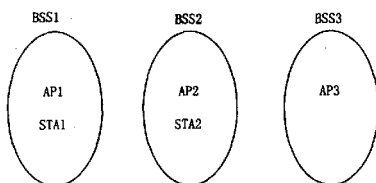


图 2.5 基本结构单元、工作站、访问结点之间的位置关系

5) 当已存在的联合终止时, DS 执行 disassociation。

#### 6、工作站业务 (SS)

主要功能有: 确认 (authentication)、确认失效 (deauthentication)、加密 (privacy)、MSDU 传送 (delivery)。下面分别介绍:

- 1) 不同于有线网络, WLAN 不能通过物理连接阻止非法访问, 所有站点必须与通信对方建立身份确认。
- 2) 确认失效发生于已存在的确认终止时, 随之, 断开连接。
- 3) 不同于有线网络, 合法及非法的用户都能接收到 WLAN 中的信息, 为了取得与有线网络同等的保密性, 所有的站点都对信息进行了加密。
- 4) MSDU 传送即 MAC 层业务数据单元的传送。

#### 7、逻辑接入点 (Portal)

信息通过它从一个非局域网协议系统进入无线局域网扩展网络的分布系统中, 从而实现无线局域网与有线网络的结合<sup>[10]</sup>。

### 2.3.3 IEEE802.11 信号帧格式

为保证 WLAN 内各站点正确传送信息, IEEE 802.11 标准对信号的帧格式作了明确的规定。所有的工作站传输数据时必须能正确地创建该格式, 即打包, 反之接收信息时能正确地解包。

### 2.3.3.1 帧的基本组成

帧的组成可以由图 2.6 表示:

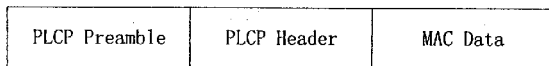


图 2.6 帧的基本组成

#### 1、PLCP Preamble(帧同步码)

它是物理层所加的,包括 128bits 的同步字头 (synchronization), 以便接收端执行必要的同步操作, 还有 16bits 的帧开始限定字。

#### 2、PLCP Header (帧包头)

它是物理层所加的, 包括 8bits IEEE 802.11 Signaling(信号), 向物理层指示了对 MPDU 的调制方法; 8bits IEEE 802.11 Service(服务); 16bits Length(长度); 16bits CCITT CRC-16(错误检测)。

物理层会聚子层 (PLCP) 将 MAC 层传来的协议数据单元 (MPDU) 通过加上 Preamble 和 Header 即打包变成可以传出去的 PLCP 协议数据单元 (PPDU)。

#### 3、MAC DATA (MAC 层数据)

它包括 MAC Header(帧头)、Frame Body(帧体)、FCS(帧检测顺序), 不同的帧类型其值不同。

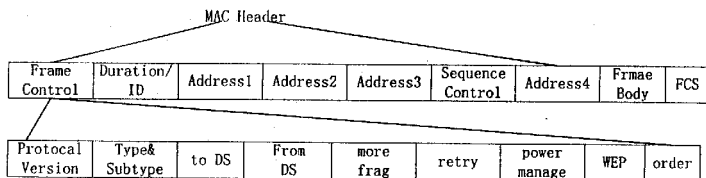


图 2.7 MAC 层帧格式

#### 1) 帧控制域 (Frame Control)

Protocol Version 代表了协议版本号;

Type & subtype 注明帧的功能;

|              |  |
|--------------|--|
| To DS        | 为 1, 代表是 sta 传给 ds 的数据帧;               |
| From DS      | 为 1, 代表是 ds 传给 sta 的数据帧;               |
| More frag    | 为 1, 代表该帧后边有其他分段 (fragment);           |
| Retry        | 为 1, 代表是再次传输的帧;                        |
| Power manage | 示出了 sta 的工作模式;                         |
| More         | 当 sta 处于功率节省模式时, 该域通知它不止一个 msdu 要传送给它; |
| WEP          | WEP 是一种加密算法, 用过该算法的帧, 其值为 1;           |
| Order        | 包括 msdu 及其分段, 并且按严格顺序传的帧其值为 1。         |

## 2) Duration/ID

在控制帧中, 代表 sta 的连接身份, 在其它帧中, 保留。

## 3) 地址域(Address fields)

用于指示 BSS 的身份, 包括目的地址, 源地址等。

## 4) 顺序控制 (Sequence Control)

用于指出每一分段 (fragment) 的顺序。

## 5) 帧体 (Frame Body)

包含要传输的信息。

## 6) FCS

是 32-bit 的循环冗余检测码, 它由标准的本原多项式来计算。

### 2.3.3.2 MAC 帧类型

为了实现介质服务数据单元 (MSDU) 在对等逻辑链路层 (LLC) 之间的传送, MAC 层用到了多种帧类型, 每种帧类型都有其特殊的用途。

- 1、管理帧, 负责在工作站和 AP 之间建立初始的通信, 提供连接和认证等工作。
- 2、控制帧, 当工作站和 AP 之间建立连接和认证之后, 控制帧为帧数据的发送提供辅助功能。
- 3、数据帧, 其主要功能是传送信息到目标工作站, 转交给 LLC 层。数据帧可以从 LLC 层承载特定信息, 监督未编号的帧<sup>[9]</sup>。

## 2.3.4 实现 IEEE802.11 的关键技术

### 2.3.4.1 CSMA/CA 多址接入协议

#### 1、CSMA/CA 的工作流程

由于无线信道传输的特殊原因,无线网卡不易检测到信道是否存在冲突,所以 IEEE802.11 不采用有线网络中的带碰撞检测的载波监听多址接入(CSMA/CD)方法,而采用了带碰撞避免的载波监听多址接入(CSMA/CA)技术。它是 WLAN MAC 层最基本的接入方法,是分布协调功能(DCF)的基础<sup>[1]</sup>。图 2.8 明确地讲述了信号的发送流程:

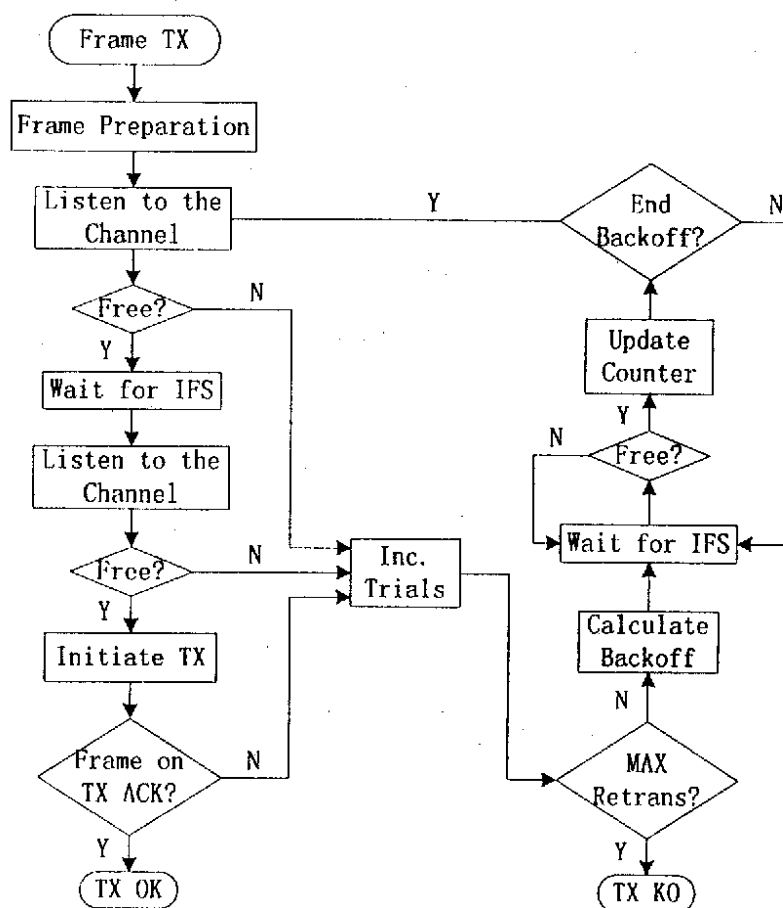


图 2.8 CSMA/CA 协议下信号发送流程

具体描述如下:

交易开始, 发送信息的工作站先检测信道是否空闲, 如果空闲, 再等待 IEEE802.11 规定的帧间隔时间 (IFS), 再继续监测信道, 如果信道空闲, 发送数据到信道中。目的工作站接收到正确的信息后会发送确认帧 ACK, 一次交易成功。

发送工作站检测到信道空闲, 但是等待 IFS 时间间隔后, 检测到信道忙, 查看是否重发次数已达最多, 如果否, 就导致发送工作站开始进入随机退避算法 (Backoff Algrithom)。这里, Backoff time 是在一定范围内随机选择的, 它规定了信息重发的次数。在此, Backoff time 开始倒计, 以时隙 (aSlotTime) 为单位, 每倒计一次, 等待一个 IFS, 再次检测信道, 如果信道空闲, 倒计 Backoff time, 再判断随机退避时间是否结束, 如果是, 信息重发, 如果否, 加倍选择 Backoff time, 回到上述过程。就是说, 只有信道空闲的时间达到一个 IFS, Backoff time 才会倒计。如果其它待发工作站选择的 Backoff time 较小, 就会抢先占用信道发送。

## 2、工作站检测信道的方法

工作站检测信道是否空闲有两种方法: 虚拟载波检测和物理载波检测。

前者由代表将来信道占用情况的信息来完成, 一种方法是在信息数据传输前交换 RTS/CTS 帧, 即下文要讲述的四次握手协议。RTS/CTS 帧包含 Duration/ID 域, 它定义了下一时刻信道空闲时间间隔, 这就是网络分配矢量 (NAV), 它宣布了将来信道占用的情况。另一种方法是由点对点发送帧的 Duration/ID 域来确定:

后者通过接收信号的能量强弱来确定, 每当信道由空闲转为忙或由忙转为空闲时, 物理层子层都产生一种基单元—PHY-CCA.indication(STATE), 它有两个参数值: BUSY 和 IDLE, 当物理子层检测到信道忙, 其值为 BUSY, 反之, 为 IDLE。

## 3、随机退避时间的规定

IEEE802.11 对 Backoff Time 的确定专门规定了计算方程:

$$\text{BackoffTime} = \text{Random}() \times \text{aSlotTime}$$

PHY 子层的服务基单元—PLME-CHARACTERISTICS 提供了很多 PHY 子层特征值, aCWmin, aCWmax, aSlotTime 就是其中的三个, 在 DSSS WLAN

中分别为 31, 1023, 20 微秒<sup>[9]</sup>。

其中, Random()是均匀分布于 $[0, CW]$ 中的随机整数, 竞争窗口  $CW$  介于  $aCW_{min}$  和  $aCW_{max}$  之间。 $CW$  参数的初始值取为  $aCW_{min}$ , 每次不成功发送,  $CW$  值都双倍增加, 一直到  $aCW_{max}$ 。这提高了重负荷条件下接口协议的稳定性。

#### 4、CSMA/CA 协议的性能分析

CSMA/CA可以提高网络性能, 对避免碰撞有很好的效果, 但是并不能完全避免。衡量CSMA/CA协议的指标有: 信道吞吐量、传输延时和碰撞概率。对于不同的物理层规范, DS、FH或者IR, 它的性能不同。影响CSMA/CA性能的还有网络负荷量offeredload、传播延时等<sup>[13]</sup>。

图 2.9 是在给定的网络负荷量以及传播延时为一个时隙的条件下, 三种不同的物理层规范下吞吐量的对比图。

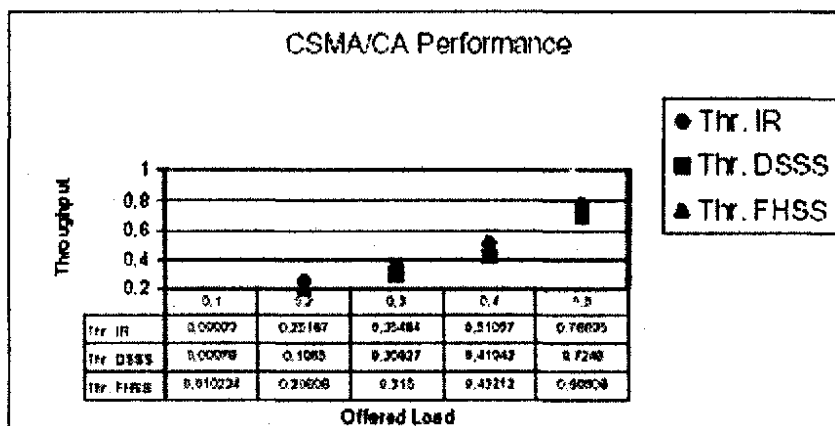


图 2.9 吞吐量表示图

图 2.10 是在发送包长度为 500 字节, 传播延时为一个时隙的条件下, 三种不同的物理层规范下传输延时的对比图。

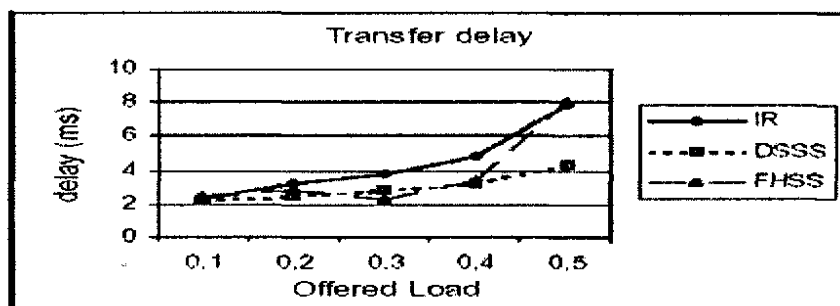


图 2.10 传输延时表示图

图 2.11 是三种不同物理层下, 碰撞概率比较图, 可见, DSSS 局域网的碰撞概率最小。

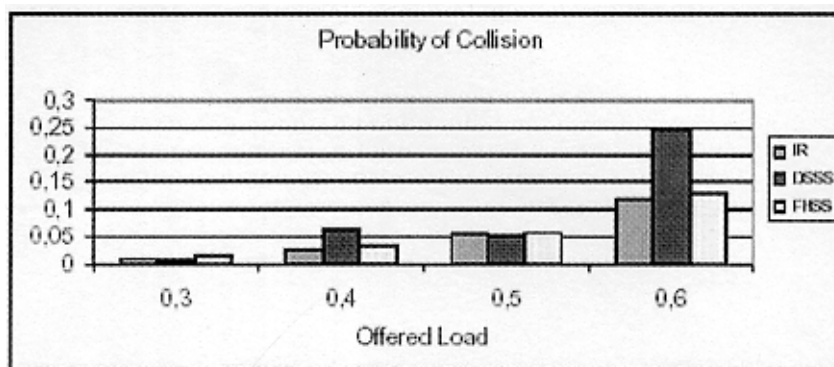


图 2.11 碰撞概率比较图

#### 2.3.4.2 隐藏终端问题

隐藏终端问题是无线多址通信组网中出现的特殊问题, 它可以由图 2.12 来描述:

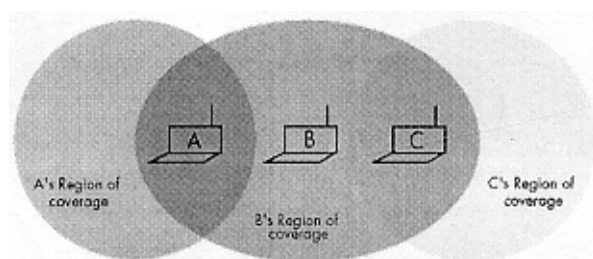


图 2.12 隐藏终端问题

A、B、C 三工作站所覆盖的区域如上图。A 和 B 覆盖的区域有重叠, 二者直接通信没问题, 同理, B 和 C 也可以直接通信。但是, A 和 C 由于覆盖的区域无重叠, 或相距的距离较远, 也不能检测到对方信号。所以, 若 A 向 B 发送信息时, 它无法检测到 C 同时也向 B 发送信息, 从而导致信号发生冲突, 引起信息丢失。不论是在基本结构单元(BSS), 还是在扩展结构单元(ESS)中, 由于无线媒质的特殊性, 隐藏终端问题都可能发生, 都会导致信号碰撞的发生。然而, IEEE802.11 采用的碰撞避免机制(CA)不允许在其它工作站发送信息的同时, 该站还向同一目的站发送信息。因此, 必须采用特殊措

施来解决这一问题，IEEE802.11 采用四次握手协议来解决隐藏终端问题。

### 2.3.4.3 四次握手协议

IEEE 802.11 在 CSMA/CA 的基础上提供了确认帧 ACK (acknowledgment)，保证在 MAC 层对帧丢失予以检测并重新发送。为了进一步避免碰撞，解决隐藏终端问题，又加入了 RTS/CTS+ACK 协议。

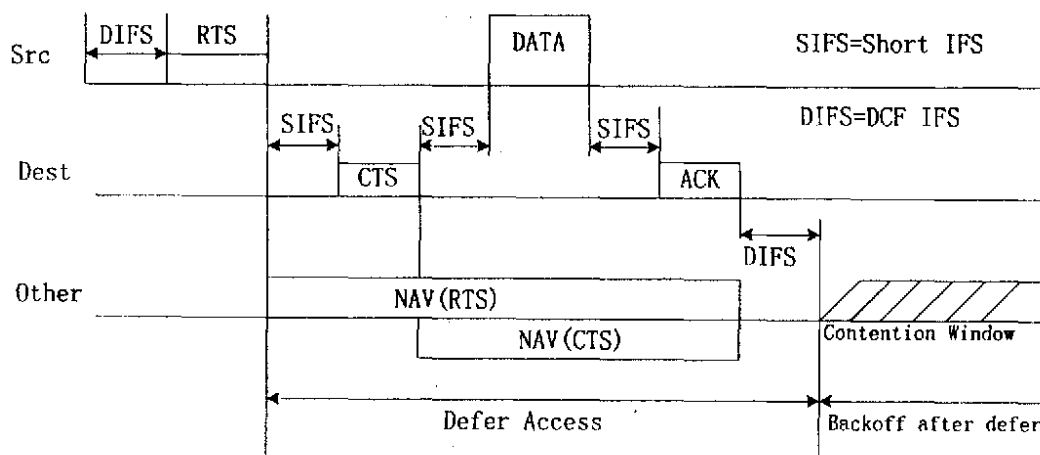


图 2.13 四次握手协议

图 2.13 示出了 Src(源站)和 Dest(目的站)之间通信的过程，以及其它站点设置 NAV 的情况。

- 1、工作站在发送信息之前先发送一“发送请求”控制包，即 RTS 给目的站。
- 2、如果信道空闲，目的站回发一“发送响应”控制包，即 CTS，如果检测信道忙，不发送 CTS，这样可避免不同工作站同时向同一目的站发送信息。
- 3、如果源站收到 CTS 帧，证明信道空闲，它就可以继续发送有用数据 (DATA)。
- 4、如果该 DATA 需要，目的站在成功接收后，经过最短帧间隔时间后就回发确认帧 (ACK)，如果在规定的的时间间隔后，源站未能收到 ACK,那么它就可判断出信息发送失败，可根据需要重发，这样可避免信息丢失。

其它工作站接收到 RTS 或 CTS 设置网络分配矢量 (NAV)，用该信息来进行虚拟载波监测，同 PHY 层的物理载波检测一起确定信道的空闲与否<sup>[9]</sup>。



### 2.3.4.4 扩频技术

扩频就是将要传输的信息扩展到比源信息带宽宽得多的频谱上去,使信号的平均能量降低。在实际传输时,如果接收端接收到的信号混合了高能量且频段相对窄的干扰,该混合信号经过同步随机码源解调,在中心频点处重新解析出有用的源信号,而混合的干扰被解调为平均能量很低的背景噪声(实际上它的频带被扩展了)。由此提高了系统的抗干扰、抗多径的能力,它可以实现多址通信,更具有一定的安全保密性。

IEEE802.11 标准中另外两种物层规范都利用无线电波传播,并采用扩频技术。它们是直接序列扩频(DS)和跳频(FH)。

#### 1、直接序列扩频

直接序列扩频是将要发送的信号用伪随机(PN 码)扩展到一个很宽度的频带上去,在接收端,用于发端相同的 PN 码进行相关处理,恢复出发送信息。对于干扰信号,由于和 PN 码不相关,在接收端被扩展,使落入信号通带内的干扰信号功率降低,提高相关器的输出信/噪比,达到抗干扰的目的。

#### 2、跳频扩频

跳频是指载波频率在很宽的频带范围内按某种图案(伪随机序列)进行跳变,此序列能被收信机识别、同步并解调。

### 2.3.5 IEEE802.11 标准的发展

1997 年 IEEE802.11 标准被认为是全球唯一的 WLAN 标准,不过由于它的速率最高只能达到 2Mbps,在传输速率上不能满足人们的需要,因此 IEEE 相继推出了 802.11b 和 802.11a。

802.11b 工作在 2.4GHz 频段,传输速率最高可达 11Mbps,比 IEEE802.11 标准快 5 倍,扩大了无线局域网的应用领域。

802.11a 工作在 5GHz 频段,传输速率可以达到 54Mbps<sup>[13]</sup>。

## 2.4 WLAN 的保密措施

无线局域网在不同层次采取措施来保证通信的安全性。

首先,采用适当的传输措施,例如,采用扩频方式。

其次,为防止不同无线局域网间干扰与数据泄漏,需采取网络隔离或设置网络认证措施。

最后,在同一网中,应设置严密的用户口令及认证措施,防止非法用户入网。还应设置用户可选的数据加密方法<sup>[19]</sup>。

## 2.5 WLAN 的优点

WLAN 有很多优点:

首先, WLAN 不受网线限制,可以随时建立和拆除,允许用户在一定范围内任何时候都可以访问网络数据,不需要指定明确的访问地点,用户可在网络中漫游,这是 WLAN 与有线网络的最本质的区别,也是它最大的优点。

其次, WLAN 组网灵活,可以由一群 PC 机安上无线网卡互通信息而形成纯 WLAN,即自组无线局域网(Ad-hoc),也可以与原有的有线网络相结合。

再次, WLAN 的长期费用少。有线网络需要安装高成本费用的线缆,租用线缆的费用也较高,从长远来看, WLAN 从安装到日后维护都有很大的经济优势。

最后, WLAN 性能可靠。有线网络有一个很大的弱点,就是线路本身容易遭到破坏,因此抗毁性较差, WLAN 采用直接序列技术和跳频技术,提高了系统的抗干扰能力<sup>[9]</sup>。

## 2.6 WLAN 的发展前景

随着标准的发展与无线网络产品的成熟,无线局域网已经能够覆盖有线网络所无法顾及的领域。主要用于不能或不方便架设电缆、频繁更换工作场地、终端变动频繁、业务成长快速、突发性强的场合。无线局域网通信作为一种成熟的技术广泛应用于金融、企业、医疗、教育等系统的主干/备份通信

网络,使信息电子化更加完善,使各行各业更好地服务于社会和大众。

无线局域网的市场越来越大。现在,全球的各厂商都看准这一高速增长的市场,纷纷抓紧商机。

随着通信网向数字化、综合化、宽带化迅速发展,WLAN 也向宽带化方向发展,其所支持的业务也向综合化方向发展。有关专家还提到,无线局域网的前景是无线互联网<sup>[9]</sup>。到那时,人们随时随地能通过各种形式取得联系,进行信息交流。

## 2.7 本章小结

本章基于 IEEE802.11 标准全面介绍了无线局域网技术。包括其概念、特点、构件及体系结构、发展前景,详细讲述了符合 IEEE802.11 协议的 MAC 层及物理层帧格式,实现 IEEE802.11 WLAN 所需的几项关键技术,包括 MAC 协议—CSMA/CA 多址接入协议, WLAN 中特有的隐藏终端问题,四次握手协议,物理层 (PHY) 层的直序扩频技术,跳频技术。重点讲述了 802.11 标准直序扩频无线局域网的物理层指标。

## 第 3 章 无线网卡的设计方案

### 3.1 网卡功能构成

WLAN 网卡由扩频通信机、网络接口和天线三大部分组成,与主机的接口可以是工业界比较流行的总线接口,如: ISA, PCI, PCMCIA 总线,也可以是根据自己需要而定义的非标准接口,网卡的硬件结构如图 3.1:

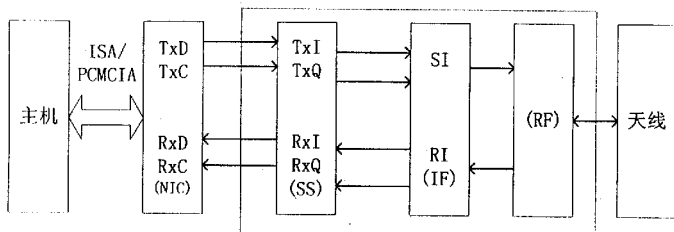


图 3.1 网卡硬件构成框图

其中收/发信机扩频通信机有扩频/解扩(SS)模块、中频调制/解调(IF)模块及微波收发(RF)模块组成。要使网卡能完成其功能,还需要完成上层协议与网卡接口的驱动程序。

网络接口控制器(NIC)与数据链路层中的媒体访问控制层相对应,完成从上层接收数据并装帧发送、从下层接收数据比特流、帧同步、拆帧并递交上层、进行媒体访问控制、完成与主机的接口、移动管理和网络同步。

扩频通信机使得网络数据信息得以实现无线电信号的接收与发射,完成从上层接收数据流并经过基带加扰、扩频、调制、上混频、功率等处理后把数据流经天线发送出去,从天线接收信号并经低噪声放大、下混频、调制、解扩、数据解扰等处理后把信号恢复成比特流送至网络接口层、载波监听及天线分集等。

## 第 3 章 无线网卡的设计方案

### 3.1 网卡功能构成

WLAN 网卡由扩频通信机、网络接口和天线三大部分组成,与主机的接口可以是工业界比较流行的总线接口,如: ISA, PCI, PCMCIA 总线,也可以是根据自己需要而定义的非标准接口,网卡的硬件结构如图 3.1:

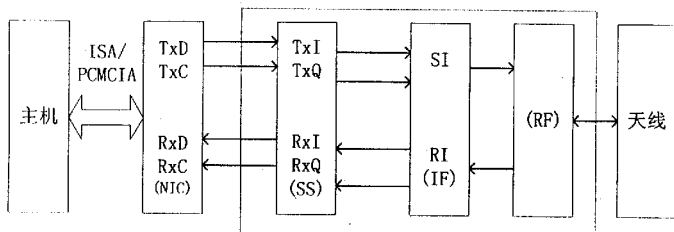


图 3.1 网卡硬件构成框图

其中收/发信机扩频通信机有扩频/解扩(SS)模块、中频调制/解调(IF)模块及微波收发(RF)模块组成。要使网卡能完成其功能,还需要完成上层协议与网卡接口的驱动程序。

网络接口控制器(NIC)与数据链路层中的媒体访问控制层相对应,完成从上层接收数据并装帧发送、从下层接收数据比特流、帧同步、拆帧并递交上层、进行媒体访问控制、完成与主机的接口、移动管理和网络同步。

扩频通信机使得网络数据信息得以实现无线电信号的接收与发射,完成从上层接收数据流并经过基带加扰、扩频、调制、上混频、功率等处理后把数据流经天线发送出去,从天线接收信号并经低噪声放大、下混频、调制、解扩、数据解扰等处理后把信号恢复成比特流送至网络接口层、载波监听及天线分集等。

当站点/上层协议有数据要发送时, NIC 负责接收站点/上层协议发送的数据, 按照一定的格式封装成帧, 然后根据多址接入协议—CSMA/CA 把数据帧发送到信道中去; 当接收数据时, NIC 根据接收帧中的目的地址判别是否是发往本机的数据, 如果是则接收该帧信息, 并进行 CRC 检验, 拆去帧头, 把数据提交给站点/上层协议, 为实现上述功能, NIC 还需要完成发送和接收缓存的管理, 通过微机总线进行 DMA 操作和 I/O 操作, 与站点/上层协议交换数据。

## 2、扩频通信机工作原理

在发送数据时对数据进行扩频, 中频处理器把扩频后的数据调制到中频载波上去, 再由射频处理器把中频信号调制到射频载波上去, 经天线发送到信道中; 接收数据时, 先是将射频信号变换到中频上, 然后由中频处理器将接收信号下变频到基带上, 扩频处理单元对该基带信号进行解扩、解调, 把最后获得的数据交给 NIC 处理。

## 3.3 电路设计

基于前两节对无线网卡功能及原理的论述, 这里提出的网卡设计方案包括从扩频通信机到网络接口控制器即 MAC 层两部分, 即从射频、中频、基带到媒体访问控制层 (MAC) 协议的处理等。

图 3.2 是整个电路实现框图:

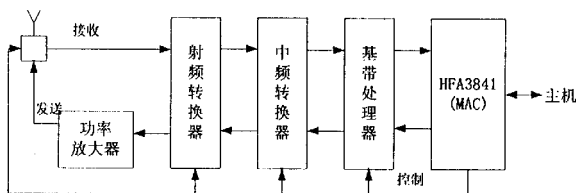


图 3.2 网卡的电路实现

### 3.3.1 扩频通信机部分的设计

扩频通信机包括基带、中频和射频三大部分，下面分别介绍：

#### 3.3.1.1 射频部分

射频部分包括功率放大器和射频调制解调器两部分，分别用了 INTERSIL 公司生产的 HFA3983 功放和 HFA3683A 射频转换器。

HFA3983 是 INTERSIL 公司生产的工作于 ISM 频段的 2.4GHz 功率放大器。它有两个主要特点，其一是含有两级驱动放大器；其二是内部带有 2.4GHz 功率峰值检测器，动态输出所发送信息的功率，用于整个系统的自动增益控制<sup>[14]</sup>。图 3.3 是它的简单框图。

HFA3683A 是 INTERSIL 公司生产的半双工的 2.4GHz 射频/中频转换器。其处理的中频信号的频率范围是：280MHz~600MHz，射频范围是：2.4~2.5GHz<sup>[15]</sup>。图 3.4 是它的简单框图。

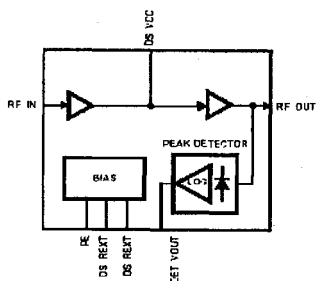


图 3.3 HFA3983 的内部框图

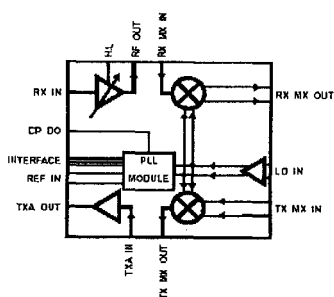


图 3.4 HFA3683A 的内部框图

HFA3683A 具有射频调制解调器的全部功能，主要有三部分：接收部分由一个增益可调整的低噪声放大器（LNA），和一个下变频混频器组成；发送部分包括一个上变频混频器和一个高性能的前置放大器；其它部分是带有锁相环(PLL)的高频频率合成器，为上/下变频器提供本地振荡频率。

通常，锁相环路由鉴相器、环路滤波器和压控振荡器三部分组成。除了 HFA3683A 内部的 PLL MODULE 外，还需要外加滤波器和压控振荡器来完成频率合成器的功能。内部的 PLL 模块具有三个寄存器，一个三线端口，外部控制器通过芯片的三个引脚（CLK、DATA、LE）设置三个寄存器的参数值，就可以得到不同的本地振荡频率。

图 3.5 为 PLL 模块控制端口的时序图：

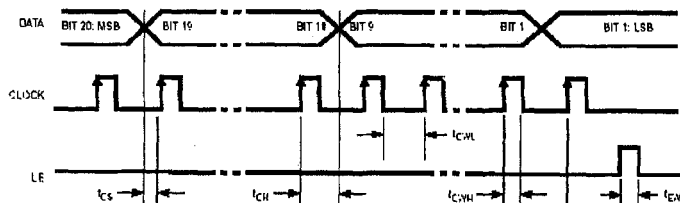


图 3.5 PLL 控制端口时序图

DATA 直接作用于寄存器，其中 LSB1 和 LSB2 相当于三个寄存器的地址位，选择不同的寄存器，其它位是要写入的数据。CLOCK 为时钟，DATA 在 CLOCK 的上升沿作用下串行进入三线端口。LE 相当于使能端，低电平有效，在 LE 的上升沿作用下三线串行端口的数据锁存进入指定的寄存器。

### 3.3.1.2 中频部分

中频转换部分由 intersil 公司生产的 HFA3783 来完成。它是带频率合成器的正交（I/Q）调制解调器。图 3.6 是它的内部简单框图：

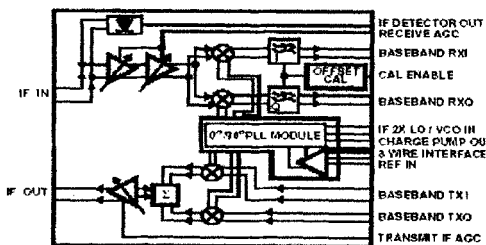


图 3.6 HFA3783 内部框图



它处理的基带信号的频率范围是 0~77MHz，中频信号的频率范围是 70~600MHz<sup>[6]</sup>。

它具有正交调制和 I、Q 两路基带信号解调的所有功能。内部带有自动增益控制 (AGC) 中频放大器，增益为 70dB。用于中频调制解调的上下变频器的本地振荡频率由 0°/90° PLL 模块产生，同 HFA3683A 这里的 PLL 模块也有一个三线控制端口 (DATA、CLK、LE)，用来读写内部寄存器，设置不同的参数，产生不同的本振频率。同样，也需要芯片外加滤波器和压控振荡器来完成频率合成器的功能。

图 3.7 为 PLL 模块控制端口时序图：

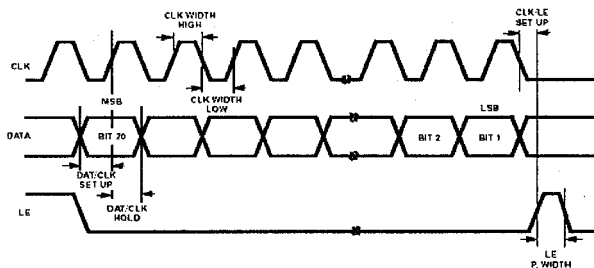


图 3.7 PLL 控制端口时序

DATA 在 CLK 的上升沿作用下键入寄存器串行端口，高位在前，低两位为寄存器地址，其它为数据位。LE 低电平时寄存器端口使能有效，在 LE 的上升沿作用下 DATA 写入指定的寄存器内。

### 3.3.1.3 基带部分

基带部分采用 ITERSIL 公司生产的扩频通信芯片—HFA3861B。

#### 1、HFA3861B 的功能及特点

HFA3861B 是 INTERSIL 公司生产的 PRISM II 套片的核心部分，是基于直接序列扩频通信的基带处理器。它具有全双工或半双工接收机的全部功能，和第一代扩频通信芯片 HFA3824 比起来功能更强大，有更大的灵活性，其内部有大量的寄存器可以通过外界进行设置而实现大量的应用，其数据率，调

制方式等都可以动态调整,其最高速率也由 HFA3824 的 4Mbps 提高到了 11Mbps。

以下是其主要特点:

- 1) 完整的直序扩频通信 (DSSS) 处理器;
- 2) 编程的数据率: 1, 2, 5.5, 11Mbps;
- 3) 外观小巧: 10mm×10mm;
- 4) 可选择的调制方式: DBPSK, DQPSK, CCK;
- 5) 支持全双工和半双工;
- 6) 内置 A/D, D/A 转换器;
- 7) 可根据需要设置省电模式, SLEEP 或者 STANDBY 状态。

## 2、HFA3861B 的内部工作流程

HFA3861B 的内部结构很复杂,但是可以通过它对信号的处理过程得到了解。当 HFA3861B 处于发送状态时,来自外部的数字基带信号被加帧头,扰码,调制,扩频,滤波,再经 D/A 转换变成基带模拟信号,输出给中频转换器;当 HFA3861B 处于接收状态时,对来自外部的模拟基带信号的处理过程刚好相反,即 A/D 转换,滤波,解扩,解调,去帧头,解扰等。

1) HFA3861B 内部产生帧头信息,该帧头完全符合 IEEE802.11 标准的物理层帧头格式,196bits,包括同步码和物理层包头两部分,其格式如图 3.8 所示:



图 3.8 IEEE802.11 帧头示意图

SYNC 和 SFD 组成同步码,在扰码前全为 1,在 HFA3861B 接收数据时,用于建立同步信息,只有检测到该码串才认为是一帧的开始从而接收以后的数据码。同步码采用 DBPSK 调制,传输速率为 1Mbps;信号域 (Signal) 包含 MAC DATA 的传输速率信息,HFA3861B 接收数据时,根据该域判断 MAC 层数据包的传输速率,即不同的解调方式: DBPSK/DQPSK/CCK。从而采用相应的解调方式;服务域 (Service) 保留;长度域 (Length) 表示传送 MAC

层数据包所需的时间；CRC 域用于错误检测，它是通过包头的前三个域计算出来的，在扰码之前。接收时用来判断是否传输有错。

2) 扰码公式完全符合 IEEE802.11 标准，扰码包含整个数据包的同步码、物理层包头及数据码。内部扰码器是个带反馈的 7 位移位寄存器，图 3.9 所示：

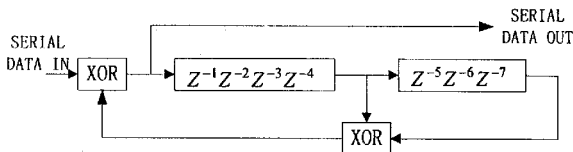


图 3.9 扰码处理过程

3) HFA3861B 内可以有三种调制方式：DBPSK、DQPSK、CCK，对应的数据率为 1Mbps、2Mbps、5.5M/11Mbps。物理层包头可以采用 DBPSK 或 DQPSK 两种调制方式，数据的调制方式可以通过设置相应寄存器的不同值选择这三种之一。

4) 采用直序扩频方式，扩频码为 11 位的巴克码，符合 IEEE802.11 标准直序扩频局域网。I、Q 两路信号分别与巴克码相乘扩频，码片传输速率为 11Mc/s。

5) HFA3861B 内部的滤波器是 FIR 数字滤波器。

6) 输出端口是 6bits 并行 D/A 转换器。

HFA3861B 从上层接收到的数据经过如上变换输出给中频调制器。相反，它从中频解调器接收到的数据经过相反变换输出给上层处理器。即 A/D 转换，采样速率为 22MHz，滤波，解扩，解调，解扰，去物理层帧头。

图 3.10 是发送信号处理过程，3.11 是接收信号处理过程图：

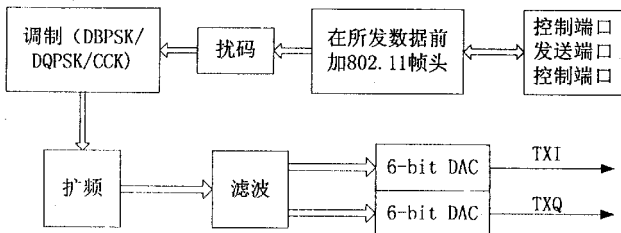


图 3.10 发送过程

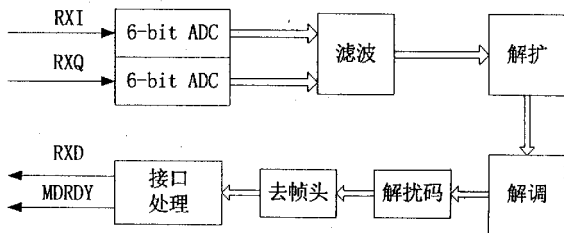


图 3.11 接收过程

### 3、HFA3861B 的外部端口

HFA3861B 具有三个主要的互相独立的外部端口：控制端口，发送端口，接收端口，测试端口。

如图 3.12 所示：

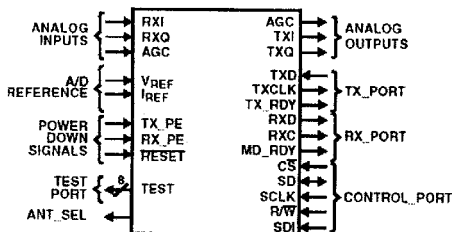


图 3.12 HFA3861B 外部端口图

#### 1) 控制端口 (CONTROL-PORT)

HFA3861B 内部有 96 个可编程的寄存器，这些寄存器的值决定了它的工作状态和工作方式，外部控制器就是通过该端口对这些寄存器进行读与写，从而实现 HFA3861B 的各种功能以及对它的工作状态实现动态调整。它能处理的最高频率是 11M 或主频的 1/2（二者较小者）。每次上电时，外部控制器都要通过该端口实现各寄存器的正确配置，以保证 HFA3861B 的正确工作。该端口涉及四条线，它们是指：SD、SCLK、CS、R/W。

SD 是双向的串行数据线；SCLK 是数据线上地址和数据的时钟；

/CS 是该端口的使能信号；R/W 相当于该端口的握手信号。

#### 2) 发送数据端口(TX-PORT)

该端口用来串行输入来自外部数据源等待发送的数据。它涉及到四条线,它们是: TXCLK, TX\_PE, TXD, TX\_RDY。

TXD 上面是待发送的、输入给 HFA3861B 的数据包;

TX\_PE 相当于该端口的使能信号,它为 1 就启动了 HFA3861B 的发射部分;

HFA3861B 产生帧头后就产生 TXCLK,它是 TXD 上数据的时钟;

TX\_RDY 是 HFA3861B 产生的握手信号,它的上升沿对外部控制器表示内部帧头已经产生完毕,芯片准备接收数据;下降沿表示待发送的数据接收完毕。

### 3) 接收数据端口 (RX-PORT)

该端口串行输出解调后的数据。它涉及到四条线,它们是指: RXCLK, RX\_PE, MD\_RDY, RXD。

RXD 上面的是解调后,由 HFA3861B 输出的数据以及帧头中的某些域;

RX\_PE 相当于该端口的使能信号,它为 1 就启动了 HFA3861B 的接收部分;

RXCLK 是 HFA3861B 输出的时钟; MD\_RDY 是 HFA3861B 输出的握手信号,它的开始有效时间是通过某个寄存器来设置的,其无效时间在 RX\_PE 之后或发生错误后。

### 4) 测试端口 (TEST\_PORT)

除了上述三个主要的与外部控制器相连的端口外, HFA3861B 还有一个测试端口 (TEST\_PORT),供外部控制器监控 HFA3861B 的工作状态。还有模拟输入输出端口 (ANALOG INPUTS/ANALOG OUTPUTS),其中包括自动增益控制 (AGC); A/D 参口电压 (A/D REFERENCE); 省电模式端口 (POWER DOWN SIGNALS) [7]。

## 3.3.2 MAC 层协议处理

这里的 MAC 层协议处理部分采用 INTERSIL 公司生产的 HFA3841 媒体访问控制器。它能直接和 HFA3861B 基带处理器相接,提供与主机的接口。

图 3.13 是 HFA3841 的外部连接电路图:

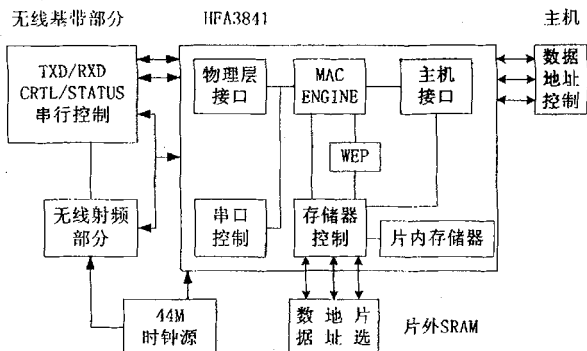


图 3.13 HFA3841 外部连接电路

其中协议处理由固件（firmware）来完成，可以支持不同的物理层协议。固件实施 IEEE802.11 全部 MAC 层协议。MAC 层协议包括两部分，其中 DCF（分布协调功能）是基本的媒体访问方法，就是载波检测多址接入方法（CSMA/CA），可以用于各种 WLAN，另一部分就是 PCF（集中协调功能），只能用于基础 WLAN（Infrastructure）中，这种接口方法用一个集中协调器（PC）来决定网络中的哪个 STA 有权利发送数据，即如何分配信道。固件既可以完成 DCF，也可以完成 PCF。能解决所有 MAC 层关键技术，如四次握手协议，产生 RTS/CTS、ACK，对数据包分段，加密(WEP)等。

HFA3841 以及其固件是完成 MAC 层协议所需的硬件，还要有软件驱动程序<sup>[18]</sup>。

### 3.4 本章小结

本章详细介绍了无线局域网的关键组成部分：无线网卡的设计。首先从功能构成和工作原理以及组成部分介绍了无线网卡。实现网卡的设计方案有很多种，本章介绍了一种符合 IEEE802.11 标准的电路实现方案。应用 itersil 公司生产的 PRISM 第二代芯片，详细介绍了信号从射频到中频到基带的处理过程，以及媒体访问控制层（MAC）的硬件实现和协议的处理。

## 第4章 网卡中扩频通信机部分的设计及实现

在第三章中谈到,网卡主要包括两部分即扩频通信机和网络接口控制器。作者完成了网卡中扩频通信机部分的设计及实现,由于器件和经费的关系,MAC层的实现作为持续工作。

### 4.1 功能要求

这里要实现的无线局域网网卡的扩频通信机的功能要求如下:

- 1、半双工的;
- 2、采用直接序列扩频调制方式,有关扩频的参数,如扩频码、处理增益、数据率等都符合 IEEE802.11 标准;
- 3、基带、中频、射频的频率可以根据需要进行调整;
- 4、与计算机之间通过 RS232 串口相连;
- 5、通信机与计算机之间的收/发关系是即发即收。

### 4.2 电路实现

本节介绍扩频通信机的整体设计电路,所采用的硬件以及所应用的所有硬件硬件技术。

图 4.1 为系统硬件框图:

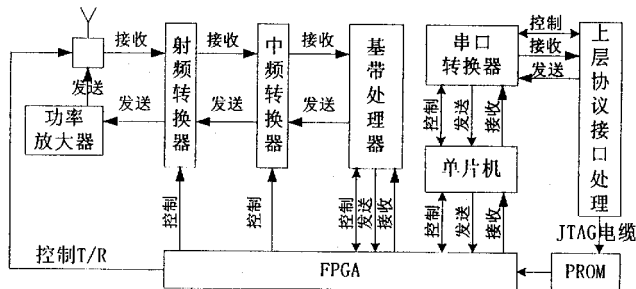


图 4.1 扩频通信机整体硬件电路图

### 4.2.1 上层协议接口处理

在本系统中，上层协议接口处理部分由计算机来完成，有两个主要作用：

其一，用于发送或返回控制命令，包括对系统初始化、确定系统是发送还是接收，各参数的调整，例如基带调制方式、数据率、中频、射频的频率等；

其二，数据采集单元，即提供要发送出去的数据并接受系统接收到的数据。

它通过串口 RS-232 与网卡中的单片机交换信息，采用异步串口通信协议。

### 4.2.2 串口 RS-232

#### 4.2.2.1 串行通信

串行通信是指通信的发送方和接收方之间数据信息的传输是在单根数据线上，以每次一个二进制位移动的。它的优点是只需一对传输线进行传送信息，因此成本低，适用于远距离通信，缺点是传送速度低。

#### 4.2.2.2 异步通信

串行通信有异步通信和同步通信两种基本通信方式。同步通信适用于传送速度高的情况。其硬件复杂。而异步通信应用于传输速度在 50 到 19200 波特之间，是比较常用的传送方式。在异步通信中，数据是一帧一帧传送的，每一串行帧的数据格式由 1 位起始位，5~8 的数据位，1 位奇偶校验位（可省略）和 1 位停止位四部分组成。在串行通信前，发送方和接收方要约定具体的数据格式和波特率（通信协议）。



### 4.2.2.3 RS-232 标准

RS232 标准规定了 25 根引线, 现在大多数个人计算机采用 9 针接插件, 对于一般的双向通信, 只需使用串行输入 RXD, 串行输出 TXD 和地线 GND。标准的电平采用负逻辑, 规定 +3V~+15V 之间的任意电平为逻辑“0”电平, -3V~-15V 之间的任意电平为逻辑“1”电平, 与 TTL 合 CMOS 电平是不同的<sup>[10]</sup>。在接口电路和计算机接口芯片中大都为 TTL 或 CMOS 电平, 所以在通信时, 必须进行电平转换, 以便与 RS-232 标准的电平匹配。MAX232 芯片可以完成这种电平转换这一工作。

### 4.2.2.4 串口转换器

由于 RS-232 与单片机的电平不匹配, 采用 MAX232 芯片完成电平转换。MAX232 是 MAXIM 公司生产的低功耗、单电源双 RS232 发送/接收器。适用于各种 EIA-232E 和 V.28/V.24 的通信接口。MAX232 芯片内部有一个电源电压变换器, 可以把输入的正 5V 电源转换成 RS-232 输出电平所需的 +/-10V 电压, 所以采用此芯片接口的串行通信系统只要单一的 +5V 电源就可以。外围需要 4 个 1μF 的电容, 采用双列直插封装形式。

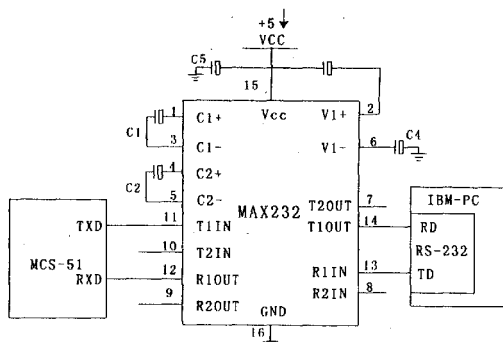


图 4.2 MAX232 接口电路

图 4.2 是采用 MAX232 接口的硬件接口电路。

MAX232 的引脚 T1IN、T2IN、R1OUT、R2OUT 为接 TTL/CMOS 电平的引脚。引脚 T1OUT、R1IN、R2IN 为接 RS-232 电平的引脚。因此 TTL/CMOS 电平的 T1IN、T2IN 引脚应接 MCS-51 的串行发送引脚 TXD；R1OUT、R2OUT 应接 MCS-51 的串行接收引脚 RXD。与之对应的 RS-232 电平的 T1OUT、T2OUT 应接 PC 机的接收端 RD；R1IN、R2IN 应接 PC 机的发送端 TD。

MAX232 为双组 RS-232 接收发送器，这里选用其中一路发送/接收。R1OUT 接 MCS-51 的 RXD，T1IN 接 MCS-51 的 TXD。T1OUT 接 PC 机的 RD，R1IN 接 PC 机的 TD<sup>[30]</sup>。因为 MAX232 具有驱动能力，所以不需要外加驱动电路。

### 4.2.3 单片机控制部分

#### 4.2.3.1 MCS51 系列单片机

##### 1、主要性能特点

- 1) 内部程序存储器 (ROM) 容量：8051 为 4KB，8052 为 8KB；
- 2) 内部数据存储器 (RAM) 容量：8051 为 128B，8052 为 256B (不包括专用寄存器)；
- 3) 输入输出线：MCS-51 扩充为 32 根；
- 4) 可以对 64KB 的外部数据存储器寻址；
- 5) 内部总空间为 64KB，根据不同的型号，外部程序存储器最大寻址范围为 64KB、60KB 和 56KB；
- 6) -51 子系列有 2 个 16 位定时器/计数器，-52 子系列有 3 个 16 位定时器/计数器；
- 7) 可利用两根 I/O 口线作为全双工的串行口，有 4 种工作方式，可通过编程选定；
- 8) 内部 RAM 中有 4 个通用工作寄存器区，共 32 个通用寄存器，以适应多种中断或子程序嵌套的情况；

- 9) 有 5 个中断源, 分为 2 个优先级, 每个中断源的优先级是可编程的;
- 10) 堆栈位置是可编程的, 堆栈深度可达 128 字节;
- 11) 内部有一个由直接可寻址位组成的布尔处理机, 即位处理机;
- 12) 指令系统中增添了减法、乘法、除法、比较、堆栈操作(压入和弹出)和多种位操作指令。

## 2、内部总体结构

- 1) 一块单片机芯片上, 集成了一台微计算机的各个部分;
- 2) 1 个 8 位中央处理器;
- 3) 4KB 的只读存储器;
- 4) 128B 的读写存储器;
- 5) 32 条 I/O 口线;
- 6) 2 个定时器/事件计数器;
- 7) 1 个具有 5 个中断源、2 个优先级的嵌套中断结构;
- 8) 用于多处理机通信、I/O 扩展或全双工 UART (通用异步接收发送器) 的串行 I/O 口;
- 9) 一个片内振荡器的时钟电路<sup>[21]</sup>。

### 4.2.3.2 单片机的选择

这里采用的是 Intel MCS-51 系列的 8 位单片机, 它具有如下特点:

- 1、片内带 4K 闪烁存储器, EPROM, 一般作程序存储器;
- 2、片内带 256 字节 RAM;
- 3、提供 32 条 I/O 引脚, 大部分引脚都可作数字和脉冲输入或输出;
- 4、2 个 16 位定时计数器, 对外计数脉冲可使用单片机的 P3.4(T0)或 P3.5(T1);
- 5、6 个中断源, 其中直接提供外部中断处理, 可使用 P3.2(INT0)或 P3.1(INT1);
- 6、1 个可编程标准串口, 其引脚为 P3.1(RXD)和 P3.1(TXD);
- 7、时钟频率可达 4~24MHz;
- 8、具有睡眠状态, 指令系统与 8031 指令系统完全兼容;
- 9、价格低廉, 保密性强, 功耗低, 应用灵活、方便<sup>[22]</sup>。

#### 4.2.3.3 单片机在系统中的作用

采用汇编语言开发单片机程序，它的作用如下：

- 1、设置 HFA3861B、HFA3783、HFA3683A 各芯片的工作参数，即读/写这些芯片的寄存器；
- 2、接收计算机发来的控制命令，例如确定是接收还是发送以及接收发送的时刻；
- 3、接收计算机要发送出去的数据；
- 4、将系统前部分接收到的数据传给计算机。

#### 4.2.3.4 单片机的硬件接口电路

图 4.3 为单片机的硬件接口电路：

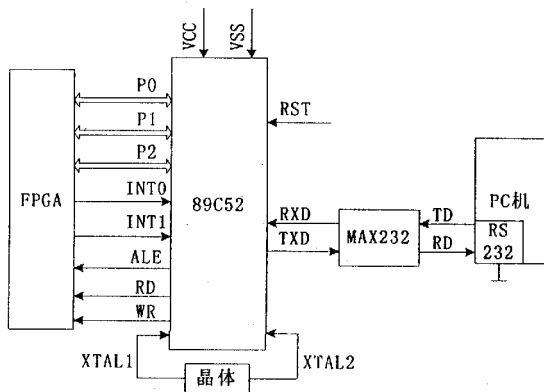


图 4.3 单片机接口电路

Vss 接地；

Vcc 正常操作；

XTAL1 和 XTAL2 分别接外部晶体的两端，当单片机串口工作于模式 1，

并且波特率为 9600K 时, 选择 11.059MHz 的晶体;

RST 为单片机复位引脚, 当振荡器运行时, 在此引脚上出现两个机器周期的高电平将使单片机复位; 本设计外接复位电路。

当访问外部存储器时, ALE (允许地址锁存) 的输出用于锁存地址的低 8 位字节;

当访问外部存储器时, P0 口是分时多路转换的地址 (低 8 位) 和数据总线, 在访问期间激活了内部的上拉电阻;

P1 口是一个带有内部上拉电阻的 8 位双向 I/O 口;

P2 口是一个带内部上拉电阻的 8 位双向 I/O 口, 在访问外部存储器时, 它送出高 8 位地址;

RXD 为串行输入口; TXD 为串行输出口;

/INT0 为外部中断; /INT1 为外部中断 1;

/WR 为外部数据存储器写选通; /RD 为外部数据存储器读选通。

图 4.3 示出了单片机与 MAX232 和 FPGA 的各个引脚连接关系。其中, P0 口, P1 口, P2 口, /INT0, /INT1, /ALE, /WR, /RD 等引脚分别连到 FPGA 的通用 I/O 口处, 以完成相应的数据传输和控制功能, 比如设置 HFA3861B, HFA3783, HFA3683A 等专用芯片的内部寄存器就是通过 FPGA 来完成的。

#### 4.2.3.5 单片机与计算机之间的通信协议

单片机与计算机之间采用 RS232 串口通信, 串行通信程序包括两方面, 一方面计算机界面程序, 即串口发送接收程序 (前面已有叙述), 另一方面是 MCS-51 单片机的通信程序, 在编写程序之前, 制定其双方的通信协议是十分重要的, 否则无法保证通信数据的可靠性, 从而失去通信的意义。

现约定其通信协议如下:

- 1、帧格式: 1 位起始位, 8 位数据位, 1 位停止位;
- 2、联络方式为 PC 机主动联络 89C52 单片机;
- 3、单片机和计算机之间通信采用中断方式;
- 4、PC 机采用 COM1、COM2 通信;
- 5、PC 机所发送的数据帧带有帧头: 起始标志—\$\$以及表示长度的字节;

|      |        |      |
|------|--------|------|
| \$\$ | Length | Data |
|------|--------|------|

图 4.4 PC 机所发数据帧格式

6、PC 机发送数据帧的时间间隔可以控制。

## 4.2.4 FPGA 设计部分

### 4.2.4.1 FPGA 的介绍

#### 1、FPGA 内部构造：

FPGA 是一种可编程的专用大规模集成电路 (ASIC)，它由三种可配置资源组成，图 4.5 所示：

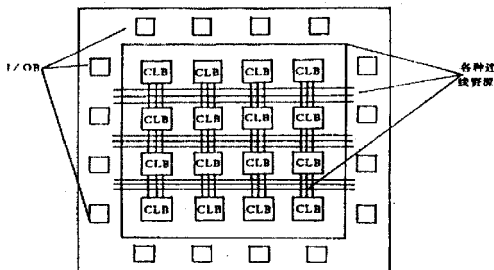


图 4.5 FPGA 内部结构示意图

#### 1) 可配置逻辑块 CLB(Configurable Logic Block)

它是 FPGA 的基本功能单元，每个 CLB 地电路中包含组合逻辑电路、存储电路和由一些数据选择器组成的内部控制电路。。以 XC4000 系列 FPGA 为例，每个 CLB 包括两个触发器和两个独立的 4 输入组合逻辑产生器，因为大部分逻辑都不超过四个变量，所以这些组合逻辑产生器基本能够满足设计者的设计需要。每个 CLB 有 13 个输入和 4 个输出，它们分别作为组合逻辑产生器合触发器的输入和输出，这些输入输出可以与 CLB 外边的内部连线相连。设计软件能够独立地处理每个组合逻辑产生器，从而提高模块的可用性。

## 2) 输入输出块 (I/O Block)

IOB 提供一个器件的外部引脚和内部用户逻辑之间的接口, 每一个 IOB 包括寄存器缓冲输入和直接输入两种输入路径, IOB 还包括一个程控的三态缓冲器, 它的输入可以由寄存器的输出, 或者直接由寄存器的输入信号来驱动。每一个 IOB 地设置选择有: 是否倒相、信号输出翻转速率、是否接高阻值得上拉电阻等, 从而满足用户的不同需要。

## 3) 连线资源 (IR)

FPGA 的内部连线将各 CLB 和各 IOB 连结起来, 以实现复杂的逻辑功能。XC4000 系列使用的是分层的连线资源。

## 2、FPGA 的外部引脚分为三类:

- 1) 专用引脚, 如 Vcc (电源), GND (地), CCLK (设置时钟) 等;
- 2) 具有特殊功能的用户 I/O 引脚, 如 M0, M1, M2 是设置加载模式的输入引脚;
- 3) 无限制的用户可编程 I/O 引脚, 这些引脚可以设置成输入或输出, 设置结束之前, 这些引脚有一个高阻值的内部上拉电阻, 此时所有这些引脚逻辑为高电平<sup>[21]</sup>。

### 4.2.4.2 FPGA 的选择

FPGA 的选择包括三方面: 选择系列、选择器件、选择封装。

Xilinx 公司提供了现场可编程逻辑门阵列 (FPGA) 系列器件—XC2000, XC3000, XC4000, 它们在性能上依次提高, 并互相兼容。

XC4000 系列器件有 14 种类型, 其密度为 2000 门到 2500 门。

XC4000 系列的性能特点如下:

- 1、RAM 功能增加了设计的自由度, 其快速进位逻辑加速了算术运算和计数器的计数能力;
- 2、CLB 有两个独立的四输入组合逻辑产生器, 第三个组合逻辑产生器的输入是两个四输入组合逻辑产生器的输出和一个外部输入, 它们在一起可构成九输入组合逻辑产生器, 所有功能输入脚可以交换。具有高速的算术运算能力, 组合逻辑产生器的查询表能同时作为高速 RAM 使用, 触发器可以被异

步地置位或复位。

3、IOB 具有灵活的时钟极性选择, 它的输入建立时间可通过编程设定, 建立时间长可以避免潜在的保持时间的问题, 建立时间短可以提高工作性能。IOB 可以通过自己的三态缓冲器 (TBUF) 与长线相连。

4、大部分内部连线都同所有的 CLB 输入输出相连。

5、设置时钟可以超过 8MHz 等等<sup>[24]</sup>。

由于以上特点, 采用 XC4000 系列 FPGA 进行设计是很好的选择。本处选用 XC4000 系列的 XC4010EPG191 芯片, 它有 191 个引脚。

#### 4.2.4.3 FPGA 的设计流程

FPGA 的电路设计是通过 FPGA 开发系统来实现的, 用户无需了解 FPGA 的内部构造和工作原理, 只需在计算机上输入电路原理图或硬件描述语言文件, FPGA 开发系统就能自动进行模拟、验证、分割、布局和布线, 最后实现 FPGA 的内部配置。本设计中采用 Foundation 开发系统。

图 4.6 为 FPGA 的设计流程:

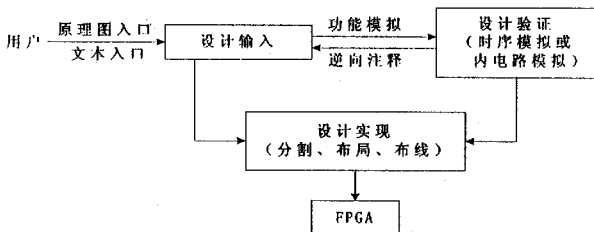


图 4.6 FPGA 设计流程图

##### 1、设计输入

XILINX 公司的 Foundation 系统提供三种设计输入法, 分别为 Schematic Editor、HDL Editor 和 FSM Editor<sup>[25]</sup>。本设计中采用 Schematic Editor 原理图输入法, 部分功能模块由硬件描述语言 (VHDL) 生成。

为了方便设计, Foundation 开发系统提供了丰富的单元库和宏单元库, 例如: 基本逻辑单元库、74 系列宏单元库、CMOS 宏单元库等, 并且还提供



了基本器件系列中没有的单元，用户可以任意选用库中的任意单元去实现所需的逻辑功能。由于 FPGA 是一种大规模集成电路，集成度高，容量大，它可以将许多逻辑单元连结起来，在一片 FPGA 上实现复杂的逻辑功能，用单片实现一个系统。

## 2、设计验证

设计验证有两种方法：

一种是在计算机上利用 Foundation 开发系统中的仿真功能进行逻辑仿真和时序仿真。能检验出原理图中的错误，并计算出整个设计系统的延时等；

第二种是将配置数据送入 FPGA 进行在线实时调试。

本设计中采用第一种验证方法。

## 3、设计实现

设计实现是采用开发系统提供的一系列程序将原理图进行自动化简、归并、分割、布线。得到 LCA(logic cells array)文件，最终可转化为供配置用的数据 (BIT) 文件，即下载文件<sup>[26]</sup>。

### 4.2.4.4 FPGA 的程序加载

FPGA 逻辑功能的实现是通过把设计生成的数据文件配置进芯片内部的静态配置数据存储器来完成的，所以 FPGA 具有可重复编程性，可以反复使用<sup>[27]</sup>。这种将数据 (BIT) 文件配置入 FPGA 内，定义芯片内部模块和连线功能的过程就是 FPGA 的配置。

表 4.1 FPGA 配置方式

| 方式    | M2 | M1 | M0 | CCLK | 数据             |
|-------|----|----|----|------|----------------|
| 主串    | 0  | 0  | 0  | 输出   | 位 串行           |
| 从串    | 1  | 1  | 1  | 输入   | 位 串行           |
| 主并    | 1  | 0  | 0  | 输出   | 字节，地址由 00000 升 |
| 主并    | 1  | 1  | 0  | 输出   | 字节，地址由 FFFFF 降 |
| 外设，同步 | 0  | 1  | 1  | 输入   | 字节             |
| 外设，异步 | 1  | 0  | 1  | 输出   | 字节             |
| 保留    | 0  | 1  | 0  | — —  | — — —          |
| 保留    | 0  | 0  | 1  | — —  | — — —          |

XILINX 公司的 XC4000E 系列 FPGA 芯片有 6 种配置方式, 可通过方式选择管脚 M0, M1, M2 来选择某种合适的方式<sup>[29]</sup>。对应关系见表 4.1 (表中 CCLK 为配置时钟, Master 方式下该时钟信号由 FPGA 产生, Slave 方式下则由计算机提供)。

本设计中由于只用一片 FPGA 芯片, 所以采用主串方式 (Master Serial)。FPGA 的控制代码, 一般在上电时被送入 FPGA 中, 这就是所谓的初始化, 一旦掉电, 结构控制代码便会消失。主方式中, XILINX 公司的 JTAG 编程器 (JTAG Programmer) 把下载数据 (BIT) 文件转换成 PROM 的烧结文件, 把结构控制代码写入 PROM 中。加电后, FPGA 主动产生配置时钟 (CCLK), 接收来自 XILINX 公司的串行配置 PROM 的串行数据<sup>[29]</sup>。

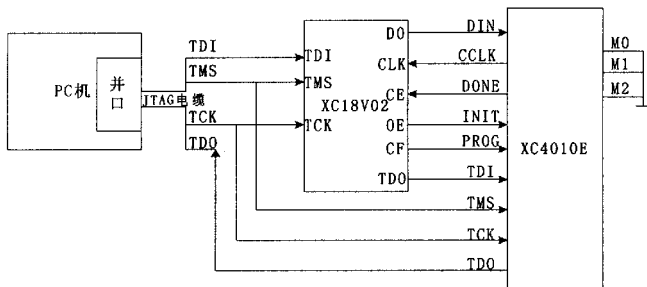


图 4.7 FPGA 配置电路图

图 4.7 是程序下载的电路连接图。FPGA 的方式选择管脚 M0, M1, M2 分别接地, 就是选择了主串下载方式。

选用 XILINX 公司的 XC18Vxx 系列在线可编程 (ISP 即 In-System Programmable) 配置 PROM。它与 IEEE Std 1149.1 边界扫描 (JTAG) 完全兼容。专门用来下载 XILINX FPGA。

JTAG 电缆一头接到 PC 机的并口处, 另一端接到电路板上的 XC18V02 芯片相应管脚上。如果连接正确, 点击 JTAG 编程器相应命令, 它会自动找到一个如图 4.7 的下载环路。

点击下载命令, FOUNDATION 开发系统编译生成的数据 (BIT) 文件通过计算机并口由 JTAG 电缆下载到 XC18V02 PROM 中。

上电后, FPGA 复位的同时向 PROM 发出复位信号, 使其内部地址计数

器清零,然后,CCLK 作为地址计数器的技术脉冲使地址递增,这样,相应地址中的数据便出现在 PROM 的数据输出端 D0 上,进而进入 FPGA 的配置存储器中。

FPGA 具有了设计需要的功能,如果在整个系统中的功能有出入,就可以重新修改程序,重新下载,直到完全符合要求为止。

这就是一种在线可编程技术,它具有对完成的电路系统的逻辑和功能重新修改的能力,无论处于生产过程、销售过程,还是已经被用户所使用,它是由美国 Lattice 公司于 1991 年首先提出的一种全新 PLD 技术<sup>[9]</sup>。

#### 4.2.5 基带、中频、射频部分

本扩频通信机的基带、中频和射频部分与第三章网卡设计方案中的基带、中频和射频所采用的芯片是一样的,即基带处理器—HFA3861B、正交调制解调器—HFA3783,射频调制解调器—HFA3683A。第三章已对这些芯片进行介绍,这里不再累述。

#### 4.2.6 系统时钟部分

系统中所用的芯片 HFA3861B 基带处理器需要一个 44MHz 的主频,用来产生内部其它时钟。FPGA 也需要外加时钟,使内部各模块正常工作。

用来提供这些时钟的芯片采用 FOX 公司生产的型号为 F4106—44.00MHz 的晶振。

### 4.3 系统软件设计

#### 4.3.1 整体设计思路

系统中软件设计部分的整体流程图如下,图 4.8 为发送流程,图 4.9 为接收流程。

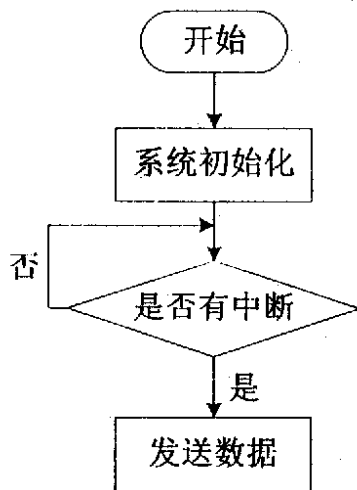


图 4.8 发送流程

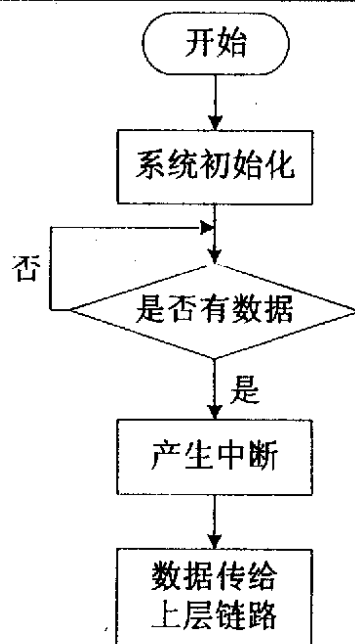


图 4.9 接收流程

其中系统初始化包括几部分，如对串口数据率、数据位等的缺省值的设置，对基带部分的调制方式，数据率等的设置；对中频，射频部分的频率设置等。

如果计算机有数据要发送，它主动联系本扩频通信机，即产生中断，系统接收到中断，就启动发送程序，将数据发送出去。

如果本扩频通信机检测到接收有外部数据，进行处理后，产生中断给计算机，将所接收到的数据传入上层链路。

这是系统的整体软件设计思路，实际实现过程是由串口通信程序、单片机控制程序和 FPGA 程序共同完成的。以下章节分别介绍。

### 4.3.2 人机界面的编写

由于 Windows 的软件开发较复杂，所以使用组件来开发 Windows 应用程序已成为深受人们喜爱的方法。组件之所以功能强大，是因为它们向我们隐藏了所有的实现细节，使自己和别人可以很方便的使用代码。使用 VC++ 中有关串行通信的 Active X 控件 Microsoft Communication Control (MSComm) 控件可以非常方便地编写 Windows 环境下的串口通信程序。

### 4.2.3.1 编写串口通信程序的一般步骤

#### 1、打开串口

在 32 位 Windows 中，串口和其它通信设备都被作为文件进行处理，在使用前必须先将其打开，为了保证串口通信数据传输的可靠性，串口打开时一般都设置为非共享模式，串口一旦被打开后，其它的应用程序将无法打开或使用它；

#### 2、配置串口

在使用串口进行数据通信前必须对其进行配置，串口配置主要包括波特率、数据位数、停止位数、奇偶校验、发送缓冲区大小、接收缓冲区大小等；

#### 3、超时设置

在串口通信时如果数据传输突然中断，对串口的读写操作可能会进入无限期的等待状态，为避免这种情况发生，必须设置串口读写操作的等待时间，等待时间超过后，串口的读写操作将被主动放弃，这样即使数据传输突然中断程序也不会被挂起或阻塞；

#### 4、数据读写

串口打开并配置好后即可对其进行读写操作了，对串口的读写操作可采用查询、同步、异步和事件驱动等方式；

#### 5、关闭串口

在串口使用完成后应将其关闭，否则如果没有关闭串口，该串口将始终处于打开状态，其他的应用程序就无法打开或使用它<sup>[31]</sup>。

### 4.2.3.2 MSComm 控件简介

Visual C++ 提供的 Active X 控件 Microsoft Communication Control (MSComm) 用于支持应用程序对串口的访问，为应用程序提供了串口通讯功能。在应用程序中嵌入 MSComm 控件可以非常方便地实现对计算机串口的通信管理。使用 MSComm 控件，程序员只需设置其相应的属性，然后通过调用 Output 属性发送数据，并且当有交换数据到达时会自动响应和作出处

理, 因此用其实现计算机间的数据传输相当简单, 程序员可以轻松地用其实现串口访问。

#### 4.2.3.3 MSComm 控件的重要属性

##### 1、CommPort 属性

CommPort 属性用于设置并返回控件所使用的通讯串口号, 设置串口号必须在打开串口动作之前, 每个使用的 MSComm 控件对应着一个串行端口。如果应用程序需要访问多个串行端口, 必须使用多个 MSComm 控件;

##### 2、Settings 属性

Settings 属性用于设置并返回控件所使用的传输参数, 传输参数由四个设置值组成, 有如下的格式: “BBBB,P,D,S”, 其中 BBBB 为波特率, P 为奇偶校验, D 为数据位数, S 为停止位数, 波特率的设置范围与硬件性能有关, 通常可以设置为 1200、2400、4800、14400 和 19200 等数值, 也可以更低或更高, 奇偶校验可以设置为 N(无校验)、E(偶校验)、O(奇校验)、M(标记校验)、S(空格) 等, 数据位可以设置为 4~8 位, 停止位可以设置为: 1、1.5 或 2;

##### 3、PortOpen 属性

PortOpen 属性用于并返回通讯端口的状态(开或关), 设置 PortOpen 属性为 True 表示打开端口, 设置为 False 则表示关闭端口并清空接收和发送缓冲区, 当应用程序终止时, MSComm 控件自动关闭串行端口;

##### 4、Output 属性

Output 属性用于往发送缓冲区写数据流, Output 属性可以传输文本数据或二进制数据, 正常情况下, 如果发送一个 ANSI 字符串到应用程序, 可以以文本数据形式发送, 如果发送包含嵌入控制字符, NULL 字符等数据, 则必须要以二进制形式发送;

##### 5、Input 属性

Input 属性返回并删除接收缓冲区中的数据流, MSComm 控件有两个与 Input 属性密切相关的属性: InputLen 属性, InputMode 属性, InputLen 属性用于设置 Input 属性从接收缓冲区一次读取的字符数, InputMode 属性用于确

定 Input 属性读取的数据类型。正常情况下,如果接收一个 ANSI 字符串到应用程序,可以用文本数据的形式接收,如果接收包含嵌入控制字符、Null 字符等数据,则必须要以二进制形式接收;

#### 6、OutBufferCount 属性

OutBufferCount 属性用于返回发送缓冲区中等待发送的字符数,设置 OutBufferCount 属性为 0 可以清空发送缓冲区;

#### 7、InBufferCount 属性

InBufferCount 属性用于返回接收缓冲区中等待被读取得字符数。设置 InBufferCount 属性为 0 可以清空接收缓冲区;

#### 8、CommEvent 属性

CommEvent 属性用于返回最近的通信错误或通讯事件的数值代码,通信错误包括接收缓冲区溢出、发送缓冲区已满和奇偶校验错误等。通信事件包括收到 Rthreshold 个字符 (ComEvReceive 通信事件)、在发送缓冲区中有比 Sthreshold 数少的字符 (ComEvSend 通信事件) 和收到文件结束 (ASCII 字符为 26) 字符等。

### 4.2.3.4 在程序中引入 MSComm 控件

在应用程序中嵌入并使用 MSComm 控件实现串口通信功能的一般过程:

- 1、打开需要使用 MSComm 控件的工程所在的工作空间;
- 2、将 MSComm 控件加入工程中:单击主菜单 Project 的子菜单 Add To Project 的 Components and Controls 选项,在弹出的 Components and Controls Gallery 对话框中选择 Registered ActiveX Controls 文件夹中的“Microsoft Communications Control”选项,单击 Insert 按钮,MSComm 控件就被增加到工程中;
- 3、Controls 工具条中选择 MSComm 控件并将其引入到应用程序的某个对话框中,用鼠标右击控件设置其属性(属性参数包括通信串口号、传输协议、数据发送和读取方式等);
- 4、打开指定的串口;
- 5、与其它计算机进行数据交换,发送或接收相关数据;

6、数据交换结束后，关闭串口。

#### 4.2.3.5 用 MSComm 控件开发串口通信程序

MSComm 控件提供了一个事件 OnComm，利用该事件可以自动捕获和检查到通信过程中所有的通讯事件或通讯错误，MSComm 控件这种利用事件响应处理通讯的方式被称为“事件驱动通讯”，这种通讯方式是处理串行端口交互作用的一种非常有效的方法，利用 MSComm 控件事件驱动的通信特点可以很容易编写串口通讯管理程序，程序员只需在控件 OnComm 事件消息处理函数中，通过检测 CommEvent 属性的值确定引发 OnComm 事件的确切的通信事件或通信错误，并编写相应的处理代码即可，在程序运行过程中，当某一串口通讯事件或通讯错误发生时，程序就会自动进行相应处理<sup>[32]</sup>。

#### 4.2.3.6 串行通信 Windows 界面

1、所编写的串行通讯界面如图 4.10 所示：

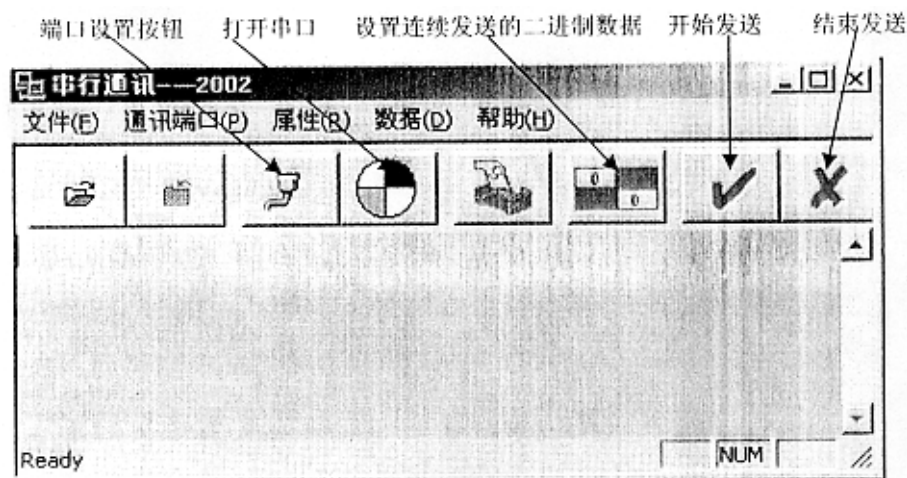


图 4.10 串行通讯界面

2、点端口设置按钮就会出现图 4.11 所示的通讯参数设置界面：

3、点击设置连续发送的二进制数据按钮就会出现图 4.12，二进制参数设置框图：



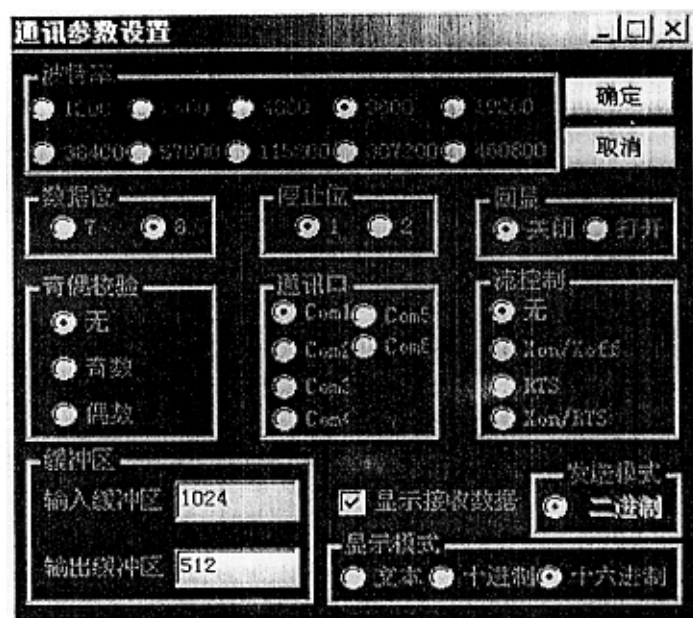


图 4.11 通讯参数设置界面

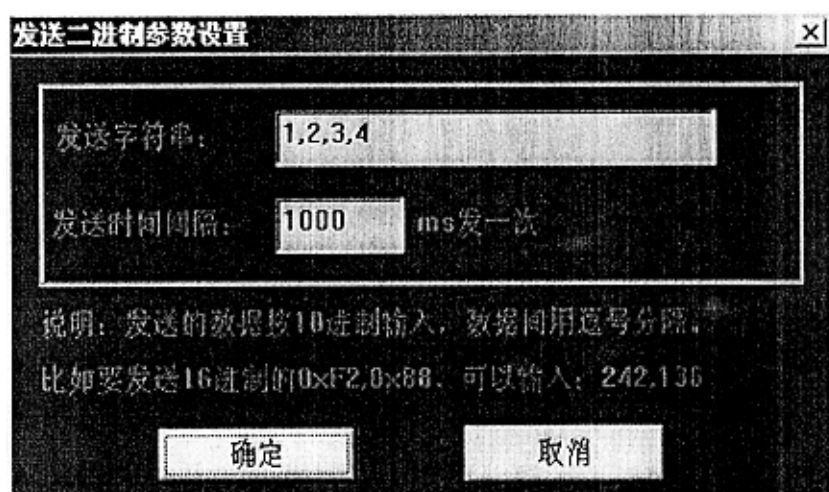


图 4.12 二进制参数设置图

4、利用该界面程序实现计算机和外设之间通信的过程如下：

- 1) 打开图 4.10 所示串行通讯界面；
- 2) 点击端口设置按钮，出现图 4.11 所示通讯参数设置界面，端口设置包括波特率、数据位数、停止位数、奇偶校验、通信口等；
- 3) 设置完后，打开串口；
- 4) 点击设置连续发送的二进制数据按钮，出现图 4.12 所示二进制参数

- 设置图，正确设置所发送的数据，包括发送字符串、发送时间间隔；
- 5) 点击开始发送按钮。数据就会按规定的协议和指定的通信口串行输出。

接收数据时同样要有 1)、2)、3) 步，如果指定的通信口有数据输入，就会在图 4.10 所示串行通讯界面上显示出来。

### 4.3.3 单片机的程序设计

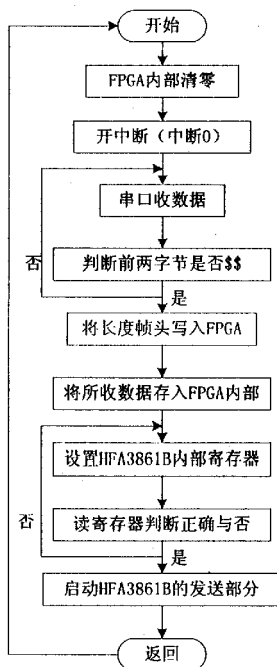


图 4.13 发送数据流程

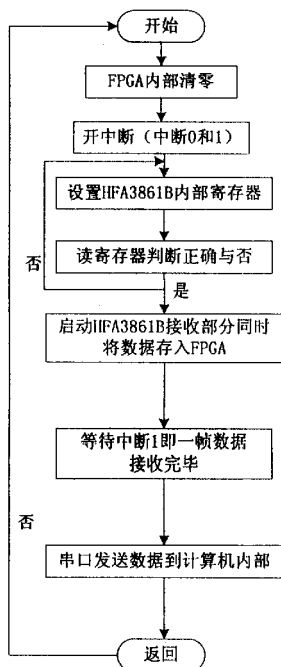


图 4.14 接收数据流程

图 4.13 是单片机的发送程序框图，4.14 是单片机的接收程序框图。由图可以清楚地看到单片机的工作流程，描述如下：

## 1、发送数据

- 1) 通过某个管脚置位, 对 FPGA 内部清零, 系统初始化;
- 2) 通过设置中断允许寄存器 IE, 打开外部中断源 0;
- 3) 正确设置串行口控制寄存器, 使单片机的串行接口处于允许接收状态;
- 4) 规定串行口操作为模式 1, 即: 传输的是 10 位, 1 位起始位 (0)、8 位数据位 (低位在前) 和 1 位停止位 (1)。由 TXD 发送, 由 RXD 接收, 波特率可以改变, 取决于定时器的溢出速率, 这里的波特率为 9600K;
- 5) 当接收到有效的停止位, 接收中断标志—RI 硬件置位, 向单片机申请中断, 将专用寄存器 SBUF 中的数据取走, RI 必须靠软件清零;
- 6) 单片机判断开始接收到的两字节如果都是 \$, 那么代表接收到的是一帧数据的开始, 向下执行程序, 继续接收; 如果不都是 \$, 那么返回串口接收程序继续接收;
- 7) 继续两个 \$ 接收下一字节, 即代表数据长度的字节, 并将它写入 FPGA 内部, 为设置基带处理器 HFA3861B 的接收作准备;
- 8) 继续接收 DATA 若干字节, 并将所接收到的存入 FPGA 内部 RAM;
- 9) 设置 HFA3861B 的内部寄存器, 即设置发送机的不同工作参数;
- 10) 为保证所写的寄存器值是正确的, 再读出所写的值加以判断, 如果完全正确, 往下执行, 如果不完全正确, 重新写寄存器;
- 11) 通过某个管脚, 启动 HFA3861B 的发送部分, 即设置 HFA3861B 为发送机。

这就是单片机的发送数据的过程。

## 2、接收数据

- 1) 通过某个管脚置位, 对 FPGA 内部清零, 系统初始化;
- 2) 通过设置中断允许寄存器 IE, 打开外部中断源 0 和中断源 1;
- 3) 设置 HFA3861B 的内部寄存器, 即设置接收机的不同工作参数;
- 4) 为保证所写的寄存器值是正确的, 再读出所写的值加以判断, 如果完全正确, 往下执行, 如果不完全正确, 重新写寄存器;
- 5) 通过某个管脚, 启动 HFA3861B 的接收部分, 即设置 HFA3861B 为接收机, 同时系统前部分接收到的数据进入 FPGA 内部 RAM;

- 6) 等待中断 1 即 MDRDY 的下降沿产生, 即一帧数据接收完毕;
- 7) 进入串口发送过程, 将所接收到的数据写入计算机内部, 同样是模式 1, 波特率为 9600K。

这就是单片机的接收数据的过程。

#### 4.3.4 FPGA 的具体设计

在整个系统中, 单片机要设置系统参数, 就是设置基带、中频、射频部分相应芯片的寄存器, 还要发送数据、接收数据。就是说单片机要与 HFA3861B 的控制端口、接收端口、发送端口通信, 然而, 单片机的传输速度有限, 而且一个串口用于与计算机通信; HFA3861B 的三个外部端口的传输速率都很高, 而且是串行传输的, 所以二者的通信协议不同, 对于 HFA3861B, 可以通过降低主频而降低其传输速率, 但是那样就失去了高速传输的意义, 所以系统采用了 FPGA, 它的传输速度很高, 另外, 单片机的电压为 5V, 而 HFA3861B 的工作电压为 3.6V, FPGA 可以解决这种电平差异。

##### 4.3.4.1 设置 HFA3861B 控制端口

每次上电时, 单片机都要通过控制端口实现对内部各寄存器的正确配置, 以保证 HFA3861B 正确工作。该端口涉及四条信号线, 它们是指: SD, SCLK, /CS, /W/R。读写寄存器的时序图如图 4.15 和图 4.16 所示。

SD 是双向的串行数据线, 它上面是寄存器的地址和数据, 对某个寄存器来说, 不管是读还是写, 都需要 16 位数据, 前 8 位代表地址, 后 8 位是读出或写入以该地址寻址的寄存器的数据, 而且地址的最低位是保留位。

SCLK 是数据线上地址和数据的时钟, HFA3861B 用其上升沿取数据和地址; 以及产生读出数据; 外部控制器用其下降沿产生数据和地址以及取读得的数据; 它的频率为 11MHz。

/CS 是该端口的使能信号, 只有它为 0 才能进行读或写操作。

/W/R 相当于该端口的握手信号, 当它为 0 是写操作; 为 1 是读操作<sup>[7]</sup>。

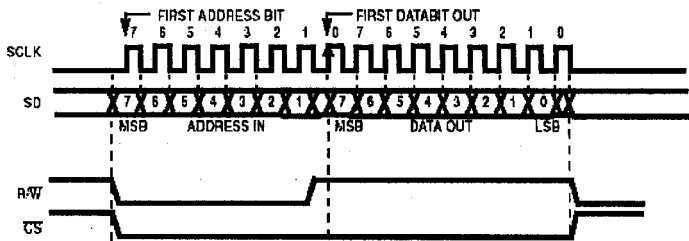


图 4.15 控制端口读数据时序图

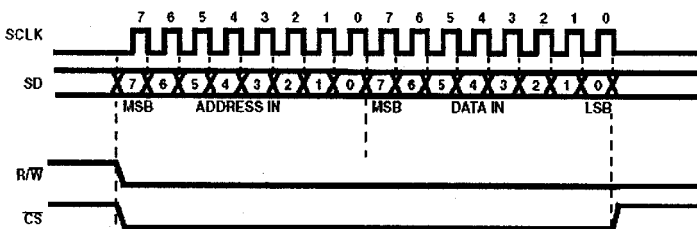


图 4.16 控制端口写数据时序图

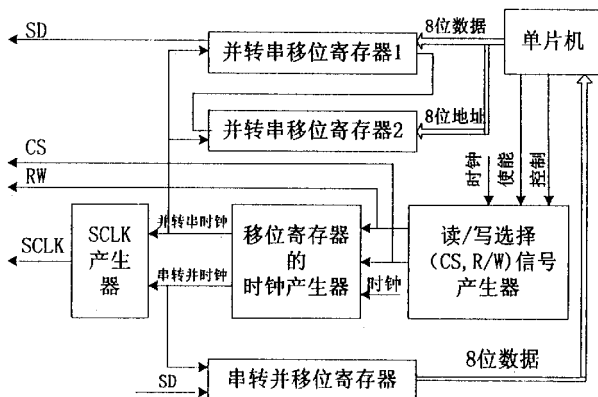


图 4.17 FPGA 产生控制端口线原理图

要想设置寄存器, FPGA 必须在单片机的控制下产生正确的 SCLK, SD, R/W, CS 信号。

图 4.17 是 FPGA 的内部电路设计简图。讲述如下:

先把两个 8 位并转串移位寄存器串接到一起,组成一个 16 位的并转串移位寄存器。读/写选择信号 CS、R/W 产生器是用 VHDL 语言编写的模块,它有一个使能端,连到单片机的某个管脚,如果使能有效,就会产生正确的输出,还有一个控制端,用来选择读还是写寄存器的 CS、R/W 时序。移位寄存器的时钟产生器有两个输出,一个为并转串移位寄存器的,另一个为串转并移位寄存器的,受 CS、R/W 的控制。仅当 CS、R/W 为 00 时,输出并转串移位寄存器的时钟,也就是写地址和数据的时钟;仅当 CS、R/W 为 01 时,输出串转并移位寄存器的时钟,也就是读数据的时钟。SCLK 是并转串时钟和串转并时钟的逻辑组合,输出正确的读/写寄存器所需的时钟。

每个寄存器对单片机来说都相当于外部存储器,有相应的地址,单片机通过 MOV 命令将某个寄存器的地址存到并转串移位寄存器 1,将要写入的数据存到并转串移位寄存器 2。

然后,单片机令 CS、R/W 产生器的使能端有效,开始产生 CS、R/W,当然,移位寄存器时钟产生器和 SCLK 产生器也开始工作,同时,产生的并转串时钟开始作用于两个 8 位并转串移位寄存器,由并转串移位寄存器 1 的串行输出管脚输出正确的 SD 信号。

这就是写寄存器的过程。读寄存器的过程与之类似,只是单片机控制 CS、R/W 产生模块不同而已。

#### 4.3.4.2 设置 HFA3861B 发送端口

发送端口用来串行输入来自外部数据源等待发送出去的数据。它涉及到四条线,它们是:TXCLK,TX\_PE,TXD,TX\_RDY。其时序图如图 4.18 所示。

TXD 是待发送的、输入给 HFA3861B 的数据包。

TX\_PE 相当于该端口的使能信号,它为高电平就启动了 HFA3861B 的发送部分,HFA3861B 产生帧头作为响应,其根据是外部控制器已设置其内部相应寄存器的值,TX\_PE 的有效时间必须贯穿整个数据包的发送过程。

HFA3861B 产生帧头后就产生 TXCLK,它是 TXD 上数据的时钟,HFA3861B 选择的基带调制方式不同,其频率也不同。如图所示,利用 TXCLK

下一个上升沿将 TXD 串行键入 HFA3861B, 随后进行调制、发送等操作。

TX\_RDY 是 HFA3861B 产生的握手信号, 它出现上升沿对外部控制器表示内部帧头已经产生完毕, 芯片准备接收数据; 下降沿表示待发送的数据接收完毕<sup>[17]</sup>。

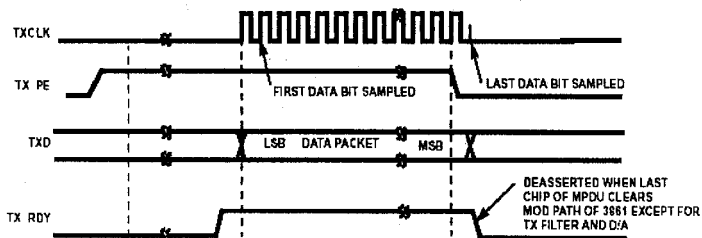


图 4.18 发送数据时序图

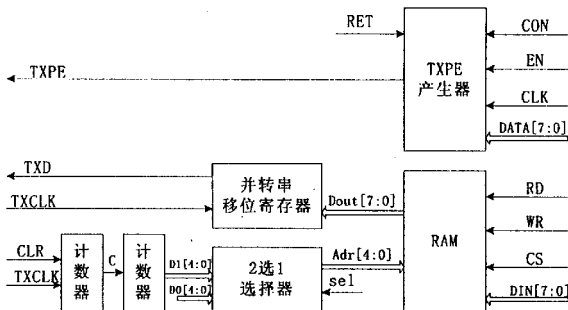


图 4.19 FPGA 产生发送端口线原理图

如何产生正确的 TXPE 是很关键的部分。图 4.19 是 FPGA 内部实现 HFA3861B 发送端口的电路图。

讲述如下:

TXPE 产生器主要是 VHDL 语言编写的模块, 其它部分是原理图。有 5 个输入一个输出。其中, 复位信号 (RET) 由单片机控制, 使 TXPE 初始为 0; 时钟 (CLK) 连接 HFA3861B 产生的 TXCLK; 数据进制转换控制端 (CON), 由单片机产生, 当数据线上出现的数据是所发数据包的长度就转换为十进制; 数据线 (DATA[7:0]) 连到单片机的 P0 口; 使能信号 (EN), 为 1 时有效, TXPE

为 1, 为 0 时, 在 TXCLK 时钟的作用下内部计数器开始计数, 计到所发数据的长度值, TXPE 就为 0 无效。

对单片机来说, 相当于外部数据寄存器, 只有转换控制端有效, 输入端 DATA[7:0]出现的数据才是所需的。

FPGA 内部用 VHDL 语言编了一个容量为  $32 \times 8$  的 RAM, 是单片机的外部数据存储单元, 5 个输入, 1 输出。RD 选择读操作; WR 选择写操作; CS 片选; Din[7:0]是 8 位数据输入线; Dout 是 8 位数据输出线; Adr 是 5 位地址输入线。当 CS, WR 同时有效, 就可以对 RAM 进行写操作。当 CS, RD 同时有效, 就可以对 RAM 进行读操作。

首先, 单片机执行 MOV 操作, 将从计算机接收到的数据写入 RAM 中, 其地址线为单片机 P0 口的低 5 位 (数据选择器的输出)。

然后, 单片机令 TXPE 产生器的使能端有效, TXPE 升高, 启动 HFA3861B 发送部分, 内部产生物理层帧头, 随后输出 1M 的时钟 TXCLK。这时, 开始对 RAM 进行读操作, 地址线变为计数器 2 的输出, RAM 输出端 Dout[7:0]为并/串移位寄存器的输入。

TXCLK 的第一个下降沿使计数器 1 的进位输出为产生下降沿, 并/串移位寄存器的 Load 端有效, 同时, 移位寄存器的串行输出端 TXD 在 TXCLK 的第一个上升沿的触发动作下输出数据包的 LSB。第二个上升沿将 TXD 上的数据键入 HFA3861B 内。8 个 TXCLK 下降沿过后, 计数器 2 加 1, 输出变为 00001, 就是选择了 RAM 中 00001 地址的单元, 同理, 并转串移位寄存器输出接下来的 8 位数据, 依此类推。

这就是对 HFA3861B 发送端口的处理过程。

#### 4.3.4.4 设置 HFA3861B 接收端口

该端口串行输出解调后的数据。它涉及到四条线, 它们是指: RXCLK, RX\_PE, MD\_RDY, RXD, 其时序图如下:



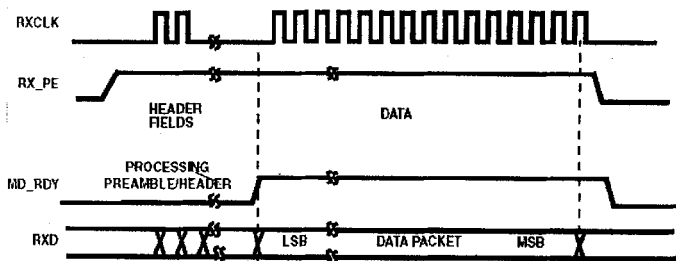


图 4.20 接收数据时序图

RXD 上面的数据流是解调后由 HFA3861B 输出的数据以及帧头中的某些域；

RX\_PE 相当于该端口的使能信号，它为 1 就启动了 HFA3861B 的接收部分，HFA3861B 以处理数据包的帧头作为响应，TX\_PE 的有效时间必须贯穿整个数据包的接收过程；

RXCLK 是 HFA3861B 输出的时钟，它不仅键出数据，还键出帧头中的某些域，有信号域，服务域，长度域。其频率与 HFA3861B 的调制方式有关；

MD\_RDY 是 HFA3861B 输出的握手信号，它的开始有效时刻是通过某个寄存器来设置的，其无效时刻开始在 RX\_PE 之后或发现错误后<sup>[17]</sup>。

图 4.21 是 FPGA 内部实现 HFA3861B 接收端口的电路图：

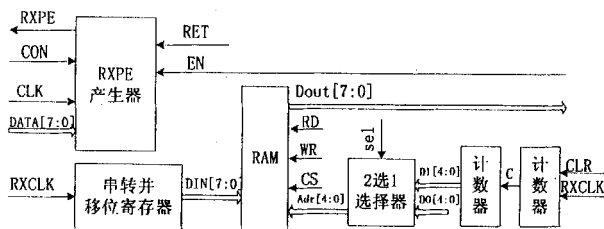


图 4.21 FPGA 产生接收端口线原理图

图 4.22 为 IEEE802.11 数据包帧头示意图，也就是 HFA3861B 接收到的数据，即从接收端口串行输出的数据：

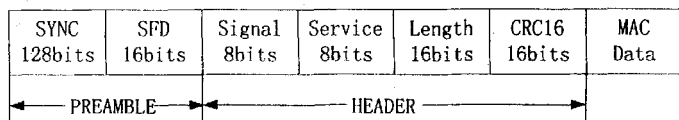


图 4.22 IEEE802.11 帧头示意图

RXPE 产生器有 5 个输入, 1 个输出。时钟 (CLK) 是 MDRDY 和 RCLK 的与逻辑; 数据进制转换控制端 (CON) 接 MDRDY, 上升沿有效; 复位端 (RET) 由单片机控制, 使 RXPE 初始为 0; 数据输入端 (DATA[7:0]) 是 HFA3861B 产生的 RXCLK 键出的串行数据在图 4.1.5.5.7 中串转并移位寄存器的并行输出; 使能端 (EN) 由单片机控制, 有效时, RXPE 为 1, 无效时, RXPE 内部计数器在 CLK 下降沿的作用下开始计数, 直到一个数据包接收完毕, RXPE 变为 0。

由图 4.20 可以看到, RXCLK 在 MDRDY 为 0 期间键出整个数据包的信号域、服务域和长度域, 当 MDRDY 为上升沿时, 数据输入端 (DATA[7:0]) 上的数据正好是长度域, 随即转换为十进制数。

#### 4.4 本章小结

本章是全文的重点, 即方案的详细设计及实现方案。从整体电路实现到每一部分的设计都有详细讲述, 即计算机用户端到系统控制部分, 再到射频、中频、基带的信号处理过程等。对其中所应用的技术和工具, 如: VC++、RS-232、单片机、FPGA 都进行了详细叙述, 其中用 VC++、汇编语言及 VHDL 语言编写的程序也有具体分析。

## 第 5 章 系统的调试与实验结论

### 5.1 调试环境

由于所设计的扩频通信机是半双工的，所以实验中使用了两块相同的电路板，一块负责发送数据，连接到计算机的 COM1 九针串口，另一块负责接收，连接到同一台计算机的 COM2 口。实验中，系统没用天线，而是将两块板子的射频终端用电缆相接。

图 5.1 是整个系统调试环境简图：

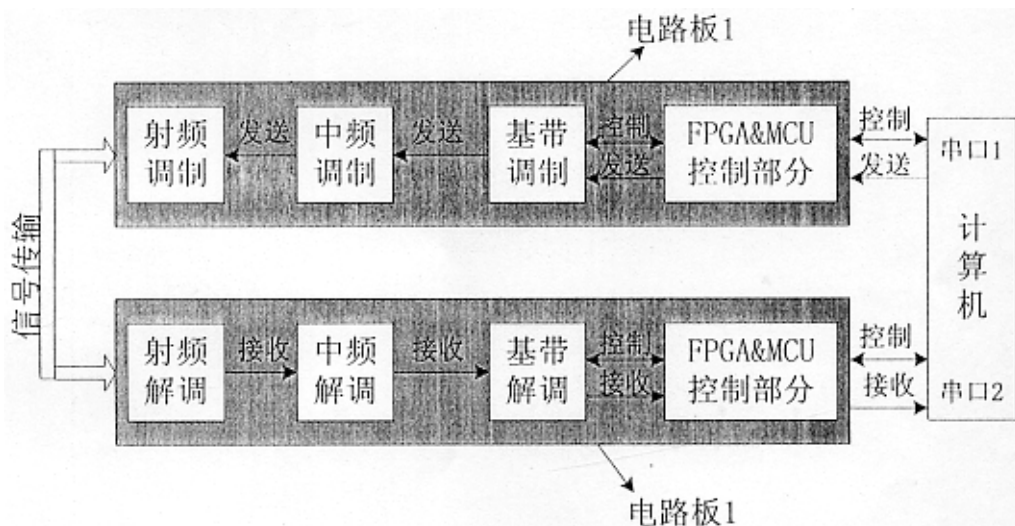


图 5.1 系统调试环境简图

通过 Windows 环境下串口通信程序，设置串口 COM1、COM2 的波特率为 9600Kbps，串行传输信息帧为 8 位数据，1 位起始位，还有 1 位停止位。与单片机的串行通信口的工作模式 1 的通信协议一致。

发送数据串设置为“\$\$, 04, 01, 02, 03, 04”，其中\$\$是计算机发送留待单片机识别的指定代码，04 是所发信息的帧数，后面的 1, 2, 3, 4 为所发信息。经过发送电路板的一系列处理（在前面已有叙述，这里不再累述），以及接收电路板的反变换，在计算机的 Windows 串口通信界面上就会显示 1, 2, 3, 4，证明所设计的电路板能够实现正确的发送和接收。

## 5.2 调试结果

### 5.2.1 最终结果显示

图 5.2 为计算机 windows 界面显示的最终结果，左边的是发送界面，右边的为接收界面，com1 为发送串口，所发送信息为：\$\$45678，每隔 10s 发送一次，\$\$是计算机发给单片机的指定代码，4 为所发信息的帧长。每隔 10s 就会在接收界面上显示所发信息：5678。由此证明所设计的系统能正确的实现发送和接收的功能。



图 5.2 最终结果显示

### 5.2.2 串口处所测数据

串口处的数据用逻辑分析仪来测。实验时，发送的信息是“\$\$0401020304”，转换为二进制数据串就是：00110110 00110110 00000100 00000001 00000010 00000011 00000100，图 5.3 中  $\text{sec/div}=1\text{ms}$ ，而图 5.4 中  $\text{sec/div}=104\mu\text{s}$ ，串口的波特率为 9600Kbps，所以图 5.4 中的 DATA2 表示的二进制数据就是：0001001001，0001001001，0001000001，0100000001，0010000001，0110000001，0001000001，可见串口发送是低位在前，每帧数据 0 为起始位，1 为停止位。单片机的串行通信模式 1 也是 0 为起始位，1 为停止位，低位在前，这样二者才能正确通信。



图 5.3 串口处所测数据 1



图 5.4 串口处所测数据 2

### 5.2.3 控制部分所测数据

图 5.5 为设置寄存器 CR1 的时序图，寄存器 CR1 的地址 04h，要写入的数据 48h，设置其它寄存器的时序图与其类似，只是地址和写入的数据不同，在这里就不赘述了。CS，RW 都是低电平有效时，SD 上的数据在 SCLK 的上升沿作用下写入指定的寄存器，如图 5.5 所示，SCLK 的上升沿对应的 SD 为：0000010，01001000。完全正确。

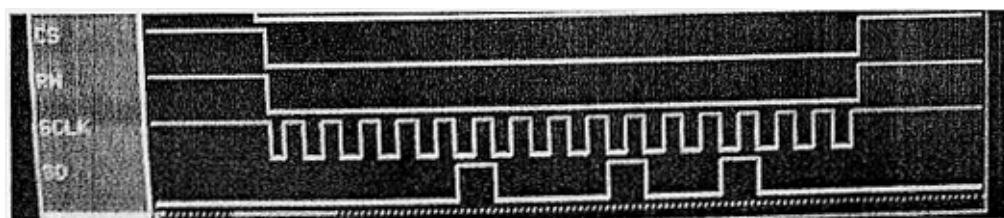


图 5.5 写寄存器时序图

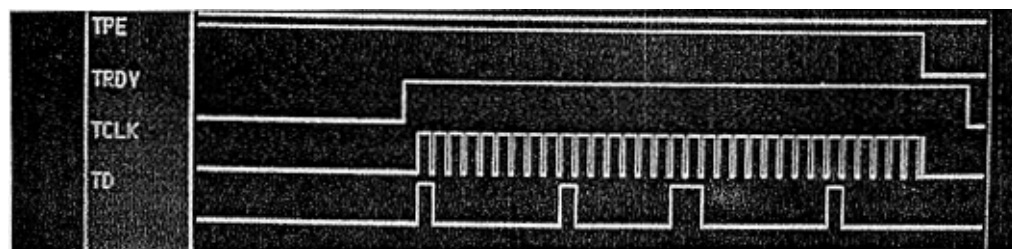


图 5.6 发送端口时序图

图 5.6 是用逻辑分析仪所测 HFA3861B 发送数据端口 (TXPORT) 的时序。

TPE 为高电平有效, HFA3861B 处于接收数据的状态, HFA3861B 内部寄存器设置正确, 内部开始产生物理层同步码和包头, 而后, TRDY 变高, 开始产生 1Mhz 的 TCLK 作为接收数据的时钟, 第二个上升沿开始对应的 TXD 上的数据是: 10000000, 01000000, 11000000, 00100000, 可见, HFA3861B 接收数据是低位在前, 当要发送的 32bits 数据接收完毕, TPE 变低无效, TRDY 也变为低电平。

#### 5.2.4 中频信号的频谱

图 5.7 是用频谱仪所测中频信号的频谱, 中心频率为 300MHz, 主瓣宽度为 21.5MHz。

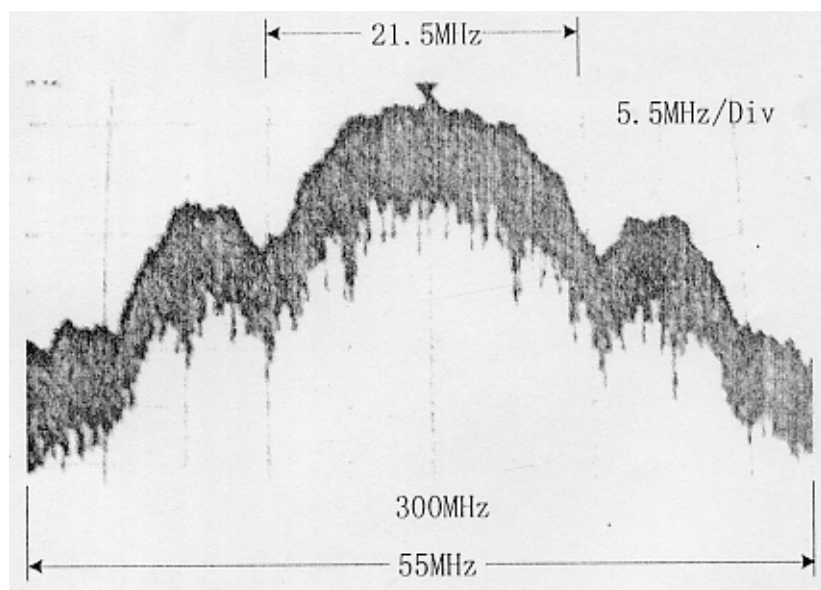


图 5.7 中频信号频谱图

如图 5.1 所示系统调试环境, 数字信号从计算机串口经单片机, FPGA 进入基带调制部分, 加物理层帧头, 扰码, DBPSK 调制, 传输速率为 1Mbps, 经直序扩频, 扩频码为 11Mcps 的 11 位 barker 码所测信号频谱由于外加噪声, 以及伪码的伪随机性, 波形与理论上的有所差异。

### 5.3 调试过程中遇到的问题及解决

在调试扩频通信机两块电路板期间，遇到了一些问题，解决如下：

1、开始调试单片机程序时，用仿真器观察 SBUF 中收到的一直是发送数据串的第一个字节，这是因为仿真器单步/连续单步工作的速度相对于串口传输的 9600kbps 来说都是很慢的，所以看到的 SBUF 中的数据一直不变，用全速运行进行仿真才可以。

2、调试 FPGA，加载程序的时候遇到的问题：在 device PROGRAMING 打开后，一定要出现上面 JTAG、PROM、FPGA 构成的环路 (CHAIN)。先用 JTAG 把程序下载到 prom 中，再加电，FPGA 主动取 prom 中的数据。如果 FPGA 中已经有数据，另外加载程序时，(修改程序，重新加载)，device programming 不能自动找到环路了，(由于所选芯片的缘故)，也就不能下载了。解决办法是将 FPGA 的 /program 管脚接地，形成环路，擦除 prom 中的程序，再将 /PROGRAM 悬空，重新加载，再断电，上电，FPGA 就存入新的程序了。对于 XC4010EPG191 这个芯片的 ISP 编程，必须保证 prom，FPGA 都是空的，才能找到下载环路。正在运行程序时，如果把 FPGA 的 /PROGRAM 接地，FPGA 的内部程序也会被改变。

3、FPGA 的内部构造决定了同一个程序，不同次加载到 FPGA 中，产生的延时不一样，由于用了大量的组合电路，很容易产生毛刺，存在不稳定的因素。用 VHDL 语言代替组合电路可以在一定程度上解决这个问题。组合电路的优点是框架明显，容易调试，容易发现问题；VHDL 语言输入的优点是比较稳定，适合大规模的 FPGA 开发。所以本设计中整体采用原理图输入法，用 VHDL 语言编写其中的部分模块。

### 5.4 设计中需要改进的地方

没有做天线部分，只是将两块发送和接收的板子用电缆接到一起，实现收发过程。

一些滤波器、稳压器等用在 HFA3683A、HFA3783 处的外围芯片(专用)买不到，所以中频，射频部分的性能不是很好。

没有应用系统中基带、中频、射频部分的自动增益控制 (AGC) 功能。

## 5.5 本章小结

本章分析了系统调试的结果，讲述了调试过程中所遇到的问题及解决方法。分析了系统存在的不足，有待改进的地方。



## 结 论

本文讲述了基于 IEEE802.11 标准的无线局域网的构成及体系结构, 特点, 关键技术等, 介绍了 WLAN 的关键部件—网卡的设计方案, 详细设计实现了网卡的物理层通信机部分, 基于直接序列扩频技术。

本设计中软件设计部分主要是解决 IEEE802.11 标准 WLAN 的关键技术、对系统某些指标进行设置, 实现性能的灵活性; 信息从低速到高速的传输转换; 控制信息与数据信息的暂时存储; 计算机用户与系统之间的通信协议的转换等。

硬件部分主要是对发送的信息进行扰码, DBPSK/DQPSK 调制, 扩频, D/A 转换, 中频调制, 射频调制等, 再经过解调, A/D 转换, 解扩, 解扰, 解包等一系列反变化到达接收端, 完成用户间的信息交换, 传输速率为 1M/2Mbps。系统基本符合 IEEE802.11 标准, 保密性很强, 而且性能灵活、可靠。

通过这一年多的毕业设计, 在真正的工作环境中积累了工作经验, 锻炼了动手能力, 积累了一定的工程实践经验。在完成课题(系统调试)的基础上加深了理论知识的学习。把理论与实践结合起来, 更深一层了解无线通信, 局域网, 扩频技术, 多址通信协议, 局域网协议等。从基带到中频到射频都做了, 学到了很多以前没有接触过的或没有实际应用过的东西, 如: IEEE802.11 标准, FPGA, 单片机, VC++, RPOTEL 等。基本具备了硬件设计调试的思路。

当然, 研究中也存在不足的地方, MAC 层协议的实现有待完成。

## 参考文献

- [1] 张公忠, 陈锦章著. 当代组网技术. 清华大学出版社, 2000:14-37 页
- [2] 李棠之等著. 通信网络技术. 北京: 科学技术文献出版社, 2000:185-202 页, 284-330 页
- [3] Ramjee Prasad 著. Cdma For Wireless Personal Communications. Boston. London: Artech House Publisher 1996:15-36 页
- [4] 查光明, 熊贤祚著. 扩频通信. 西安电子科技大学出版社, 1999:1-18 页
- [5] 戚文芽. 程时昕. 无线局域网的现状与发展趋势. 电信科学. Vol.12 No.9 Sep/1996.
- [6] 文光斌. 无线局域网的发展趋势及应用. 互联网世界. 2001 年第 5 期.
- [7] 郭峰, 曾兴雯等著. 无线局域网. 电子工业出版社, 1997:7-17 页, 43-60 页
- [8] Jim Geier 著, 王群等译. 无线局域网. 人民邮电出版社, 2001:59-82 页, 87-126 页
- [9] LAN/MAN Standard Committee of the IEEE Computer Society sponse. Part11: Wireless LAN Medium Access Control (MAC) and Physical Lay (PHY) Specifications.
- [10] 刘元安等著. 宽带无线接入和无线局域网. 北京: 北京邮电大学出版社, 2000:36-46 页
- [11] Miquel Oliver, Ana Escudero, Joan Borràs. Performance of the CSMA/CA IEEE 802.11 Protocol for Different Physical Layer Implementations
- [12] Miquel Oliver, Ana Escudero. Study of different CSMA/CA IEEE 802.11-based implementations. EUNICE 1999 Contribution
- [13] 李津生, 洪佩林著. 下一代 Internet 的网络技术. 人民邮电出版社, 2001:41-55 页
- [14] Intersil. Data Sheet. HFA3983. November 2001. File Number 4635.4
- [15] Intersil. Data Sheet. HFA3683A. September 2000. File Number 4634.6

- [16]Intersil. Data Sheet. HFA3783. September 2001. File Number 4633.4
- [17]Intersil. Data Sheet. HFA3861B. November 2001. File Number 4816.1
- [18]Intersil. Data Sheet. HFA3841. January 2000. File Number 4661.2
- [19]田学锋, 周予滨著. 计算机通信与 RS-232 接口实用指南. 电子工业出版社, 1995:18-31 页
- [20]刘艳玲. 采用 MAX232 实现 MCS-51 单片机与 PC 机的通信. 天津理工学院学报. 1996 年 6 月第 15 卷第 2 期
- [21]孙涵芳, 徐爱卿著. MCS-51/96 系列单片机原理及应用. 北京:北京航空航天大学出版社, 1999:34-44 页
- [22]林卫星. 基于 89C52 单片机多功能应用系统. 工业控制计算机. 2002 年 15 卷第 2 期
- [23]XILINX. XC4000E and XC4000X Series Field Programmable Gate Arrays.
- [24]吴江枫, 吴启迪. 采用 FPGA 技术设计数字控制电路. 航空电子技术. 1995 年第 1 期 (总 78 期)
- [25]张昌凡, 龙永红等著. 可编程逻辑器件及 VHDL 设计技术. 华南理工大学出版社, 2001:19-75 页
- [26]王放. 现场可编程器件 FPGA 的原理及应用. 兵工自动化. 1996 年第 1 期
- [27]阎石著. 数字电子技术基础. 高等教育出版社, 1995:432-439 页
- [28]贾惠波, 王重阳. FPGA 的配置. 测控技术. 1996 年第 15 卷第 2 期
- [29]XILINX. XC18V00 Series of In-System Programmable Configuration PROMS. DS026(v2.2)April 4, 2000
- [30]曹洪伟, 李红霞. 先进的 ISP 技术. 计算机与通信技术
- [31]李卓, 陈小殿. Windows 环境下的串口异步通信程序设计. 电子技术应用. 1997 年第 2 期
- [32]陈曙光. 利用通信控件开发 Windows 环境下的串口通信程序. 淮北煤师院学报. 2000 年 3 月第 21 卷第 1 期

## 攻读硕士学位期间发表的论文和取得的科研成果

- [1] 尹桂杰,赵春晖.扩频通信芯片-HFA3861B 的应用.应用科技.(已录用)
- [2] 尹桂杰,卢建川.无线局域网综述.电讯技术.2002,4(2)

## 致 谢

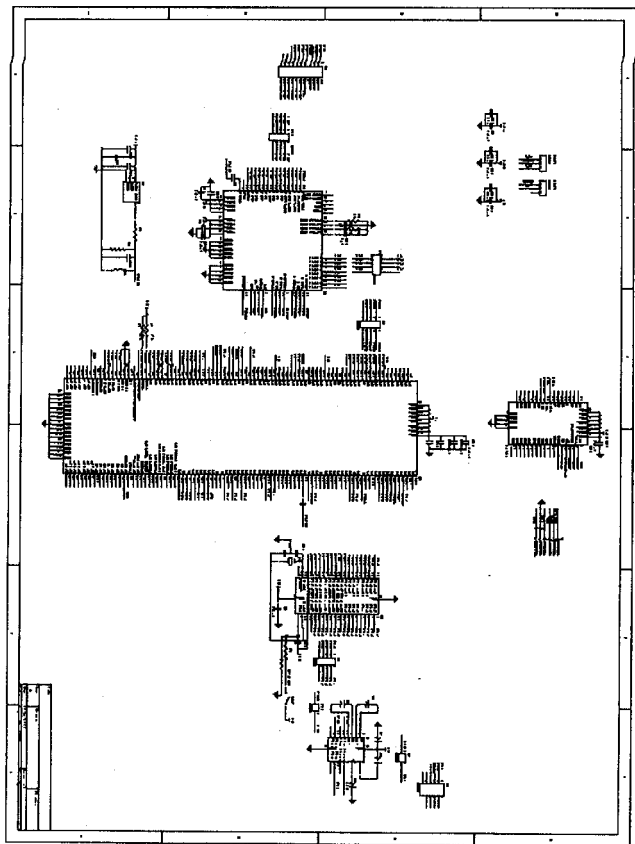
在本课题的研制和论文的撰写过程中,得到哈尔滨工程大学赵春晖教授和中国电子科技集团公司第十研究所卢建川副总的大力帮助和悉心指导,他们渊博的知识和严谨的治学态度以及丰富的实践经验都给作者留下了深刻的印象,值得作者永远学习,在此,作者向他们致以深深的敬意和诚挚的感谢!

同时,在做课题期间,电子十所 101 事业部总体二组的全体老师和同事都给予作者极大的关心和支持,正是他们的谆谆教诲和毫无保留的友谊使作者得以顺利完成硕士阶段的工作,和他们相处是愉快的,也让作者受益匪浅。他们是罗通俊研究员、霍元杰高工、花江高工、袁苑高工、邱智高工、熊健工程师、校莉工程师等,作者一并对他们表示最衷心的感谢!

另外,哈尔滨工程大学 808 教研室的所有老师以及电子十所 101 部办公室领导和所有老师也都给予作者大力的支持和帮助,在此,向他们表示真诚的感谢!

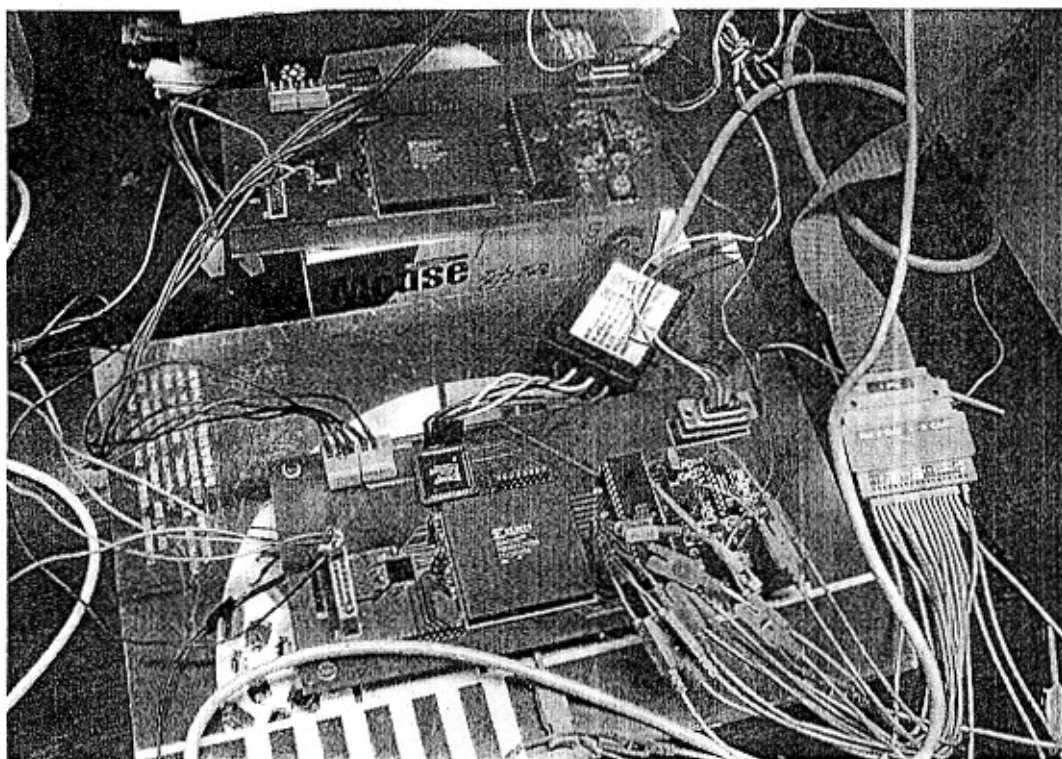
## 附录 A

电路板原理图



## 附录 B

### 电路板实物图



## 附录 C

### 缩略语

|         |                                     |
|---------|-------------------------------------|
| WLAN    | Wireless Local Area Network         |
| MAC     | Medium Access Control               |
| FPGA    | Field Programmable Gate Array       |
| PHY     | Physical (Layer)                    |
| DSSS    | Direct Sequence Spread Spectrum     |
| I/Q     | In-phase and Quadrature             |
| OSI     | Open System Interconnection         |
| LLC     | Logical Link Control                |
| TDMA    | Time Division Multiple Access       |
| FDMA    | Frequency Division Multiple Access  |
| CSMA    | Carrier Sense Multiple Access       |
| CSMA/CA | CSMA/Collision Avoidance            |
| ACK     | Acknowledgment                      |
| CDMA    | Code Division Multiple Access       |
| TH      | Time Hopping                        |
| FH      | Frequency Hopping                   |
| VCO     | Voltage Control Oscillator          |
| FCC     | Federal Communications Committee    |
| ISM     | Industrial, Scientific, and Medical |
| NIC     | Network Interface Card              |
| BSS     | Basic Service Set                   |
| DS      | Distribution System                 |
| AP      | Access Point                        |
| ESS     | Extended Service Set                |
| DSS     | Distribution System Service         |
| STA     | Station                             |



---

|       |  |
|-------|--|
| SS    | Station Service                            |
| MSDU  | MAC Service Data Unit                      |
| IR    | Infrared                                   |
| CRC   | Cyclic Redundancy Code                     |
| DBPSK | Differential Binary Phase Shift Keying     |
| DQPSK | Differential Quadrature Phase Shift Keying |
| PCF   | Point Coordination Function                |
| DCF   | Distributed Coordination Function          |
| RTS   | Request To Send                            |
| CTS   | Clear To Send                              |
| PLCP  | Physical Layer Management Entity           |
| PPDU  | PLCP Protocol Data Unit                    |
| FCS   | Frame Check Sequence                       |
| WEP   | Wired Equivalent Privacy                   |
| IFS   | Interframe Space                           |
| NAV   | Network Allocation Vector                  |
| CCA   | Clear Channel Assessment                   |
| LNA   | Low Noise Amplifier                        |
| PLL   | Phase Locked Loop                          |
| CCK   | Code Complementary Keying                  |
| SFD   | Start Frame Delimiter                      |
| SYNC  | Synchronization                            |
| ASIC  | Application Specific Integrated Circuit    |
| CLB   | Configurable Logic Block                   |
| IR    | Interface Resource                         |
| VHDL  | Verilog Hardware Description Language      |
| LCA   | Logic Cells Array                          |
| JTAG  | Joint Test Action Group                    |
| CW    | Contention Window                          |