

摘 要

本课题的主要任务是，解决微波功率放大器由于非线性失真引起的邻信道干扰问题。本人负责该课题的数字电路系统设计、FPGA 模块编写与调试、DSP 部分代码编写与调试、以及最后的联调工作。

随着无线通信行业的发展，微波功率放大器起着越来越重要的作用。它常被用于发射机的末级，是整个系统成本最高的部分之一。为了提高功放的输出功率和利用效率，经常让功放工作在饱和状态，从而带来严重的非线性失真。晶体管老化、温度改变、信道切换、以及供电电源的改变，都会对放大器造成影响，带来更严重的非线性失真。

微波功率放大器的线性化，是解决这个问题的一种有效方法，使功率放大器在输出功率和效率达到较高的同时，具有较好的线性特性。常用的方法有前馈法（Feedforward）、反馈法（Feedback）、预失真法（Predistortion）、用非线性部件实现线性化（LINC）等。数字信号处理（DSP）技术的飞速发展，为线性化技术提供了有效手段，相应出现了自适应线性化技术。

本文研究了前人提出的各种功放线性化技术，在对功率放大器非线性特性的充分研究的基础上，综合各种线性化方法的优缺点，采用了数字自适应预失真的线性化技术，综合了数字化、自适应和预失真三方面的优点，并能互补不足，从而能很好地达到阶段性项目的要求。本文主要包括：1）算法的介绍和讨论；2）硬件系统；3）软件系统；4）联合调试。最后，本文进行了总结，并提出了今后需要进一步努力的方向。

关键词：功率放大器，线性化技术，自适应，预失真

ABSTRACT

The topic of this thesis is the linearization technology of microwave power amplifier. This paper concerns in the rejection of adjacent channel interference (ACI) in communication system due to the nonlinear distortions of the power amplifier.

With the development of wireless communication, microwave power amplifier plays the very important role. It is used in the end of transmitter, and is the most valuable part. In order to improve output power and efficiency, power amplifier always works in the saturated state, which will produce severe non-linear distortion. And the distortion is enhanced by transistor degradation, temperature changes, channel switching and power supply variations.

Linearization of microwave power amplifier can solve this problem effectively. It will get a good linearization when the performances of output power and efficiency are both good. There are some ways such as feedforward, feedback predistortion and LINC in common use. Based on development of DSP technology, the adaptive technology is developed to solve it.

This paper analyses all kinds of linearization technologies, and introduces digital adaptive predistortion technology based on researching the characters of power amplifier adequately. This paper involves three parts: 1) Introduction and analysis of algorithms. 2) Hardware system. 3) Software system. 4) Debug together. The end of this paper is conclusion from the project and gives some suggestions for later work.

Keyword: Power Amplifier, Linearization Technology, Adaptation, Predistortion

图目录

图 2-1 功率放大器饱和区状态图.....	6
图 2-2 AM-PM 曲线	9
图 2-3 AM-AM 曲线.....	9
图 2-4 直接反馈法原理图.....	11
图 2-5 间接反馈法原理图.....	11
图 2-6 前馈法原理.....	12
图 2-7 LINC 法原理图	12
图 2-8 预失真原理图.....	13
图 2-9 预失真信号.....	13
图 2-10 基带预失真原理图.....	14
图 2-11 射频预失真原理图.....	14
图 2-12 LUT 法原理图	16
图 2-13 神经网络法原理图.....	17
图 2-14 多项式法信号流.....	18
图 2-15 WCDMA 信号详细说明文档	22
图 3-1 系统框图.....	24
图 3-2 硬件电路框图.....	26
图 3-3 硬件实物图.....	27
图 3-4 DSP 初始化流程图	31
图 3-5 DSP 的 PLL 模式转换图	32
图 3-6 CLKOUT 引脚控制图	33
图 3-7 EMIF 接口电路	35
图 3-8 EMIF 异步接口	35
图 3-9 TMSVC5509A 的外部存储空间划分	36
图 3-10 MegaWizard 的使用图	44
图 3-11 FPGA 的 PLL 模块图	44
图 3-12 FPGA 的 PLL 仿真图	45
图 3-13 FIFO 模块图	45

图 3-14 FIFO 仿真图	46
图 3-15 EMIF 异步写时序图	46
图 3-16 EMFI 异步读时序图	47
图 3-17 wrreq 信号产生框图	48
图 3-18 WCDMA 信号	48
图 3-19 函数发生模块框图	49
图 3-20 函数模块仿真图	49
图 3-21 DSP 向 FPGA 返回系数调试图	50
图 3-22 A/D 到 D/A 调试图	50
图 3-23 FPGA 资源消耗图	51
图 3-24 时序报告图	51
图 4-1 Hooke-Jeeves 算法框图	52
图 4-2 计算目标函数框图	53
图 4-3 Dsplib 使用示例图	56
图 4-4 WCDMA 信号功率谱	56
图 5-1 联合调试实物图	60
图 5-2 未经过预失真的输出信号频谱	61
图 5-3 经过预失真的输出信号频谱	62

表目录

表 3-1 CLKMD 寄存器	32
表 3-2 SYSR 寄存器.....	34
表 3-3 ST3_55 寄存器.....	34
表 3-4 EGCR 寄存器.....	37
表 3-5 EMIRST 寄存器	37
表 3-6 EMIBE 寄存器	38
表 3-7 CEn1 寄存器.....	39
表 3-8 CEn2 寄存器.....	39
表 3-9 CEn3 寄存器.....	40
表 3-10 IER0	41
表 3-11 IER1	42
表 4-1 cff32-SCALE 评估代码	57
表 4-2 cff32-NOSCALE 评估代码	57

缩略表

ACI	Adjacent Channel Interface
ACPR	Adjacent Channel Power Ratio
DSP	Digital Signal Processor
FFT	Fast Fourier Transform
FPGA	Field Programmable Gate Array
IMD	Intermodulation Distortion
LINC	Linear Amplifier with Nonlinear Components
LUT	Look-Up Table
MQAM	Multiple Quadrature Amplitude Modulation
PAPR	Peak-to-Average Power Ratio
QAM	Quadrature Amplitude Modulation
UHF	Ultra High Frequency
VHF	Very High Frequency
WCDMA	Wide-band Code Division Multiple Access

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名: 唐 浩 日期: 2007 年 3 月 8 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后应遵守此规定)

签名: 唐 浩 导师签名: 唐 浩
日期: 2007 年 3 月 8 日

第一章 引言

1.1 应用背景

微波功率放大器在广播、电视以及无线通信系统中有着越来越重要的应用。在这些应用中，它常被用作发射机的末级，是电子设备功耗的主要部分，也是成本最高的部分之一。B类和C类放大器效率较高，但有严重的非线性特性。

一般说来，在2PSK和不限边带的MSK调制方式的系统中，由于通过信道的信号是恒包络调制信号，系统的主要质量指标对信道的非线性失真不敏感。为了获得高输出功率和高电源效率，微波功率放大器通常工作在饱和状态。但是，在数字微波通信和多载波传输等系统中，对信道的非线性失真均有严格的要求。

在大、中容量的数字微波通信系统中，为了扩大通信容量，提高频谱利用率，通常要采用正交调制和多电平调制技术。例如，在同步数字系列(SDH)中采用正交调幅(QAM)和多进制正交调幅(MQAM)，采用的是线性调幅信号，幅度携带信息，要求传输过程中信号波形不失真。多电平正交调幅(MQAM)阶数越高，要求非线性失真越小。采用64QAM调幅系统，要求传输通道的三阶交调失真比载波低43dB，128QAM或256QAM对调制的要求更加严格。

在多载波传输通信系统中，早期的无线基站通常是每路信道用一个放大器，利用腔体滤波器和功率合成器将几路信号合成一路，传输至天线。合路器损耗、最小频率间隔要求、和使用频率的灵活性小，是其固有缺陷。采用宽带多载波微波功率放大器，可用低功率合成信号，取代多个单信道放大器和笨重的合路器。但多载波通过具有非线性的信道将产生交调，交调产物的大部分表现为对邻近频道的干扰(ACI)，无法用滤波器滤除。并且，在同一信道通过的载波越多，交调产物也越多，对信道的非线性失真指标要求也越高。这种由于放大器非线性失真引起的频谱再生，也是个人通信中的一个重要指标，通常要求载波邻频干扰抑制比C/I大于35dB~45dB。

在第三代移动通信规范提案的概念评估过程中，宽带码分多址(WCDMA)技术以其自身的技术优势成为3G的主流技术之一。WCDMA产业化的关键技术包括射频和基带处理技术，具体包括射频、中频数字化处理，RAKE接收机、信道编解码、功率控制等关键技术和多用户检测、智能天线等增强技术。WCDMA的

信号带宽达到 5MHz。宽带信号的射频功放的线性和效率，是普遍存在的矛盾。

WCDMA 系统中，指标最苛刻、价格最高的部件是微波功率放大器。

上述系统中，放大器非线性性引起的 AM-AM 变换将引起幅度失真，使信号质量变坏，增大误码率，产生的交调产物扩展了信号频谱，对邻近信道产生干扰[1]。

微波功率放大器的线性化，是解决这类问题的一种有效的方法，它在使功率放大器输出功率和效率达到最高的同时，具有线性的特性。常用的方法有前馈法（Feedforward）、反馈法（Feedback）、预失真法（Predistortion）、用非线性部件实现线性化（LINC）等。数字信号处理（DSP）技术的飞速发展为线性化技术提供了有效手段，相应出现了自适应线性化技术[2]。

本文介绍的预失真方案，既是数字的又是自适应的。它根据输入的 WCDMA 信号的变化，产生相应的预失真，最终把放大器的非线性失真纠正过来。

1.2 研究现状

线性化技术已经有多年的历史，卫星转发器中的行波管放大器，常工作在 AB 类状态来实现高效率，但非线性失真严重，采用线性化技术以满足交调失真指标。随着蜂窝电话和其它形式的通信业务的迅速增长，和固态功率器件输出功率水平的迅速提高，对高线性度固态功率放大器的需求急剧增加。国外对此进行了广泛的研究，使功率放大器线性化技术的研究，成为当今的一个热点，已有大量的线性功放产品问世[1]。

目前在国际上，无论学术界或者工业界，对射频功率放大器的线性化研究都非常重视。近年来，美国电气电子工程师学会(IEEE)刊物每年在线性化技术方面的论文，都有一定数量的增长，2001 年刊登的直接相关的论文达几十篇。欧洲美国的各所综合性大学的相关研究所也都很重视该课题的研究，从各个方面提高功率放大器的线性度，减小整个通信系统的失真。

美国线性器技术公司（Linearizer Technology Inc.）是线性放大器专业公司，从 L、S、C、K 到 Ka 波段，均有不同功率的行波管及固态放大器产品，并可根据客户的已有放大器，提供附加线性化器。美国 Brovo Tech.公司的 TSLPA 系列固态功率放大器模块，输出功率 50W，增益 45dB~55dB 可调，传输 16 信道时，交调指标可达 -60dBc。

美国 MPT 公司推出矢量衰减器产品，使用前馈对消环路。据称，这种矢量衰减器克服了 PIN 衰减器的群延时随衰减量改变而改变。但是，它接在主通道中，

将引入衰减。美国 Stealth 微波公司的 SSB 技术分部生产的固态功放系列产品, 采用预失真法改善功放线性度, 用于 MMDS、GMS/AMP、PCS 以及本地环路和无线中继系统。例如, 在 P_{LdB} 为 41dBm 的 S 波段, 改善后三阶交截点提高到 60dBm。

美国 AMPLIDYNE 公司是低噪声和高功放生产商, 其代表产品 AMP1960-100MC 用于 1930~1990MHz 宽带多载波传输。1 个模块输出功率 30W。用 4 个模块合成功率 100W, 3 阶交调 -60dBc。

美国 POWERWAVE 技术公司是低噪声和高功放生产厂商, 最近推出多载波功率放大器, 用于 CDMA、PCS 和无线蜂窝通信系统, 频段有 800 MHz、1800 MHz 和 1900MHz, 输出功率 50W~200W。其中, 200W 功放由 4 个 50W 模块合成, 采用前馈技术, 三阶交调 -70dB~-60dB。

加拿大 AMPLI 集团是低噪声放大器和功率放大器供应商, 产品频率范围 1GHz~10GHz。该集团 1994 年开始研制超线性功率放大器。由蒙特利尔大学和 NSI Inc. 合作, 已完成 L 波段和 K 波段固态放大器, 输出功率分别为 50W 和 20W。

日本三菱公司信息技术研发中心, 采用微波预失真法改善场效应管放大器的线性特性。其基本原理是: 当场效应管源极接地时, 幅度随功率增加而增加, 相位则随功率增加而减小(这正好与接近饱和输出的功率放大器相反)。利用这个特性, 三菱公司使工作频率为 7GHz, 饱和输出功率为 50W 的功放, 动态范围改善了 20dB, 增益回退了 3dB。

近年来, 该领域的研究逐渐引起国内学者的注意。但是, 目前只有几所重点理工科大学的相关研究实验室展开了该课题的研究, 并取得了一定的成果。无论从学术论文的发表数量, 还是相关专利的申请, 都还没有达到国际水平。

许多有实力的国内公司, 如华为、中兴等, 已投入一定人力物力进行研发, 取得了较好的成果。

1.3 可行性分析

1.3.1 理论基础和研究方法

通过数字方法产生影响预失真的多项式, 同时根据反馈信号来改进多项式, 这是功率放大器数字预失真的核心思想, 是自适应方法和预失真方法的结合。近年来, 自适应方法和预失真方法获得了高速的发展, 方法不断完善。很多用于自适应的方法, 以及用于预失真的方法, 可以被本项目借鉴。事实上, 自适应与预

失真相结合的理论 and 实践早已进行, 已有许多相关文献(后面章节有概述)。经过比较分析, 我们选择了多项式方法, 以及采用 Hooke-Jeeves 步长加速算法, 来搜索该多项式的系数。目前, 国内已有公司采用相同的理论算法, 在工程上达到了比本项目更高的指标。这成为我们选择理论算法的实例依据。

由于数字预失真技术作为一项专有技术而被各个公司保密, 具体工程实现的文献很少, 大多数文献仅仅停留在理论研究和仿真阶段。本项目要考虑实际的工程问题, 因此, 有一定难度, 我们必须提出自己的工程实现方法, 包括硬件系统和软件系统的设计和调试。

1.3.2 技术基础

该项目要求的算法复杂度大, 时间要求严格, 用单片机和通用 CPU 无法完成任务, 必须借助数字信号处理器(DSP)和现场可编程门阵列(FPGA)。近年来, DSP 和 FPGA 的性能得到了极大的改善, 相应的开发软件和开发工具也得到了发展和完善, 价格却大幅度下降, 从而为本项目的开展提供了技术基础。

1.3.3 市场前景

通信行业的迅猛发展, 无疑对高功率的线性放大器产生了很大的需求。无论是国内还是国外, 都投入了巨大的人力物力资源进行该方向的研究, 数字自适应预失真方法, 由于可操作性强, 实现成本低, 并且结合了数字技术、自适应技术和预失真技术的优点, 已经成为功率放大器线性化技术的主要选择。可以预言, 在中国 3G 标准即将推出之际, 高功率的线性放大器的市场需求会越来越大。

1.4 本文工作

本课题是 140 教研室与中国电子科技集团公司第 29 研究所的项目, 其主要任务是解决微波功率放大器的非线性失真问题。具体地说, 就是要解决 WCDMA 信号放大过程中, 由于微波功率放大器的非线性失真引起的邻信道干扰问题。

在课题开展过程中, 本人阅读了大量有关功率放大器线性化方面的文献资料, 重点研究了微波功率放大器的非线性特性, 以及几种常用的改善其非线性特性的方法, 比较其优缺点。根据该项目的技术要求, 在指导老师的悉心指导下, 拟定本课题采用的技术路线及实施方案。本文工作的特色和创新之处是:

- 1) 将通常用模拟电路设计实现的预失真, 改为由数字电路实现, 能有效地抗干扰, 并能保证速度和精度。
- 2) 综合了自适应和预失真两种方法, 有效利用了两者的优点。
- 3) 硬件系统设计中, 合理选择器件, 合理分配了各个器件担当的工作, 满足了体积、功耗等各项指标。

项目开初, 由作者加入, 直到项目结束, 先后有 6 名研究生参与该项目。作者主要完成选择和对比各种器件, 完成了硬件电路的设计和调试。保证了质量并节约了成本。然后, 完成了 FPGA 的代码和 DSP 部分代码工作。在综合各种自适应算法的基础上, 寻找到了的一种有效的自适应预失真方法, 实验结果验证了其有效性和稳定性。

1.5 本文结构

本文组织如下: 第一章为引言, 介绍项目背景和本文的主要内容; 第二章介绍本文方案所涉及算法与理论, 包括各种线性化方法的概述和数字自适应预失真的详细描述; 第三章介绍本项目的硬件方案, 即以 DSP 和 FPGA 为核心的数字预失真的硬件平台, 包括 DSP 的外设代码和 FPGA 的各个模块; 第四章重点介绍项目的软件部分, 算法的代码以及代码优化; 第五章提供联合调试的结果, 分析了其中的不足并提出了相应的改进措施; 最后是总结。

第二章 相关理论和算法

2.1 功率放大器的主要指标

2.1.1 输出功率

当功率放大器的输入功率增大到一定值后，再加大输入功率并不会改变输出功率，此时，该输出功率为放大器的饱和输出功率，用 P_{sat} 表示。

与理想的输出功率相差 1dB 的输出功率称为 1dB 压缩点输出功率 P_{1dB} ，当输出功率超过该点，放大器将迅速进入饱和工作区，如图 2-1 所示[3]。

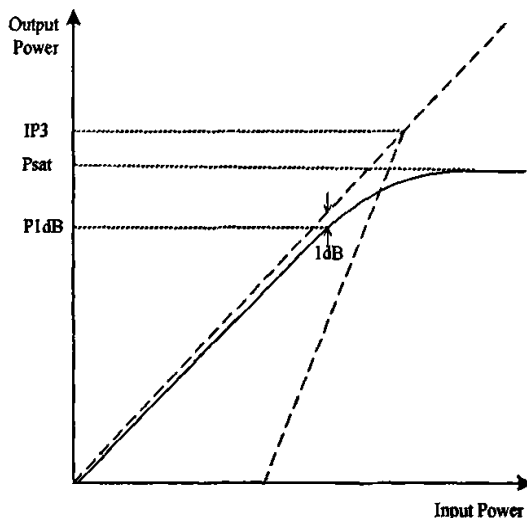


图 2-1 功率放大器饱和区状态图

为了获得较高的功率效率，功率放大器通常工作在饱和点附近，此处将产生严重的非线性失真[4]。

2.1.2 功率效率和功率附加效率

功率放大器的功率效率，是指功率放大器的射频输出功率，与供给晶体管的直流功率之比：

$$\eta_p = P_{RFO} / P_{DC} \quad (2-1)$$

其中, η_p 为功率效率, P_{RFO} 为射频输出功率, P_{DC} 为直流输入功率。但是这种定义没有考虑晶体管的放大能力, 所以用功率附加效率来表征一个晶体管的放大射频的能力:

$$\eta_{ad} = (P_{RFO} - P_{RFI}) / P_{DC} \quad (2-2)$$

其中, P_{RFI} 代表射频输入功率, η_{ad} 表征晶体管把直流功率转换成射频功率的能力。

2.1.3 工作频带

工作频带通常是指放大器满足其全部性能指标的连续工作频率范围。放大器的实际工作频率, 可能会超出定义的工作频率范围。

2.1.4 交调失真

交调失真, 是具有不同频率的两个或多个输入信号, 通过功率放大器而产生的混合分量, 由功率放大器的非线性失真引起。设有 K 路输入信号, 其频率分别为 f_1, f_2, \dots, f_k 。通过功率放大器后, 由于功率放大器的非线性失真, 输出分量中将包含许多混合分量:

$$mf_1 \pm nf_2 \pm \dots \pm pf_k \quad m, n, \dots, p = 0, 1, 2, \dots \quad (2-3)$$

各分量分别称为 $m+n+\dots+p$ 阶交调分量。功率放大器的非线性越强, 交调分量越大。交调分量的大小, 可以用交调系数表示: 假设有 k 路等幅信号, $m+p$ 阶交调系数可以表示为:

$$IM_{m+p} = 10 \log \left(\frac{P_{m+p}}{P_1} \right) = 10 \log \left(\frac{P_{m+p}}{P_2} \right) = \dots = 10 \log \left(\frac{P_{m+p}}{P_k} \right) \quad (2-4)$$

式 2-4 中, P_1, P_2, \dots, P_k 分别表示基波功率, P_{m+p} 为 $m+p$ 阶交调功率, IM_{m+p} 的单位为 dBc。若输入放大器的是等幅信号, 在上面的各阶分量中, 频率为 $2f_i - f_{i+1}$ 或 $2f_{i+1} - f_i$ 的分量, 与基波 f_i 或 f_{i+1} 分量之比, 称为三阶交调系数 IM_3 。

2.1.5 调幅-调相(AM-PM)和调幅-调幅(AM-AM)

对单载波而言, 由于传输信道的非线性, 使信道增益压缩, 产生谐波, 谐波的幅度和相位, 与输入信号的幅度有关, 使放大器的增益与输入信号的幅度有关, 从而使输出信号的相位和幅度, 随输入信号的幅度变化而变化。AM-PM 定义为,

输出信号的相位与输入信号的幅度变化之比; AM-AM 定义, 为输出信号的幅度变化与输入信号的幅度变化之比。为了衡量相位失真的大小, 引入 AM-PM 转换系数 K_p , 定义如下:

$$K_p = \frac{180}{\pi} \frac{d\theta}{d(10\lg P_{in})} (^\circ/dB) \quad (2-5)$$

其中, $^\circ$ 是输出信号相移单位, P_{in} 是输入功率, 单位为 mW。

AM-PM 是增益压缩的直接表现, 增益压缩越厉害, AM-PM 就越强。功放进入饱和区后, AM-PM 效应将非常严重。

2.2 功率放大器的特点及分类

按照在信号一个周期内晶体管的导通情况, 功放可以分为 A、B、C 三类。若在信号的一个周期内, 晶体管均导通, 则称为 A 类功放(导通角为 360°), 该类功放的最大缺点是效率低, 当输入信号为零时, 负载和晶体管都要消耗直流功率。若在信号的一个周期内, 有一半的时间导通, 则称为 B 类功放(导通角为 180°), 此类功放效率高于 A 类功放, 但非线性失真却比 A 类功放大。导通时间介于 A 类和 B 类功放之间的, 称为 AB 类功放, 它的效率和非线性失真也介于两者之间。导通时间小于半个周期的, 称为 C 类放大器(导通角小于 180°), 主要用于射频载波信号的放大[5]。

2.3 功率放大器的线性特性的描述方法

在微波功率放大器的诸多技术参数中, 有两个是最重要的, 一个是输出功率, 另一个是非线性失真特性。

一个理想的线性功放, 其输出输入响应呈现线性关系, 即输出应该是输入的线性函数。实际的功放呈现一种非线性关系, 即产生非线性失真。非线性失真有不同的描述方法, 常用的有 1) 1dB 压缩点, 2) 三阶交调系数(IM_3), 3) 调幅-调相(AM-PM)转换以及调幅-调幅(AM-AM)转换等。这些指标可以根据需要, 单独或同时描述微波功放的非线性失真特性。

1dB 压缩点和三阶交调的示意图如图 2-1 所示。

功率放大器的调幅-调相(AM-PM)转换和调幅-调幅(AM-AM)转换的原理及特性, 在本章的 2.1.5 中已经作了叙述。下面给出的是一个典型的 AB 类功率放大器

的 AM-PM 特性曲线及 AM-AM 特性曲线。图 2-2 为 AM-PM 曲线, 图 2-3 为 AM-AM 曲线[6]。

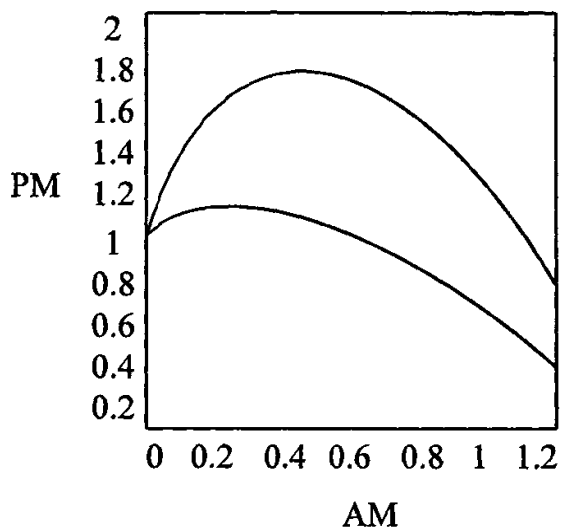


图 2-2 AM-PM 曲线

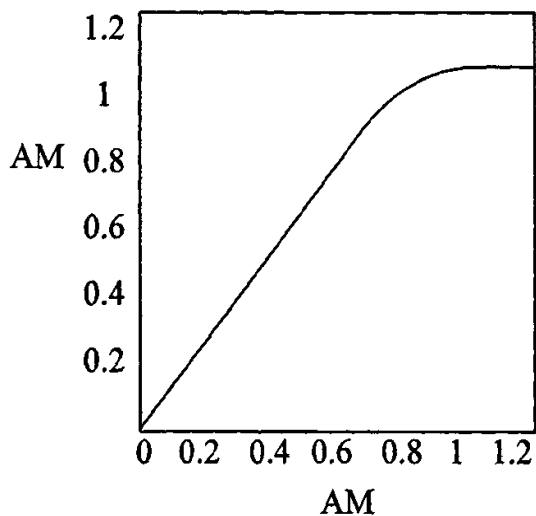


图 2-3 AM-AM 曲线

2.4 功率放大器的线性化方法

功率放大器的线性化方法有许多种, 综合起来, 通常可以分为功率回退法

(Back-Off)、负反馈法(Feedback)[7][8]、前馈法(Feedforward)[9][10]、非线性器件法(LINC)[11][12]、预失真法(Predistortion)[13][14][15]、以及自适应与预失真相结合的方法等。其中, 自适应预失真法是本文所涉及的主要方法。

2.4.1 功率回退法

功率回退法就是限制功率管的实际输出功率。输入功率在 1dB 压缩点附近, 功率每回退 1dB, 三阶交调系数将降低 2dB。例如, 一个 1dB 压缩点输出功率 10W 的功率放大器, 对应的三阶交调系数为 -20dB, 若限制输入功率, 使输出功率仅为 1W, 则三阶交调系数变为 -40dB。功率回退法是一种最简单、最可靠的线性化措施, 但它限制了功率放大器器件的实际功率。当需要高功率输出, 用单管不能达到要求的功率时, 可采用功率合成技术; 不过, 这将增加放大器的复杂性和成本。一般说来, 放大器工作在饱和或接近饱和状态时效率最高, 当要求载波交调分量比(C/I)为 35dB 时, 与饱和功率比较, 功率回退约 5.5dB; 要求 65dB 时, 功率回退 15dB, 这是一个可观的量。

2.4.2 负反馈法(Feedback)

在较低的频段, 改善微波功率放大器线性性能最常见的办法是采用负反馈。在原理上, 要实现负反馈必须使输出信号和输入信号相位完全相同, 但在微波频段, 放大器件的渡越时间与信号周期相比, 不能忽略, 使负反馈技术难于直接应用。此外, 微波功率放大器的增益有限, 如果负反馈用于单级, 则增益损失太大, 用于多级电路, 又难于保持稳定。负反馈又可分为直接反馈法(IFB)和间接反馈法。其中, 直接反馈法将放大器的输出信号耦合, 一部分信号进入反馈网络, 然后再耦合输入放大器。IFB 不适用于宽带系统, 这是由于放大器固有的时延, 很难使反馈系统在几 MHz 的范围内适应信号包络的变化。间接反馈法是通过输入输出定向耦合, 然后分别通过峰值检波器检波后, 送入差分放大器, 再经过调制, 送入功放。这种简单的方法, 只能在 VHF 及 UHF 频段改善几个 dB 的交调性能, 而不能增加器件内在的饱和功率, 当包络进入压缩区, 效果显著下降。而且, 这种方法也有很严重的带宽和稳定性问题。直接反馈法如图 2-4 所示。间接反馈法如图 2-5 所示。

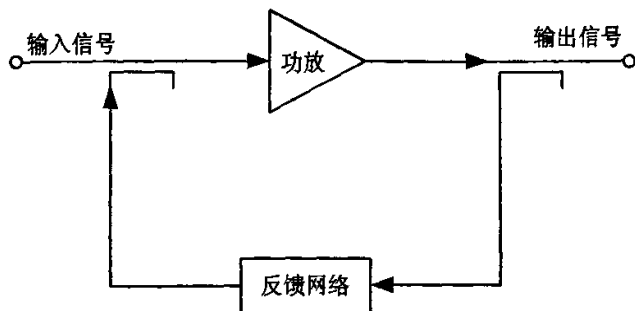


图 2-4 直接反馈法原理图

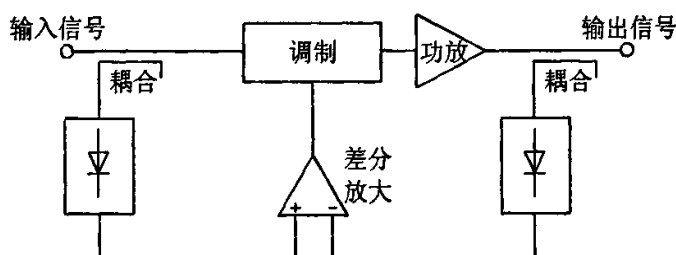


图 2-5 间接反馈法原理图

2.4.3 前馈法

由于宽带通信的迅速发展，前馈法受到特别关注。这种方法的基本原理与反馈法类似，也是将放大器的输入和输出信号进行比较，从而得出误差信号，再从输出信号中减去误差信号，得到线性度好的信号。不同的是，它不是在同一放大器中去除误差信号，而是用一个辅助放大器在专门的耦合器中去抵消。前馈法克服了延迟带来的影响，既具有反馈的优点，又没有不稳定和带宽限制的缺陷。当然，这种优点是通过增加成本换来的。放大器的输出使用了反馈校准，但是，由于功率放大器的输出电平较大，因此校准信号需要放大到一个较高的功率电平，这就需要一个辅助放大器，而且对其非线性失真特性有严格的限制，即处于前馈环系统指标的上限。另外，对系统内不同元件的增益、相位跟踪的精确度也有严格的限制，还要保持其稳定性。在整个频率范围内，温度和时间的校准精度，完全依赖于系统内各元件的精度。尽管存在上述问题，前馈技术仍然是目前非常热门的技术，特别是在宽带、多载波系统功率放大器中应用甚广。前馈法的信号流程如图 2-6 所示。

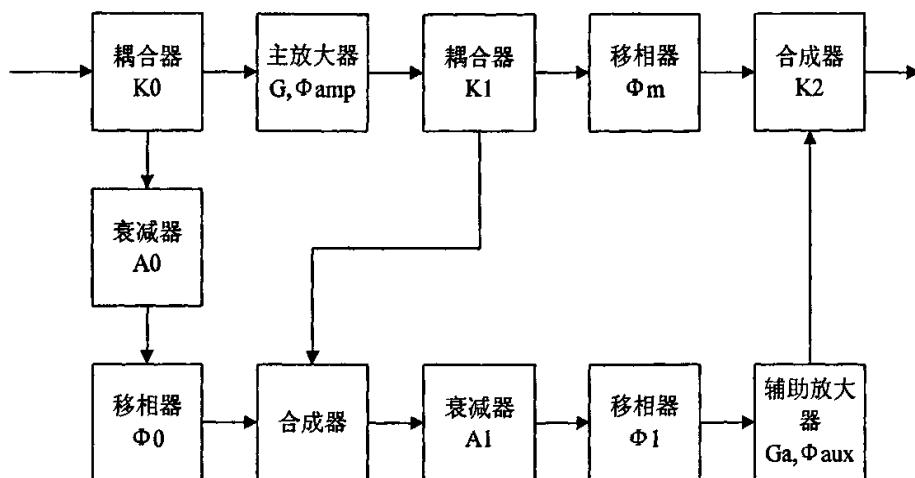


图 2-6 前馈法原理

2.4.4 非线性器件法(LINC)

LINC 法将输入信号变成两个恒包络信号，由两个 C 类放大器分别放大，然后合成。这种方法效率高，但实现信号分离复杂，要求两个放大器一致性好且合成效率高，因此对于元器件的漂移非常敏感，不适合温度、湿度等环境参数变化比较大的场合。其原理框图如图 2-7 所示。

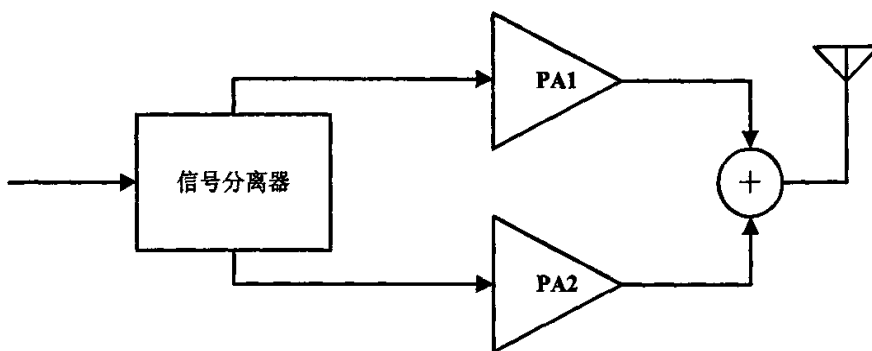


图 2-7 LINC 法原理图

2.4.5 预失真线性法

预失真法由于比较简单和可以作为独立单元附加在现有放大器中，而得到广泛应用。但它很难应用于线性度要求非常高($C/I > 50\text{dB}$)的系统。

所谓预失真法，一般是已知信道的非线性失真特性，然后模拟一个失真特性

与信道的非线性失真特性恰好相反的网络，插入信道中，使它们的特性互相补偿，得到线性较好的信道特性。预失真技术是开环线性化技术中最常用的一种方法。虽然开环系统的校准精度不如闭环系统，但开环系统的优势是，不存在稳定性问题，且有更宽的频带。预失真技术实现成本低，由几个仔细优化的元件封装成单一模块，连接在信号源和功放输入之间。

其基本原理框图如图 2-8 所示。信号先输入预失真级，输出信号如图 2-9a 所示，然后进入功率放大器，其中功率放大器的非线性特性如图 2-9b 所示。由于预失真非线性和功率放大器非线性的共同作用，最终产生的信号被“纠正”过来，如图 2-9c 所示。

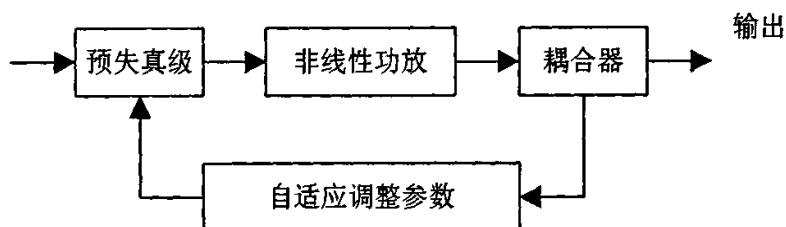


图 2-8 预失真原理图

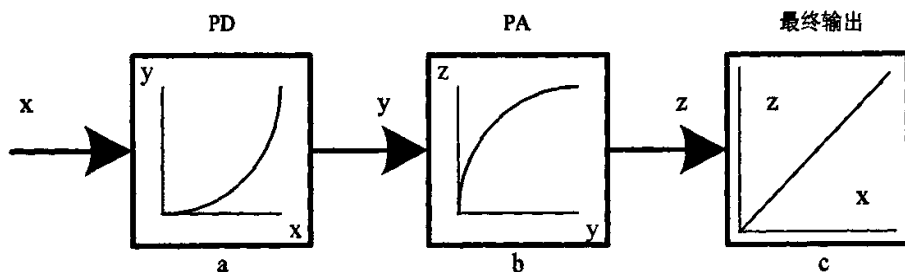


图 2-9 预失真信号

预失真可以在微波频段和中频频段实现，也可以在基带实现。根据预失真对象(信号)的不同，可以把预失真分为基带预失真[16]、中频预失真[17]和射频预失真[6]。

基带预失真是在基带上实现的，利用复数增益调整器，来调整输入信号的幅度和相位，其调整量由工作函数表中功放的 AM-AM 和 AM-PM 控制。这个工作函数表的输入量，是经过时延的输入信号，输出量是输出信号减去输入信号(即失真量)。自适应的过程，就是借助 DSP 不断调整工作函数表中的值，使失真量最小，其工作原理如图 2-10 所示[16]。

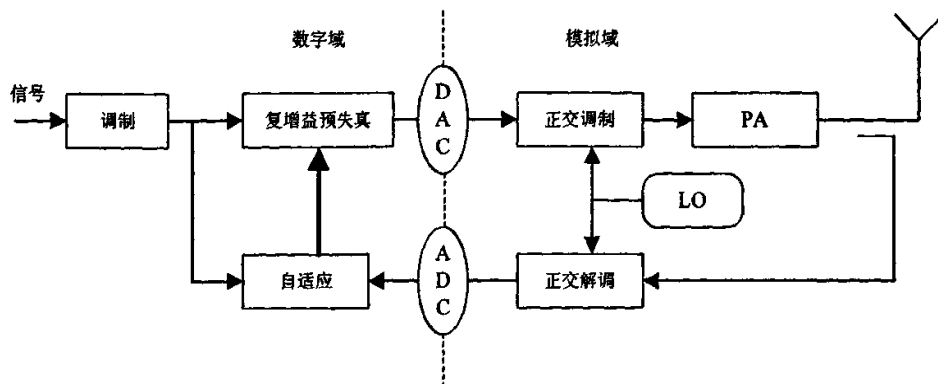


图 2-10 基带预失真原理图

中频预失真是在中频上实现的，基带信号在中频上完成调制；经上变频后，输出已调中频信号；将已调中频信号的包络作为工作函数表的输入量，以及功放输出信号的参考标准。耦合器对功放输出取样，经带通滤波器，得到需要抑制的边带信号(邻频道干扰)，检波输出与未失真的参数标准比较，得到失真量。这种方法可以同时补偿上变频器引入的非线性[17]。

射频预失真的调整相应地在射频上完成，其实现的原理框图如图 2-11 所示。预失真器的两个复数增益调整器，分别按工作函数的输出，调整幅度和相位。输入信号的包络，作为工作函数的输入量。反馈通路用边带带通滤波器对需要抑制的频谱(邻道频率)取样，并借助 DSP，调整工作函数的输出参数，使不需要的信号最小[6]。

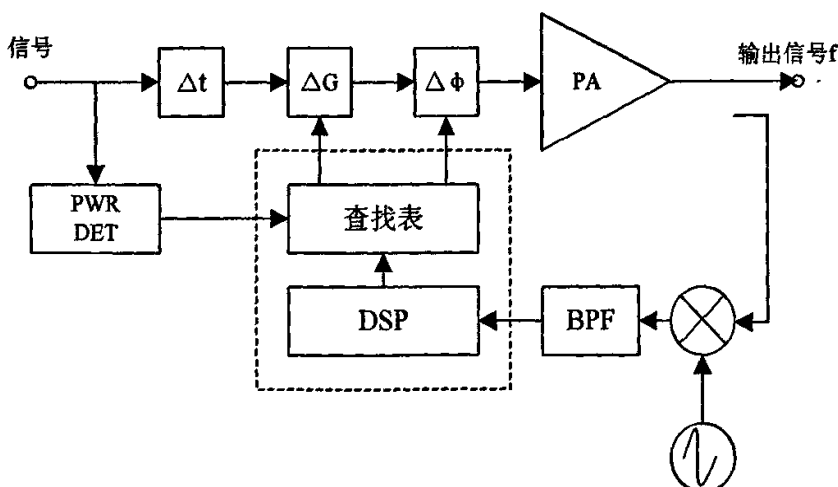


图 2-11 射频预失真原理图

射频和中频预失真电路调整比较方便，并且可以把上变频器和功率放大器的

非线性失真信号一同抵消掉，因此应用比较广泛。

2.4.6 自适应预失真法

具有自适应补偿的前馈放大器能获得非常好的线性特性。但是，需要辅助放大器而使设备复杂、价格高、效率低。反馈法虽然设备简单，但频带窄且难以获得高的线性特性。LINC 法将输入信号变成两个恒包络信号，由两个 C 类放大器放大，然后合成，这种方法效率高，但实现信号分离复杂，要求两个放大器一致性好，且合成效率高。自适应预失真法在功放前插入非线性元件(预失真器)，能自动修正输入信号，使功放输出具有线性特性；并且它还能补偿由于温度、电源变化、晶体管老化等所带来的失真；同时，由于预失真接在末级功放之前，对高功率放大器输出功率影响小。因此，自适应预失真法是一种被广泛采用的线性化方法。

自适应预失真线性化方法，属于预失真方法的一种，是在预失真线性化的基础上，加入自适应技术而形成的一种综合性的线性化方法。

在自适应线性化技术中，核心问题是如何得到和自动调整工作函数的参数。自 80 年代中期以来，出现了多种方法，如查表法(LUT)[18]、神经网络法[19]和多项式法[13][20]等。

2.4.6.1 查表法(LUT)

查表法是一种简单而有效的技术，其基本原理是，将适当的预失真值存储在表格中，以输入信号的大小作为地址，借助 DSP，使用迭代算法自动更新 LUT 中的内容。如图 2-12 所示，射频输入信号 RF 依次经过包络检测器、低通滤波器和 A/D，产生出来的数字信号，作为两个查找表 F_1 和 F_2 的索引来查找内容。该内容即 I、Q 两路信号，用于控制预失真。输入信号与输出信号用于求出梯度，再借助 DSP，自动更新查找表中的内容。

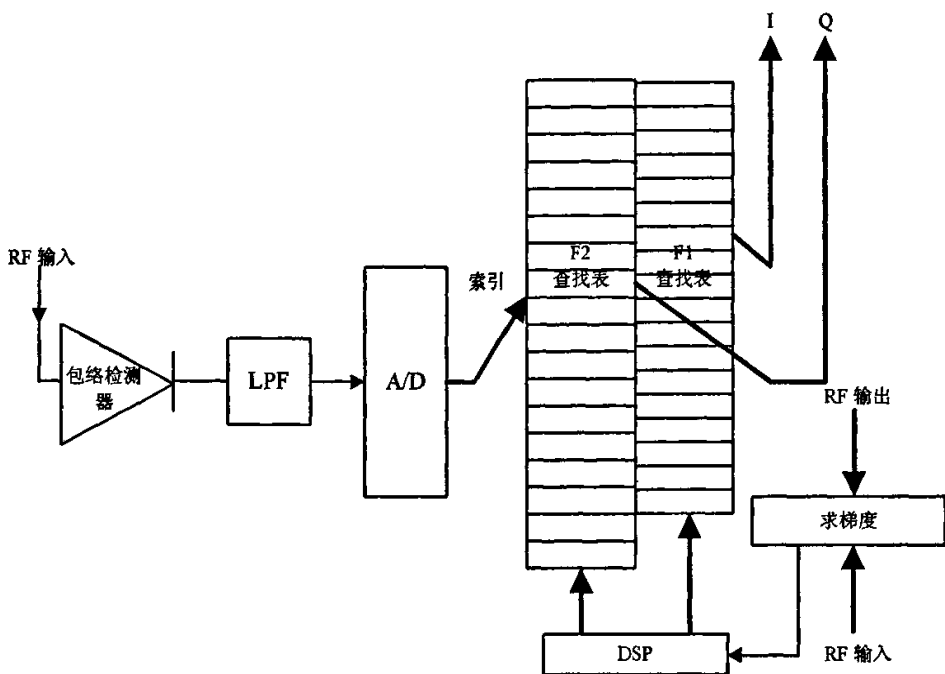


图 2-12 LUT 法原理图

2.4.6.2 神经网络法

1995 年首次提出将神经网络算法用于数字基带预失真，应用多层感知来近似放大器 AM-AM 响应的反函数。由于要求太多的参量使计算量太大，随后做了改进。借助功放的近似非线性特性，将复函数变为两个实函数，从而减少了计算量。当放大器的失真特性未知时，利用神经网络算法，直接从放大器的输出数据，估计要求的预失真函数，其原理如图 2-13 所示。

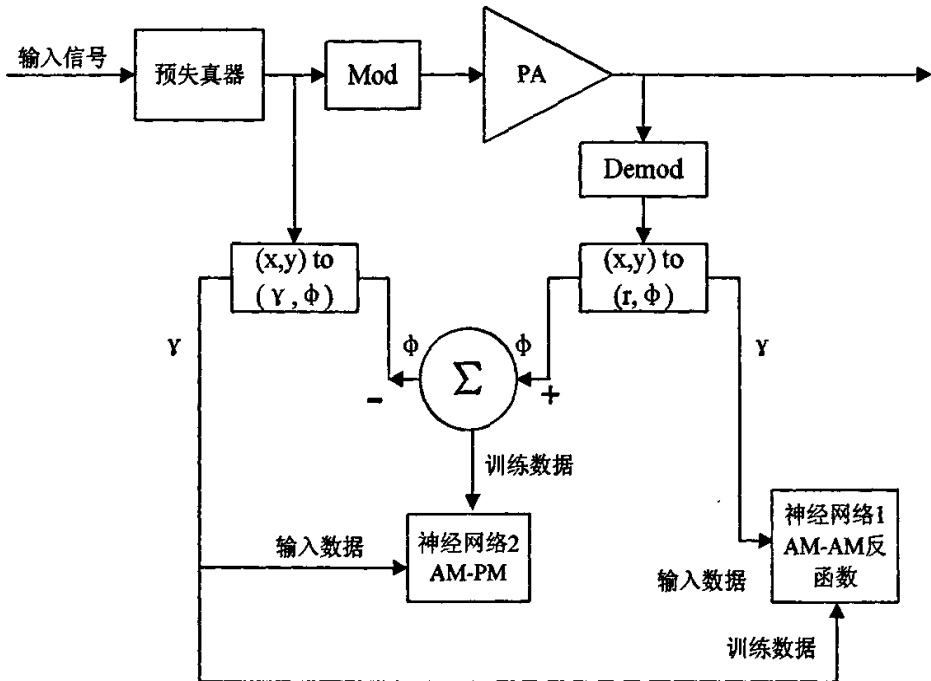


图 2-13 神经网络法原理图

图 2-13 中，神经网络 1 的输入数据为放大器输出样本，其训练数据来自放大器的输入幅度；当神经网络 1 收敛时，其响应是放大器 AM-AM 失真函数的反函数。神经网络 2 的输入数据为放大器的输入幅度，训练数据是放大器的输出与输入之间的相位差；当神经网络 2 收敛时，其响应为放大器的 AM-PM 失真函数。

2.4.6.3 多项式法(工作函数法)

多项式法，是把功放和预失真器的 AM-AM 与 AM-PM 特性，用系数为复数的幂级数表示。由于放大器的失真主要由奇数项产生，因此主要考虑奇数次的系数多项式。这个方法也是我们项目中实际采用的方法。采用多项式自适应预失真法的信号流程，如图 2-14 所示[13][21]。

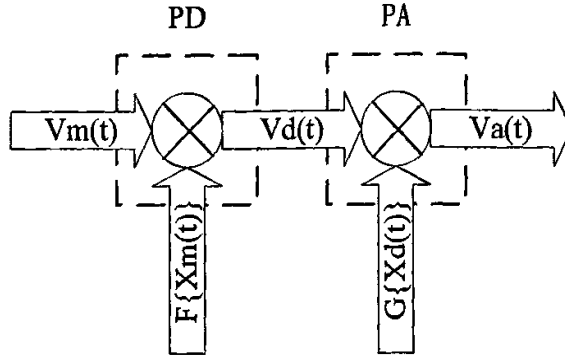


图 2-14 多项式法信号流

如图 2-14 所示, 设信号幅度为 $V_m(t)$, PD 单元输出为 $V_d(t)$, PA 单元输出为 $V_a(t)$; 其中 $x_m(t)$ 为 $V_m(t)$ 的模的平方, $x_d(t)$ 为 $V_d(t)$ 的模的平方; $F\{x_m(t)\}$ 为预失真多项式函数, 它是 $x_m(t)$ 的函数, 用 I-Q 两路 F_1, F_2 来表示; $G\{x_d(t)\}$ 为功放复增益, 是 $x_d(t)$ 的函数。我们可以得到 $x_m(t)$ 与 $V_m(t)$ 的关系为:

$$x_m(t) = |V_m(t)|^2 \quad (2-6)$$

$x_d(t)$ 与 $V_d(t)$ 的关系为:

$$x_d(t) = |V_d(t)|^2 \quad (2-7)$$

$F_1\{x_m(t)\}$, $F_2\{x_m(t)\}$ 与 $x_m(t)$ 的关系分别为:

$$F_1\{x_m(t)\} = \alpha_{11} + \alpha_{13}x_m(t) + \alpha_{15}x_m^2(t) \quad (2-8)$$

$$F_2\{x_m(t)\} = \alpha_{21} + \alpha_{23}x_m(t) + \alpha_{25}x_m^2(t) \quad (2-9)$$

公式 2-8 和公式 2-9 中 α_{11} , α_{13} , α_{15} , α_{21} , α_{23} , α_{25} 为工作函数多项式的复系数, α_{11} , α_{21} 为零阶系数, 它们控制进入功放的基本信号, 是严格的标量。这些零阶系数并不控制交调产物, 但是在输入功率水平很低的情况下, 它们就变得非常重要, 如一些 AB 类功率放大器。

PD 的复增益 $F\{x_m(t)\}$ 可以表示为:

$$F\{x_m(t)\} = F_1\{x_m(t)\} + jF_2\{x_m(t)\} = \alpha_1 + \alpha_3x_m(t) + \alpha_5x_m^2(t) \quad (2-10)$$

PD 的输出 $V_d(t)$ 为:

$$V_d(t) = V_m(t)F\{x_m(t)\} \quad (2-11)$$

功放的输出信号 $V_a(t)$ 由下式给出:

$$V_a(t) = V_d(t)G\{x_d(t)\} \quad (2-12)$$

功放复增益 $G\{x_d(t)\}$ 可以由截断函数表示为:

$$G\{x_d(t)\} = \beta_1 + \beta_3 x_d(t) + \beta_5 x_d^2(t) \quad (2-13)$$

因此, 公式 2-12 可以表示为:

$$V_a(t) = V_d(t)[\beta_1 + \beta_3 x_d(t) + \beta_5 x_d^2(t)] \quad (2-14)$$

最终得到的 $V_a(t)$ 可以表达为:

$$V_a(t) = V_m(t)F\{x_m(t)\}[\beta_1 + \beta_3 x_m(t)|F\{x_m(t)\}|^2 + \beta_5 \{x_m(t)|F\{x_m(t)\}|^2\}^2] \quad (2-15)$$

其近似的表达式为:

$$V_a(t) = V_m(t)[\gamma_1 + \gamma_3 x_m(t) + \gamma_5 x_m^2(t)] \quad (2-16)$$

$$\gamma_1 = \alpha_1 \beta_1 \quad (2-17)$$

$$\gamma_3 = \alpha_3 \beta_1 + \alpha_1 \beta_3 |\alpha_1|^2 \quad (2-18)$$

$$\gamma_5 = \alpha_5 \beta_1 + \alpha_3 \beta_3 |\alpha_1|^2 + \alpha_1 \beta_5 |\alpha_1|^4 + 2\alpha_1 \beta_3 \operatorname{Re}\{\alpha_1 \alpha_3^*\} \quad (2-19)$$

从公式 2-16、2-17、2-18 和 2-19 可以看出, γ_3 和 γ_5 代表整个放大器系统的 3 阶、5 阶失真, β_1 、 β_3 、 β_5 是放大器的线性特性。因此优化 γ_3 和 γ_5 , 取决于 α_1 、 α_3 、 α_5 。通过选取最优的 α_1 、 α_3 、 α_5 , 可以减小放大器的 3 阶、5 阶交调系数, 从而改善放大器的线性性能。

2.4.6.4 系数的自适应搜索方法

自适应搜索方法归纳起来有两种: 一种是基于信号梯度的搜索方法, 一种是带外功率最小化的搜索方法。本项目采用的方法是带外功率最小化方法。

梯度搜索寻优方法, 可以分为最速下降法、牛顿法、变尺度等。其中最速下降法用得最广泛。

在二次面的环境下, 可以任意选择 α 值, 然后计算该点的误差面的梯度, 并相应地修正 α 的值。根据经典的误差估计理论, 利用基数和估计误差之间的相关, 来计算误差面的梯度, 并用来驱动自适应算法。当基数和估计误差之间不相关时, 梯度为零。

梯度法比最小功率法收敛快, 且不需要为了确定改变方向而不断地进行调整, 但是, 必须对信号有充分的先验知识, 并对误差面进行建模, 这是梯度法的难点。

本项目的信号以及误差面等, 都难以建模, 所以, 梯度法并不适用。

带外功率最小化自适应技术[6][13], 是经过调整控制电压 I 、 Q 来使端口 O 的功率最小化, 端口 O 的功率是邻近信道干扰信号功率的采样。这种方法的缺点是,

收敛速度慢，且对噪声异常敏感。功率测量不可避免地存在噪声，为了减少测量的误差，就需要在每次测量时，延迟足够长的时间，每一步搜索也需要很长的时间。所以，要重点考虑了精度和速度。例如，采用高精度的 A/D，更多考虑 EMI 问题等，以降低噪声；将软件硬件化，优化软件代码等，以提高运算速度。

综合以上方法，将带外功率做为目标函数，朝目标函数最小的方向搜索，这与计算最小化邻近信道功率比(ACPR)是等同的。同时，考虑到搜索梯度难以建模，具体搜索时采用了步长加速法。该方法由 Hooke 和 Jeeves 于 1961 年提出，这种步长加速法又称为模式搜索法[22]。

本项目可以转化为求解以下无约束优化问题，

$$\min f(\alpha) \quad \alpha \in C^n \quad (2-20)$$

在求解上述问题中，取初始点 $\alpha^0 \in C^n$ ，初始步长 $\delta > 0$ ，收缩因子 μ ($0 < \mu < 1$, $\mu = 0.1 \sim 0.5$)，加速因子 $\eta > 0$, ($\eta = 1 \sim 2$)， n 个互相正交的方向，通常取为 n 个坐标轴方向。

$$e^k = (0, \dots, 0, 1, 0, \dots, 0)^T \quad (k = 1, \dots, n) \quad (2-21)$$

探测移动，是在某个已知点 Y^1 附近沿各坐标轴 e^k 方向探测，令

$$Y^1 = \alpha^0, Z^1 = Z^0 = \alpha^0 \quad (2-22)$$

以 Y^1 为参考点，沿 n 个方向进行探测

$$Y^{k+1} = \begin{cases} Y^k + \delta e^k, & \text{若 } f(Y^k + \delta e^k) < f(Y^k) \\ Y^k - \delta e^k, & \text{若 } f(Y^k - \delta e^k) < f(Y^k) \leq f(Y^k + \delta e^k) \\ Y^k, & \text{若 } f(Y^k - \delta e^k) \geq f(Y^k) \leq f(Y^k + \delta e^k) \end{cases} \quad (k = 1, \dots, n) \quad (2-23)$$

若 $f(Y^{n+1}) < f(Z^1)$ ，探测成功，得到新的基点 $Y^1 = Y^{n+1}$ ；

若 $f(Y^{n+1}) \geq f(Z^1)$ ，探测失败，则令 $\delta = \mu\delta$ ，再从参考点 Y^1 开始，按缩小后的步长 δ 作探测移动，重新寻找基点 Z^1 。

由探测所得到的新的基点 Z^1 比原来的基点 Y^1 （也是参考点）好，人们自然想到从新的基点 Z^1 出发，沿连结相邻两个基点所指的方向 $Z^1 - Y^1$ 上移动，可能使函数连续下降。因此，令 $Y^1 = Z^1 + \eta(Z^1 - Y^1)$ ，一般可取 $\eta = 1$ ，所以

$$Y^1 = 2Z^1 - Y^1 \quad (2-24)$$

这称为模式移动，目的是在较有希望的方向 $Z^1 - Y^1$ 上移动较长的一步，模式移

动的起点是当前的基点 Z^1 ，终点是新的参考点 Y^1 。

若 $f(Y^1) < f(Z^1)$ ，则以 Y^1 为新的参考点，又作探测性移动；若 $f(Y^1) \geq f(Z^1)$ ，则令 $Y^1 = Z^1$ ，以 Y^1 为参考点，又从头作探测性移动，若这次移动的终点 Y^{n+1} 比前一次探测移动的终点 Z^1 好，说明从 Y^{n+1} 出发，沿 $Y^{n+1} - Z^1$ 方向前进，函数值可能还会下降，再作模式移动；若这次探测移动的终点 Y^{n+1} 不比前一次探测移动的终点 Y^1 好，则把前一次的终点 Z^1 作为参考点，缩小 $\delta = \mu\delta$ 再作探测。

因此，Hooke-Jeeves 步长加速算法可以表述如下：

取定初始点 $\alpha^0 \in C^n$ ，初始步长 $\delta > 0$ ，收缩因子 μ ($0 < \mu < 1$)，加速因子 $\eta > 0$ ($\eta = 1 \sim 2$)， n 个相互正交的方向，通常取为

$$e^k = (0, \dots, 0, 1, 0, \dots, 0)^T \quad (k = 1, \dots, n) \quad (2-25)$$

然后进行以下步骤：

- 1) 令 $Y^1 = \alpha^0, Z^1 = Z^0 = \alpha^0, k = 1$;
- 2) 若 $f(Y^k + \delta e^k) < f(Y^k)$ ，则令 $Y^{k+1} = Y^k + \delta e^k$ ，转步骤 3；否则若 $f(Y^k - \delta e^k) < f(Y^k)$ ，则令 $Y^{k+1} = Y^k - \delta e^k$ ，转步骤 3；若 $f(Y^k - \delta e^k) \geq f(Y^k)$ ，转步骤 3。
- 3) 若 $k < n$ ，则令 $k = k + 1$ ，转步骤 2；否则 $k = n$ ，若 $f(Y^{n+1}) < f(Z^1)$ ，则令 $Z^1 = Y^{n+1}$ ，转步骤 5；否则若 $f(Y^{n+1}) \geq f(Z^1)$ ， $Z^0 = Z^1$ ，再若 $\delta \leq \varepsilon$ ，则停， $X^0 = Z^1$ ；否则令 $\delta = \mu\delta$ ， $Y^1 = Z^1$ ， $k = 1$ 转步骤 2；
- 4) 若 $f(Y^{n+1}) \geq f(Z^1)$ ， $Z^0 \neq Z^1$ ，则令 $Y^1 = Z^1$ ， $Z^0 = Z^1$ ， $k = 1$ 转步骤 2；
- 5) 令 $Y^1 = 2Z^1 - Y^1$ ， $k = 1$ ，转步骤 2。

使用 Hooke-Jeeves 步长加速算法，从理论上可以找到最优 α 值。而在实际工程中，由于信号、各个仪器都在变化，因此并不存在所谓的最优点。但是，信号和仪器都是慢变化的，远远慢于搜索的速度。因此，从长时间看，系统是稳定的和最优的。

2.4.6.5 算法复杂度分析

我们需要从两个方面来评估算法复杂度：

- 1) Hooke-Jeeves 步长加速算法中，每次探测移动都需要计算目标函数，而计算目标函数(带外功率或 ACPR)需要做傅立叶变换。为了加快程序的进行，我们采用经典的 FFT 算法。计算 N 点离散傅立叶变换需要做 $(N/2)\log_2 N$ 乘法[23]。只要搜索不停止，FFT 就不会停止。因此，

尽量提高 FFT 的效率有重要的意义。

- 2) Hooke-Jeeves 步长加速算法本身的收敛速度，明显不如最速下降法和牛顿法快。其收敛的快慢对系统整体影响很大，因此，有必要对其收敛速度进行评估。定性看，搜索步长越大，到达搜索中止的条件越难，因此收敛越慢；搜索步长越小，到达搜索中止的条件越易，收敛越快，但是，难以找到全局最优点。因此，在实际工程中，需要对步长做多次实验，找到既能满足较快的收敛速度，又能使目标函数最小。

2.5 采样率及目标函数的计算

输入信号为 WCDMA 信号，中心频率为 2.14GHz，带宽为 30MHz，峰均比(PAPR)为 7.5。该信号与信号发生器产生的 1.99GHz 本振信号混频后，变至中心频率为 150MHz 的带通信号，送入 A/D。信号表述如下，

```

/*****
* calculate power in main channel and 3th IM region
* Author: TangHao
* Modified Time: 2006-6-18 23:06
* Modified by Lunain Liang
* Description: 采样率为120MHz，WCDMA信号分布为：
*
*      135MHz---140MHz   140MHz---145MHz   145MHz---155MHz   155MHz---160MHz   160MHz---165MHz
*      5th IM left      3th IM left      main channel      3th right      5th right
*      POINT128---170   POINT171---213   POINT214---298   POINT299---341   POINT342---384
*
*      所以，作1024点的fft，前512个点应是0~60MHz，对应点如上，现在只计算3thIM与main channel的功率比（dB）
*
*****/

```

图 2-15 WCDMA 信号详细说明文档

把该信号扩展为中心频率为 150MHz、带宽为 60MHz 的信号。则最高频率 $f_H = 180\text{MHz}$ ，带宽 $\Delta f = 60\text{MHz}$ 。

根据带通采样定理[23]，首先，最高频率应是带宽的整数倍：

$$M = \frac{f_H}{\Delta f} = 3 \quad (2-26)$$

然后，选取带宽的二倍作为采样率：

$$f_s = 2\Delta f = 120\text{MHz} \quad (2-27)$$

因此，采样率为 120MHz。

由于信号 5 阶交调功率远远小于 3 阶交调功率，所以项目主要关心 3 阶 ACPR 值。这也成为 Hooke-Jeeves 搜索算法的目标函数：

$$f = 10\lg \frac{P_3}{P_{\text{main}}} \quad (2-28)$$

式 3-13 中, P_3 为信号 3 阶交调功率, P_{main} 为信号功率。如图 2-15 所示, P_3 分布在 140MHz~145MHz 和 155MHz~160MHz 的频带上, 经 FFT 变换后, 频点位于点 171~213 和点 299~341。 P_{main} 集中在频带 145MHz~155MHz 上, 经 FFT 变换后, 频点位于点 214~298。它们由公式 3-14 和 3-15 确定。

$$P_3 = \sum_{i=171}^{213} k_i + \sum_{i=299}^{341} k_i \quad (2-29)$$

$$P_{main} = \sum_{i=214}^{298} k_i \quad (2-30)$$

式中, k_i 为第 i 点的功率谱线。

第三章 硬件系统

3.1 概述

系统整体架构如图 3-1 所示。中心频率为 2.14GHz 的 WCDMA 信号 $V_m(t)$ 分为两路，一路送入到预失真器(Predistorter, PD)单元，一路先与本振(LO)混频，下变频变至 150MHz 的中频信号 IFin，再送入微控制器单元(MCU，这里的 MCU 是整个数字部分的总称，包括 DSP、FPGA、A/D、D/A 等)；PD 单元主要由 I、Q 两路衰减器构成，衰减器的衰减程度由 MCU 产生的两路电压 F_1 和 F_2 控制，PD 将 $V_m(t)$ 分为 I、Q 两路进行衰减再求和，得到预失真信号 $V_d(t)$ ，然后送入放大器(PA)；PA 单元将 PD 单元输送的信号放大后，经过 LO 混频，产生中频信号 IFfb，MCU 通过 IFin 和 IFfb 产生两路电压函数。DSP 实时采集 IFin 和 IFfb 信号，根据影响失真因数的改变，如温度、输入功率等，不断调整失真控制量，使功放最后的输出满足线性要求。系统具有完善的输入输出功率检测、驻波、电源管理、温度、过压和过流告警等功能[21]。

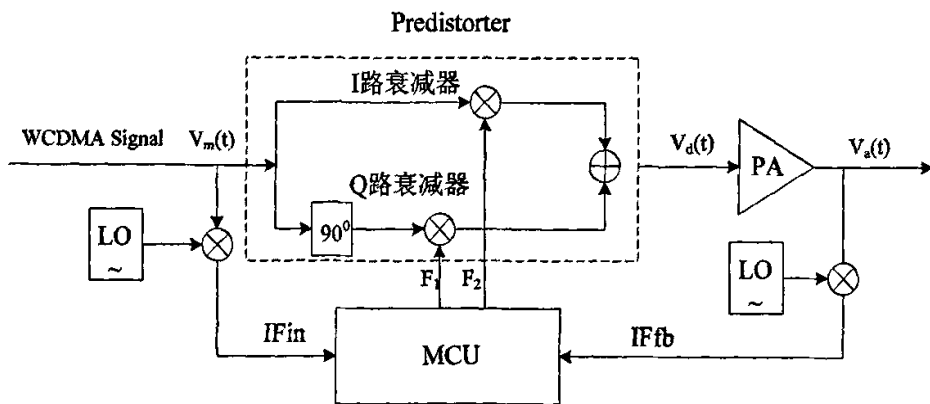


图 3-1 系统框图

设信号幅度为 $V_m(t)$ ，PD 单元输出为 $V_d(t)$ ，PA 单元输出为 $V_a(t)$ 。其中， $x_m(t)$ 为 $V_m(t)$ 的模的平方， $x_d(t)$ 为 $V_d(t)$ 的模的平方。 $F\{x_m(t)\}$ 为预失真多项式函数，它是 $x_m(t)$ 的函数，通常用 I-Q 两路 F_1 ， F_2 来表示； $G\{x_d(t)\}$ 为功放复增益，是 $x_d(t)$ 的函数。根据前面第二章的推导，可得：

$$V_a(t) = V_m(t)F\{x_m(t)\}[\beta_1 + \beta_3 x_m(t)|F\{x_m(t)\}|^2 + \beta_5 \{x_m(t)|F\{x_m(t)\}|^2\}^2] \quad (3-1)$$

$$V_a(t) = V_m(t)[\gamma_1 + \gamma_3 x_m(t) + \gamma_5 x_m^2(t)] \quad (3-2)$$

$$\gamma_1 = \alpha_1 \beta_1 \quad (3-3)$$

$$\gamma_3 = \alpha_3 \beta_1 + \alpha_1 \beta_3 |\alpha_1|^2 \quad (3-4)$$

$$\gamma_5 = \alpha_5 \beta_1 + \alpha_3 \beta_3 |\alpha_1|^2 + \alpha_1 \beta_5 |\alpha_1|^4 + 2\alpha_1 \beta_3 \operatorname{Re}\{\alpha_1 \alpha_3^*\} \quad (3-5)$$

因此,可以找到使 γ_3 和 γ_5 最小的 α_1 , α_3 , α_5 值,以改善其放大器的非线性失真[13][21]。

整个功率放大器的指标如下:

- 1) 在输出功率为 42dBm (约 15.8W) 时, 3 阶 ACPR 值应在 -52dB 以下 (最终的结果)。在前期研究过程中, 要求在工程上实现多项式预失真等方案, ACPR 值有较大的改善。
- 2) 射频信号的频率 2110~2170MHz, 中频输出频率 120~180MHz。
- 3) 射频端信号驻波比小于等于 1.7, 电平小于等于 -8dBm, 阻抗为 50 欧姆。
- 4) 功放额定输出和最大增益 50dB 时, RFin 为 $-14 \pm 1\text{dBm}$, RFfb 为 $14 \pm 1\text{dBm}$ 。
- 5) 预失真单元的 RF 差损 $RF_{in} - RF_{out} \leq 2\text{dB}$ 。
- 6) 输入、输出插头采用 SMA-F。
- 7) 功率检波在 42dBm 时, 要求为 $4.5 \pm 0.1\text{V}$ 。
- 8) 驻波大于 2 时告警。
- 9) 功放输入电压为 28V 时, 电源电流超过 4.3A, 产生过流告警, 同时将开关置于关。
- 10) 根据输入功率检波电压, 确定功放的输入功率, 如果输入功率大于 7dBm, 产生功放输入过功率告警, 同时将功放置于关; 如果功放增益小于 44dB, 产生功放增益过低告警; 如果功放输出功率大于 44dBm, 产生功放输出过功率告警。
- 11) 要求有温度控制和指示灯。
- 12) 有 RF 开关和 485 接口。
- 13) RF 输入检测, 在 7dBm 时为 $4.5 \pm 0.1\text{V}$, 在 -28dBm 时为 $1.0 \pm 0.1\text{V}$ 。

- 14) 供电电压 $5.0 \pm 0.25V$ ，最大电流 600mA。
- 15) LO 输出频率 1990MHz，输出功率 $0 \pm 2dBm$ ，参考频率 20MHz，鉴频鉴相频率 5MHz，频率稳定度 $\pm 8ppm$ ，杂散小于 $-70dBc$ 。谐波抑制为 $-18dBc$ ，相位噪声在 1kHz 时应小于 $-85dBc/Hz$ ，在 100kHz 时应小于 $-85dBc/Hz$ ，在 1000kHz 时应小于 $-90dBc/Hz$ 。

3.2 数字硬件电路

主要的硬件电路框图如图 3-2 所示。其中，FPGA 为系统控制核心，DSP 为信号处理核心。FPGA 主要完成数据传送和逻辑控制，DSP 进行 α_1 、 α_3 、 α_5 的搜索。模拟信号共两路，IFin 为放大前的信号，IFfb 为经过放大器之后反馈的信号，这两路信号经过 AD9430 采样到 FPGA 中；FPGA 将 IFfb 信号送至 DSP，DSP 根据 IFfb 的带外功率产生 α 系数，再传回至 FPGA；FPGA 根据 α 系数和 IFin，计算控制 PD 的函数 F_1 、 F_2 。同时，DSP 和 FPGA 还将监控输入输出功率、驻波、电源、温度、电流等各种情况，通过 DSP 的多通道缓冲串口(McBSP)，串口和 FPGA 控制的 TB-X 信号线来实现[21]。

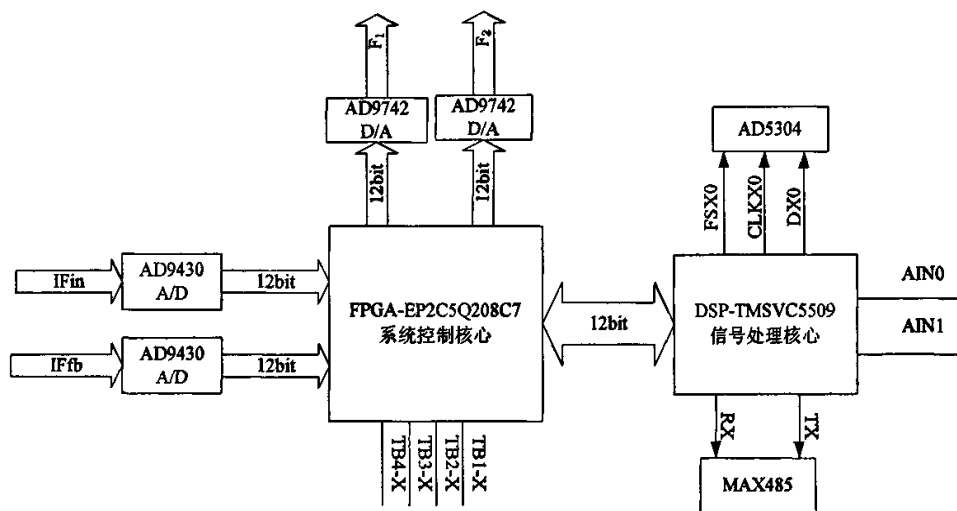


图 3-2 硬件电路框图

硬件实物如图 3-3 所示。

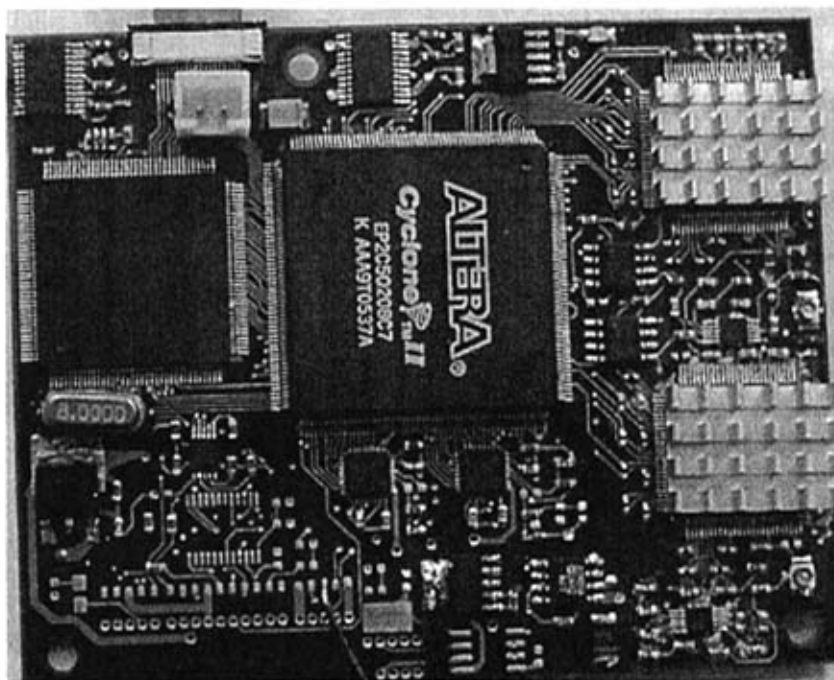


图 3-3 硬件实物图

下面是主要器件 DSP、FPGA、A/D、D/A 的功能和特性。

DSP 采用的是 TMSVC5509A(或称为 DSP5509A), 属于 TI 的 C55x 系列。C55x 系列 DSP 提供一个可变字节宽度的指令集, 提高了代码密度。指令单元可以完成内存或外存上的 32-bit 的程序取值。

DSP5509A 的外设, 包括外部存储器接口(EMIF)、通用串行总线(USB)、定时器、I²C 多主从接口、三个全双工多通道缓冲串口(McBSPs)、增强 HPI、DMA 控制器以及数字锁相环(DPLL)时钟发生器等。时钟频率可达 200MHz。

5509A 具有如下主要特征:

- 1) 双乘法器, 每秒可执行 400M 次乘累加(MMACS)。
- 2) 两个算术 / 逻辑单元(ALUs)。
- 3) 三个内部数据读总线, 两个内部数据写总线。
- 4) 128K×16-Bit 片上 RAM: 包括 64K 字节 Dual-Access RAM(DARAM)(8 个 4K×16-Bit 存储块)和 192K 字节 Single-Access RAM(SARAM) (24 个 4K×16-Bit 存储块)。
- 5) 64K 字节片上 ROM(32K×16-Bit)。
- 6) 8M×16-Bit 最大可寻址外部存储空间(同步 DRAM)。

- 7) IEEE Std 1149.1(JTAG)边界扫描逻辑。
- 8) 16-Bit 外部并行总线。其中具有 GPIO 能力的 EMIF, 提供与异步静态 RAM(SRAM)的接口、与异步 EPROM 的接口、与同步 DRAM(SDRAM) 的接口; 具有 GPIO 能力的 16-Bit 并行增强主机接口(EHPI)。
- 9) McBSPs 为各种工业标准的串行设备提供无缝的接口, 具有多达 128 个独立使能的通道, 支持多通道通信。HPI 可提供与多种主机的无缝连接。

DSP 完成的主要功能如下:

- 1) 通过自适应预失真算法, 计算多项式的 6 个系数。
- 2) 串口与 MAX485 连接, 将功放的工作状态等信息输出给外部设备。
- 3) 控制锁相环。
- 4) 通过检测信号, 计算输入功率和输出功率的大小, 并产生告警。
- 5) 过流检测。
- 6) 将各种检测信号的结果综合, 以产生告警信号。
- 7) 控制功率放大器的开关。

FPGA 采用的是 ALTERA 公司的 Cyclone II 系列 EP2C5Q208C7[24]。

Cyclone II 系列低功耗 FPGA 基于 1.2V、90-nm 的 SRAM, 具有超过 68K 的逻辑单元密度, 以及多达 1.1Mbits 的嵌入式 RAM。该系列器件提供嵌入式 18×18bit 乘法器, 支持高性能 DSP 应用; 提供锁相环支持系统时钟管理; 提供高速率的外部存储器接口, 支持 SRAM 和 DRAM 器件。这些特性使得 Cyclone II 系列成为高性价比的解决方案并得到广泛应用。Cyclone II 系列器件还支持差分 and 单端 I/O 标准, LVDS 接收数据速率 805Mbps、发送数据速率 640Mbps, 以及 64-bit, 66-MHz PCI 及 PCI-X, 提供与处理器及 ASSP 和 ASIC 器件的接口。

Cyclone II 系列器件及 EP2C5Q208C7 特征:

- 1) 高密度体系结构, 具有 4,608 个逻辑单元。
- 2) M4K 嵌入式存储块: 多达 1.1Mbits 可用 RAM, 每块 4,096bits, 可变端口配置×1, ×2, ×4, ×8, ×9, ×16, ×18, ×32 及×36, 高达 260-MHz 操作。
- 3) 嵌入式乘法器: 18×18bit 乘法器, 可配置为两个独立的 18×18bit 乘法器; 可选输入及输出寄存器。
- 4) 增强 I/O: 高速差分 I/O 标准, 包括 LVDS、RSDS、mini-LVDS、LVPECL、差分 HSTL 以及差分 SSTL; 单端 I/O 标准, 包括 2.5V 和 1.8V SSTL class I and II, 1.8V 及 1.5V HSTL class I and II, 3.3V PCI 及 PCI-X1.0, 3.3、2.5、

1.8, 及 1.5V LVC MOS, 及 3.3、2.5、及 1.8V LVTTTL; 高速外部存储器支持, 包括 DDR, DDR2 以及 SDR SDRAM, 以及 QDR II SRAM; 每个 I/O 单元三个专用寄存器: 一个输入寄存器, 一个输出寄存器以及一个输出时能寄存器; 可编程输出驱动能力; 从管脚至 IOE 或逻辑阵列的可编程延时; 多电平 I/O 标准支持 1.5、1.8、2.5、以及 3.3V 接口。

- 5) 灵活的时钟管理电路: 高达 402.5-MHz 的分级时钟网络; 每个器件多达 4 个 PPLs 支持时钟的倍频、分频、移相、外部时钟输出及系统时钟管理; 全局时钟网络中多达 16 个全局时钟线驱动整个器件。
- 6) 器件配置: 小于 100 ms 的快速串行配置; 支持多种配置模式: 主串行模式、从串行模式和 JTAG 模式, 可通过低成本配置器件进行配置。
- 7) 智能特征: Altera MegaCore function 支持。

FPGA 主要实现以下功能:

- 1) 产生 A/D、D/A、及自身所用的时钟。
- 2) 存储 A/D 输入的数据。
- 3) 与 DSP 通信。
- 4) 产生 F_1 和 F_2 函数来控制预失真器。
- 5) 为其他控制信号产生正负逻辑。
- 6) 开关功放。

A/D 采用的是 AD9430, 具有如下性质:

- 1) 高性能。在输入 65MHz 信号的时候, 采样率为 210MSPS 时, 信噪比 SNR 为 65dB。
- 2) 低功耗。采样率为 210MSPS 时, 功耗为 1.3W。
- 3) 容易使用。LVDS 输出信号和输出时钟与 FPGA 技术兼容。片上参考电压和采样保持电路为系统设计提供了灵活性。单 3.3V 供电电压简化了系统电源设计。
- 4) 溢出指示。当电压超出了 A/D 能表示的范围, OR 输出位将会指示出来。
- 5) 针脚与 10bit 的 AD9411(LVDS only)兼容。

两块高速 AD9430 前端采用了 AD8351, 将单端信号转化为差分信号(因为 AD9430 在信号为差分输入的时候, 性能能达到最优)。其中一路输入电压值为 0~900mV, 另一路为 0~50 mV。第一路的电压值将被放大至 -750 mV~+750 mV, 保证信号在 42dB 的时候恰恰处于 AD9430 的满量程。两块 AD9430 采用 FPGA 锁

相环倍频的时钟(其间还通过一个电平转换芯片,以改进时钟质量),频率为 120MHz,位宽为 12bit,实际采样信噪比为 54dB 以上。每个 AD9430 的输出,通过 24 路 LVDS 信号(12bit)传送至 FPGA。

D/A 采用的是 AD9742,具有以下特征:

- 1) 12bit,与 TxDAC 族引脚兼容,并且有优秀的 INL 和 DNL 表现。
- 2) 数据输入支持二进制补码和原码两种格式。
- 3) 210MSPS 时钟转换率,支持单端 CMOS 时钟输入。
- 4) 供电电压范围 2.7V 到 3.6V,功耗约 135mW。DAC 的满量程电流在低功耗操作下可以减少,支持睡眠模式。
- 5) 片上参考电压 1.2V。
- 6) 工业标准封装: 28-lead SOIC, 28-lead TSSOP, 和 32-lead LFCSP。

两路高速 DA 采用的芯片是 AD9742,时钟为 120MHz,位宽为 12bit。AD9742 的输出为电流信号,经过 AD8041 后变为电压信号,其电压范围为 $-900mV \sim 1.6mV$ 。

3.3 DSP 硬件初始化

DSP 的整体初始化流程如图 3-4 所示[25][26]。

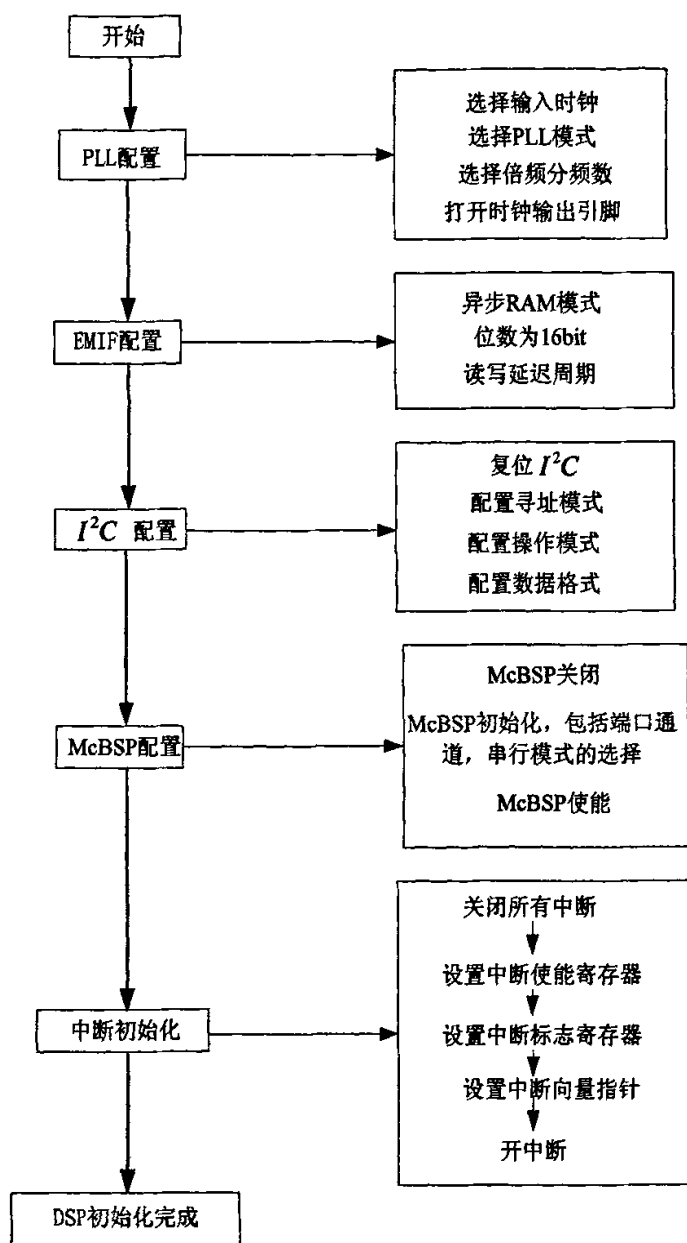


图 3-4 DSP 初始化流程图

3.3.1 PLL 的初始化

TMSVC5509A 的 PLL 共有三种模式: BYPASS 模式、LOCK 模式、IDEL 模式。这三种模式可以互换, 其框图如图 3-5 所示。

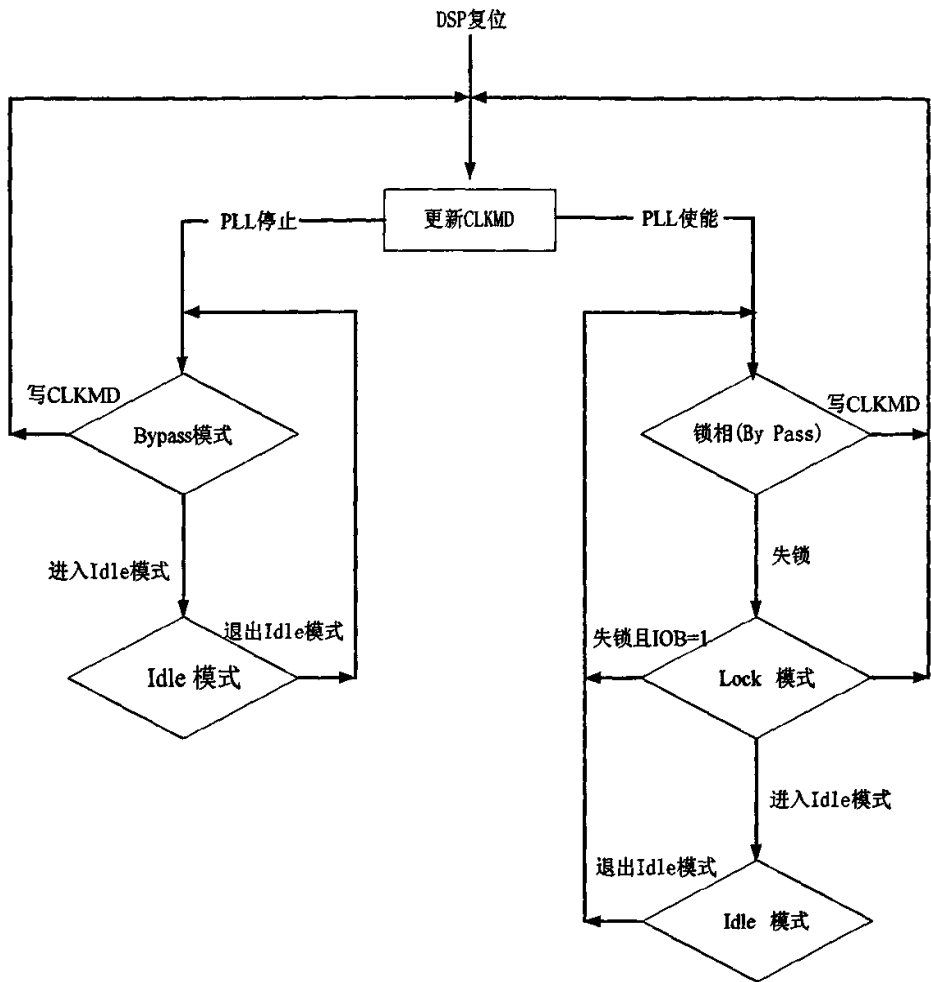


图 3-5 DSP 的 PLL 模式转换图

让 PLL 工作在 LOCK 模式下，相关的 DSP 寄存器为 CLKMD、SYSR 寄存器和 ST3_55 的 CLKOFF 位。

CLKMD 寄存器各个区域的功能定义如下：

表 3-1 CLKMD 寄存器

位	字段	数值	说明
15	Rsvd		保留
14	IAI	0 1	退出 IDLE 状态后，决定 PLL 是否重新锁定 PLL 将使用与进入 IDLE 状态之前相同的设置进行锁定 PLL 将重新锁定过程

13	IOB	0 1	处理失锁 不中断 PLL，保持在 LOCK 模式，PLL 保持时钟输出 交换到 BYPASS 模式，然后重启 PLL 到锁相序列
12	TEST	0	必须保留为 0
11~7	PLL MULT	0~31	锁定模式下倍频的值，0~31
6~5	PLL DIV	0~3	锁定模式下分频的值，0~3
4	PLL ENABLE	0 1	禁止，为 BYPASS 模式 使能，为锁定模式
3~2	BYPASS DIV	00 01 10, 11	BYPASS 模式下的分频值 1 分频 2 分频 4 分频
1	BREAK IN	0 1	错误状态 PLL 失锁 锁定状态或对 CLKMD 有操作
0	LOCK	0 1	锁定状态 PLL 处于 BYPASS 模式 PLL 处于锁定模式

当锁相环工作在锁定模式，输出时钟的频率由下面公式确定：

$$\text{输出频率} = \frac{PLL}{PLL} \frac{MULT}{DIV + 1} \times \text{输入频率} \quad (3-6)$$

SYSR 寄存器影响 CLKOUT 引脚的值，如图 3-6 所示

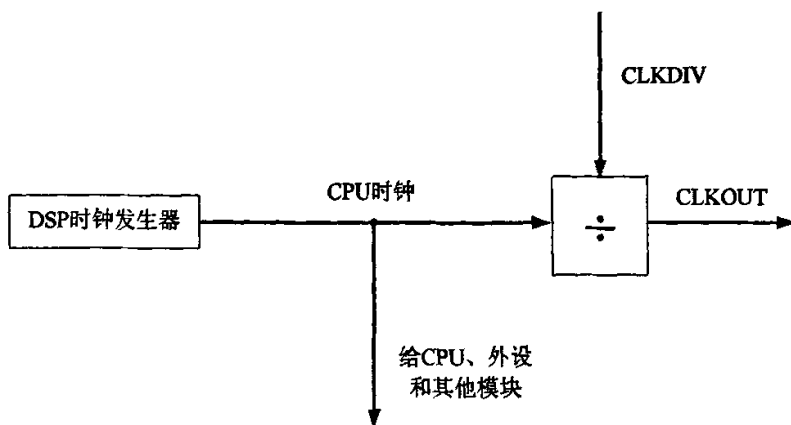


图 3-6 CLKOUT 引脚控制图

其中, CLKDIV 区域就在寄存器 SYSR 中。整个 SYSR 的定义如表 3-2 所示。

表 3-2 SYSR 寄存器

位	字段	数值	说明
15~3	Rsvd		保留
2~0	CLKDIV	000,111 001 010 011 100 101 110	CLKOUT 分频因子 1 分频 2 分频 4 分频 6 分频 8 分频 10 分频 12 分频

ST3_55 寄存器的 CLKOFF 位也影响 CLKOUT。该寄存器定义如下:

表 3-3 ST3_55 寄存器

位	字段	数值	说明
15	CAFRZ	~	~
14	CAEN	~	~
13	CACLR	~	~
12	HINT	~	~
11~8	Rsvd		保留
7	CBERR	~	~
6	MPNMC	0 1	FF8000~FFC000 为 CE3, FFC000~FFFFFF 为 ROM FF8000~FFFFFF 为 CE3
5	SATA		~
4~3	Rsvd		保留
2	CLKOFF	0 1	CLKOUT 状态 使能 CLKOUT 禁止 CLKOUT
1	SMUL	~	~
0	SST	~	~

3.3.2 EMIF 的初始化

EMIF(External Memory Interface)对以下两类存储器提供无缝接口:

- 1) 异步器件, 包括 ROM、Flash、SRAM。
- 2) 同步器件, SDRAM。

EMIF 的接口电路如图 3-7 所示

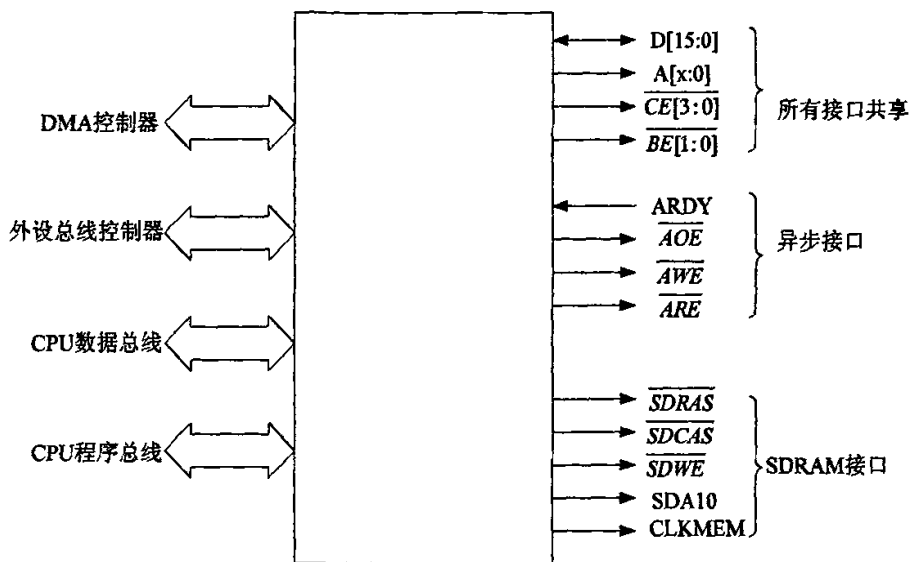


图 3-7 EMIF 接口电路

采用异步接口(Asynchronous Interface)与 FPGA 通信, 如图 3-8 所示:

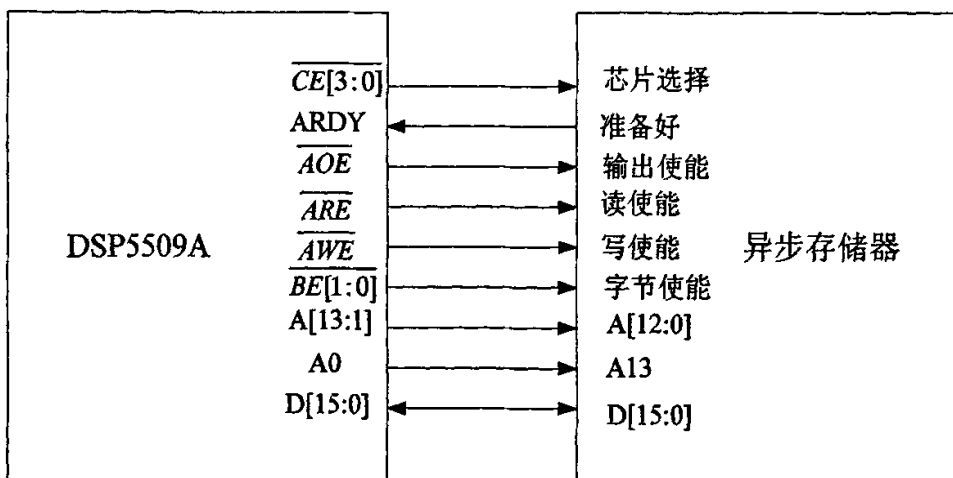


图 3-8 EMIF 异步接口

EMIF 外部存储空间映射分为 4 个部分, 包括 $\overline{CE0}$ 、 $\overline{CE1}$ 、 $\overline{CE2}$ 、 $\overline{CE3}$ 。在 TMSVC5509A 中, 它们的地址如图 3-9 所示。

字节地址	
000000	MMR(Rsvd)
0000C0	DARAM/HPI访问
008000	DARAM
010000	SARAM
040000	$\overline{CE0}$
400000	$\overline{CE1}$
800000	$\overline{CE2}$
C00000	$\overline{CE3}$
FF8000	ROM MPNMC=0
FF8000	$\overline{CE3}$ MPNMC=0
FFC000	ROM MPNMC=0
FFC000	$\overline{CE3}$ MPNMC=0
FFFFFF	$\overline{CE3}$

图 3-9 TMSVC5509A 的外部存储空间划分

如果 ST3_55 寄存器的 MPNMC 位为 0, $\overline{CE3}$ 可以划分为 2 个部分, 一部分映射为与 $\overline{CE0}$ 等相同的外部存储空间, 另一部分为 ROM 空间。ST3_55 寄存器的功能定义如表 3-3 所示。MPNMC 位为 1, $\overline{CE3}$ 不变。可以参考表 3-3。

由于只采用异步接口(Asynchronous Interface)与 FPGA 相连, 下面只介绍与 EMIF 异步接口(Asynchronous Interface)相关联的寄存器。

1) EGCR(EMIF Global Control Register)

该寄存器的定义如表 3-4 所示。

表 3-4 EGCR 寄存器

位	字段	数值	说明
15~2	Rsvd		保留
11~9	MEMFREQ	000 001 010 011 100	存储器时钟频率，该域决定了 CPU 时钟和 CLKMEM 引脚时钟的关系。 CLKMEM 时钟频率等于 CPU 时钟; CLKMEM 时钟频率为 CPU 时钟的 1/2; CLKMEM 时钟频率为 CPU 时钟的 1/4; CLKMEM 时钟频率为 CPU 时钟的 1/8; CLKMEM 时钟频率为 CPU 时钟的 1/16; 其他的值被保留
8	Rsvd		保留
7	WPE	0 1	写延迟使能位。 不使能 EMIF 的写延迟性质 使能 EMIF 的写延迟性质
6	Rsvd		保留
5	MEMCEN	0 1	存储器时钟使能位，决定 CLKMEM 的状态。 不使能，此时 CLKMEM 一直为高电平 使能，此时，CLKMEM 作为时钟引脚
4	ARDYOFF	0 1	ARDY off 位 ARDY 开 ARDY 关
3	ARDY	0 1	ARDY 状态位 ARDY 信号为低 ARDY 信号为高
2~0	Rsvd		保留

2) EMIRST(EMIF Global Reset Register)

该寄存器共 16 位，只能写。定义如表 3-5 所示。

表 3-5 EMIRST 寄存器

位	字段	数值	说明
15~0	EMIRST	xxx	16bit 的数写入该寄存器用于复位 EMIF 的状态机。

3) EMIBE(EMIF Bus Error Status Register)

该寄存器记录当访问外部异步存储器时的总线错误。定义如下：

表 3-6 EMIBE 寄存器

位	字段	数值	说明
15~13	Rvsd		保留
12	TIME	0 1	时间用尽错误状态位。 无错误 出错
11	Rvsd		保留
10	CE3	0 1	CE3 用尽错误状态位。 无错误 出错
9	CE2	0 1	CE2 用尽错误状态位。 无错误 出错
8	CE1	0 1	CE1 用尽错误状态位。 无错误 出错
7	CE0	0 1	CE0 用尽错误状态位。 无错误 出错
6	DMA	0 1	DMA 用尽错误状态位。 无错误 出错
5	FBUS	0 1	F 总线用尽错误状态位。 无错误 出错
4	EBUS	0 1	E 总线用尽错误状态位。 无错误 出错
3	DBUS	0 1	D 总线用尽错误状态位。 无错误 出错
2	CBUS	0 1	C 总线用尽错误状态位。 无错误 出错
1	Rvsd		保留
0	PBUS	0 1	P 总线用尽错误状态位。 无错误 出错

4) CEn1(CE Space Control Register 1)

该寄存器的定义如表 3-7 所示。

表 3-7 CEn1 寄存器

位	字段	数值	说明
15	Rsvd		保留
14~12	MTYPE	000 001 011	存储器类型位。 异步存储器, 8bit 数据位宽; 异步存储器, 16bit 数据位宽; SDRAM 存储器, 16bit 数据位宽; 其他值保留
11~8	RDSETUP	0000~1111	读建立周期。值为 0、1 或 2 时, 表示 1 个 CPU 时钟周期。其它值是多大的值, 就表示多少个 CPU 时钟周期
7~2	RDSTROBE	00000~11111	读门限周期位。值为 0 和 1 时, 表示 1 个 CPU 时钟周期; 其它值是多大的值, 就表示多少个 CPU 时钟周期
1~0	RDHOLD	00~11	读保持周期位。该域宽为 2bit, 取值为 0~3 个 CPU 时钟周期

5) CEn2(CE Space Control Register 2)

该寄存器的定义如表 3-8 所示:

表 3-8 CEn2 寄存器

位	字段	数值	说明
15~14	RDEXHLD	00~11	读扩展保持周期。该域表示的值再加 1 个 CPU 时钟周期的保持周期
13~12	WREXHLD	00~11	写扩展保持周期。该域表示的值再加 1 个 CPU 时钟周期的保持周期
11~8	WRSETUP	0000~1111	写建立周期。值为 0、1 或 2 时, 表示 1 个 CPU 时钟周期。其它值是多大的值, 就表示多少个 CPU 时钟周期
7~2	WRSTROBE	000000~111111	写门限周期位。值为 0 和 1 时, 表示 1 个 CPU 时钟周期; 其它值是多大的值, 就表示多少个 CPU

			时钟周期
1~0	WRHOLD	00~11	写保持周期位。取值为0~3个CPU时钟周期

6) CEn3(CE Space Control Register 3)

该寄存器的定义如表 3-9 所示。

表 3-9 CEn3 寄存器

位	字段	数值	说明
15~8	Rsvd	0	保留
7~0	TIMOUT	00000000~11111111	设置 TIME OUT 的时钟。0 表示 TIME OUT 性质不使能。其他值表示 TIME OUT 的容限值。

3.3.3 中断的初始化

由硬件或软件引起的中断，将会使 DSP 挂起当前的程序，转到中断服务程序 (ISR)。TMS320VC55x 支持 32 个 ISR，一些可以被软件或硬件触发，一些只能被软件触发。当 CPU 同时收到多个中断请求时，它将根据中断优先级来判断执行。

中断又分为可屏蔽中断和不可屏蔽中断。可屏蔽中断可以通过软件来屏蔽，不可屏蔽中断不能被屏蔽。所有软中断都是不可屏蔽中断。我们主要关心的是来自硬件的中断，也是可屏蔽的中断，该中断用于配合 FPGA 完成工作。

DSP 处理中断分为以下四个时期：

- 1) 接收中断。软件或硬件请求挂起当前程序。
- 2) 确认中断。CPU 必须确认中断请求。如果中断时可屏蔽的，确定情况必须被满足。对于不可屏蔽中断，确认是立即的。
- 3) 准备 ISR。此时 CPU 的主要任务是：完成当前指令和流水的执行；自动将某些存储寄存器的值存储到数据堆栈和系统堆栈；取中断矢量，在预先存放的地址，指向 ISR。
- 4) 执行中断服务程序 (ISR)。CPU 执行 ISR，包括从中断返回的指令，然后将自动恢复某些寄存器的值。

收到并确认中断请求后，CPU 将产生一个中断矢量地址。查找相应的中断类型和 ISR，将通过该地址映射完成。中断地址映射，将通过寄存器 IVPH 和 IVPD 来完成。所有不同的地址，组成一个中断矢量表。可以把中断映射理解成通过 IVPH 和 IVPD 组成的首地址加偏移量 (ISR 号) 来完成。

与中断相关的寄存器为 IVPD、IVPH、IER0、IER1、IFR0、IFR1、DBIER0

和 DBIER1(DBIER_x 仅用于调试器在实时仿真时)。另外，与之相关的还有 ST1_55 寄存器的 INTM 位。

IVPD 和 IVPH 都为 16bit 的寄存器。IVPD 的地址，代表是中断 0~15 和中断 24~31 的首地址，IVPH 的地址，是中断 16~23 的首地址。需要注意的是：IVPD 和 IVPH 的值需要左移 8 位。例如 IVPD 的值为 0x0001，实际表示的中断首地址为 0x0100。

IER_x($x = 0,1$)寄存器表示是否使能该号中断。IER0 的结构如表 3-10 所示，IER1 的结构如表 3-11 所示。

表 3-10 IER0

位	字段	数值	说明
15	IE15	0 1	15 号中断 禁止 使能
14	IE14	0 1	14 号中断 禁止 使能
13	IE13	0 1	13 号中断 禁止 使能
12	IE12	0 1	12 号中断 禁止 使能
11	IE11	0 1	11 号中断 禁止 使能
10	IE10	0 1	10 号中断 禁止 使能
9	IE9	0 1	9 号中断 禁止 使能
8	IE8	0 1	8 号中断 禁止 使能
7	IE7	0 1	7 号中断 禁止 使能

6	IE6	0 1	6号中断 禁止 使能
5	IE5	0 1	5号中断 禁止 使能
4	IE4	0 1	4号中断 禁止 使能
3	IE3	0 1	3号中断 禁止 使能
2	IE2	0 1	2号中断 禁止 使能
1~0	Rsvd		保留

表 3-11 IER1

位	字段	数值	说明
15~11	Rsvd		保留
10	RTOSINTE	0 1	实时操作系统中断 禁止 使能
9	DLOGINTE	0 1	数据日志中断 禁止 使能
8	BERRINTE	0 1	总线错误中断 禁止 使能
7	IE23	0 1	23号中断 禁止 使能
6	IE22	0 1	22号中断 禁止 使能
5	IE21	0 1	21号中断 禁止 使能
4	IE20	0	20号中断 禁止

		1	使能
3	IE19	0	19号中断 禁止
		1	使能
2	IE18	0	18号中断 禁止
		1	使能
1	IE17	0	17号中断 禁止
		1	使能
0	IE16	0	16号中断 禁止
		1	使能

IFR_x($x = 0,1$)寄存器表示是否有中断请求发生。各位如果为 0, 表示无该号中断请求; 如果为 1 表示有该号中断请求。如果同时多位被置 1, 则 CPU 将根据中断优先级进行处理。其结构与表 3-10 和表 3-11 相似, 这里不再表述。

在进行中断前, 应该将 ST1_55 寄存器的 INTM 位置为 1, 表示禁止所有可屏蔽中断; 当完成 IVPD、IVPH、IER0、IER1、IFR0、IFR1、DBIER0 和 DBIER1(DBIER_x仅用于调试器在实时仿真时)的配置后, 再将 INTM 位清 0, 它表示使能所有的可屏蔽中断。至此, 中断初始化完毕。

另外, 还有其他外设的初始化, 如 McBSP 和 I²C 等, 这里就不再赘述。

3.4 FPGA 各个模块

3.4.1 MegaWizard Plug-in Manager 的使用

某些模块采用的是 Altera 的 IP core, 例如 PLL 模块和 FIFO 模块等。此时, 利用 Altera 的 EDA 工具 Quartus II 来生成。Quartus II 的菜单 MegaWizard Plug-in Manager 包括许多专业的 EDA 设计, 专门用于定制各种 EDA 函数, 非常方便可靠, 其中有许多是免费的, 给工程实现带来了巨大的便利。例如, 定制 FIFO 模块, 调用图如图 3-10 所示[24]。

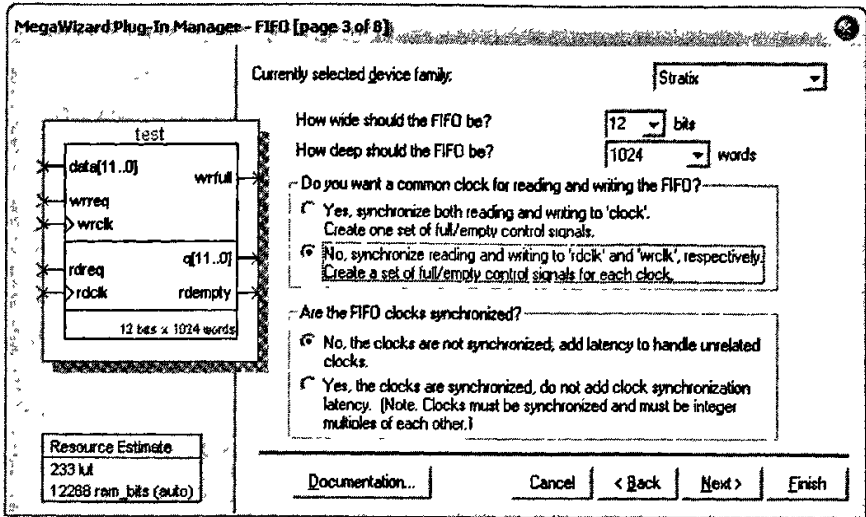


图 3-10 MegaWizard 的使用图

3.4.2 PLL 模块

PLL 模块如图 3-11 所示，inclk0 为输入时钟引脚，时钟被配置为 20MHz。areset 为输入引脚，提供复位。c2 为输出引脚，经过倍频后，为 120MHz 时钟，作为全局时钟供给 FIFO 模块、函数产生模块，以及给片外的 AD9430、AD9742 提供时钟[21][24]。

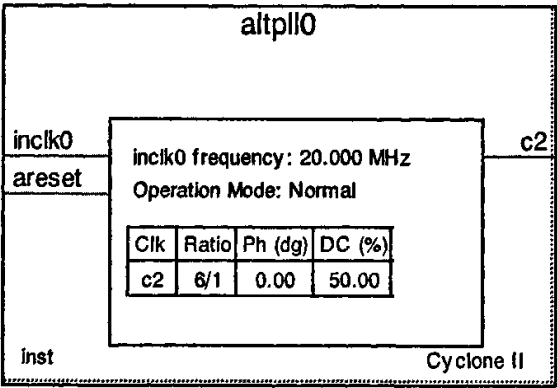


图 3-11 FPGA 的 PLL 模块图

其功能仿真图为：

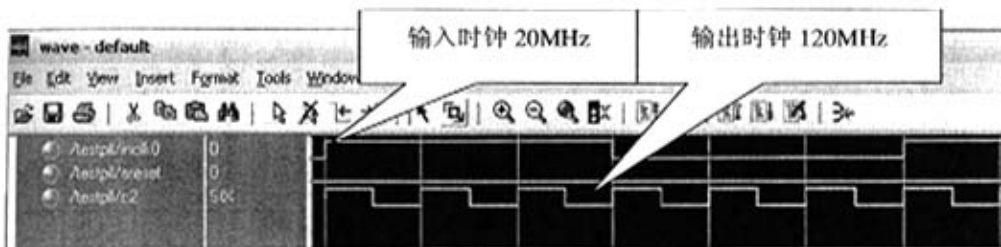


图 3-12 FPGA 的 PLL 仿真图

3.4.3 FIFO 模块

FIFO 模块如图 3-13 所示，其位宽为 12bit，深度为 1024words，读写分别采用两个时钟控制。 $data[11..0]$ 为输入端，可以向 FIFO 写数据，位宽为 12bit，在 FPGA 中，对应的是 AD9430 的输出端。 $wrc1k$ 为写时钟信号，由 PLL 模块提供。 $wrreq$ 为输入引脚，当其为高电平、且 FIFO 未滿时，允许向 FIFO 写入数据；当其为低电平、或者 FIFO 已滿，不能向 FIFO 写入数据。 $wrfull$ 为输出引脚，当 FIFO 已滿时，该引脚被拉高，其余时间为低。 $q[11..0]$ 为输出端，通过该引脚读 FIFO 数据，位宽为 12bit，对应 DSP 的数据总线。 $rdc1k$ 为读时钟，由 DSP 提供。 $rdreq$ 为输入引脚，当其为高电平、且 FIFO 非空时，允许读 FIFO 数据；当其为低电平、或者 FIFO 已空，不能读 FIFO 数据[24]。

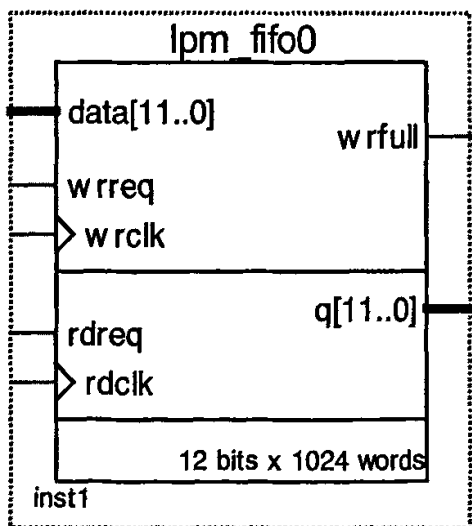


图 3-13 FIFO 模块图

对 FIFO 的功能仿真图为：

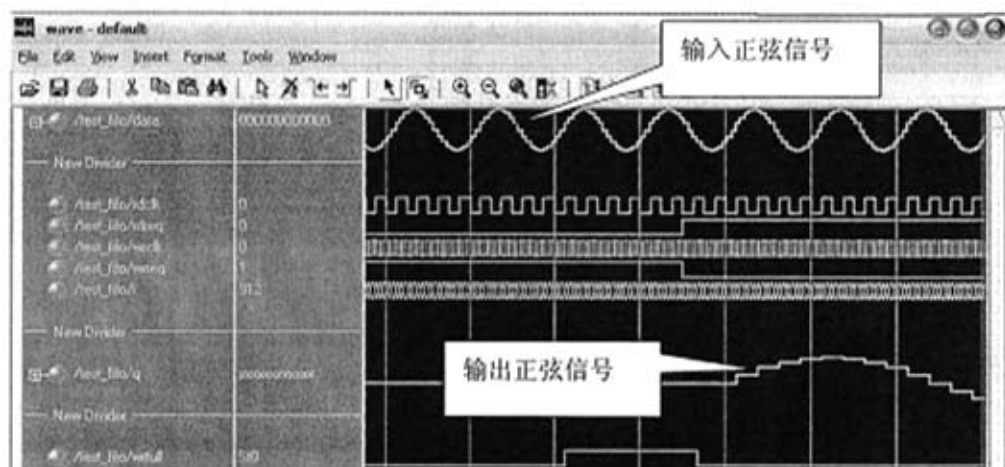


图 3-14 FIFO 仿真图

写 FIFO 和读 FIFO 全由 DSP 控制。DSP 通过异步 EMIF 接口对 FIFO 进行操作。DSP 异步写操作时序如图 3-15 所示，异步读时序如图 3-16 所示[26]。

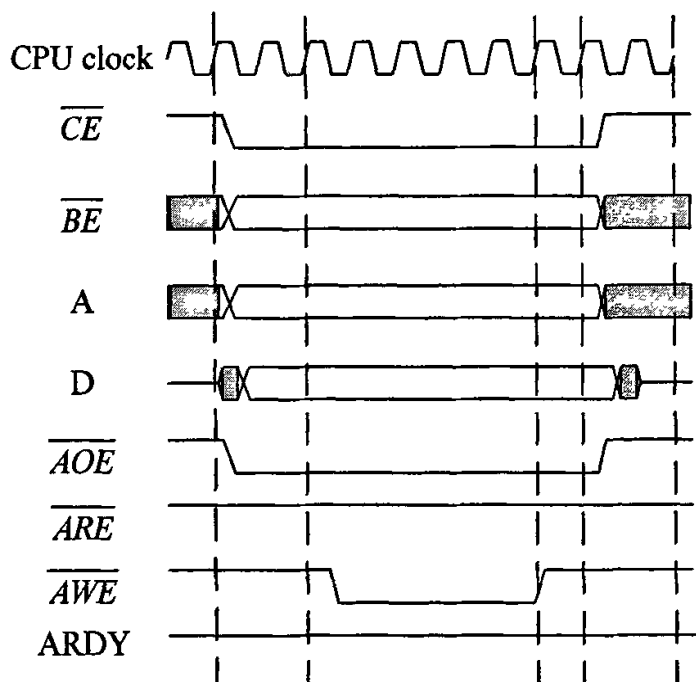


图 3-15 EMIF 异步写时序图

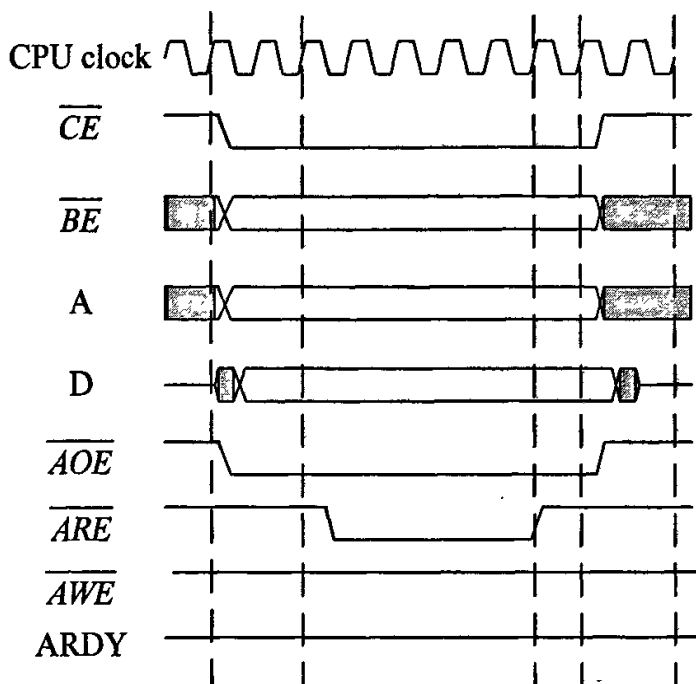


图 3-16 EMFI 异步读时序图

因此，写 FIFO 就要控制 wrclk 和 wrreq 两个信号，其中 wrclk 来自于 PLL 模块，而 wrreq 的产生如图 3-17 所示。

图 3-17 中，时钟 clock 来自 dsp_clkout，即 DSP 的引脚 CLKOUT 产生的时钟信号。data 信号由 dsp2fpga[0]来控制，dsp2fpga[0]是 DSP 朝片外地址 0x200006 写入的数据中的最低位。控制 data 有效的 enable 由 dsp_ce1_eq6 确定，dsp_ce1_eq6 是 $\overline{CE1}$ 、 \overline{WE} 和地址线译码的逻辑组合。当 DSP 朝片外地址 0x200006 写入数据“1”时，enable 信号为高，data 有效地传至 wrreq，即 wrreq 也为高，由于触发器的作用，该值将持续保持，因此可以持续地向 FPGA 写入数据。只有当 FIFO 已满或 DSP 朝片外地址 0x200006 写入数据“0”时，FIFO 才不能写入。

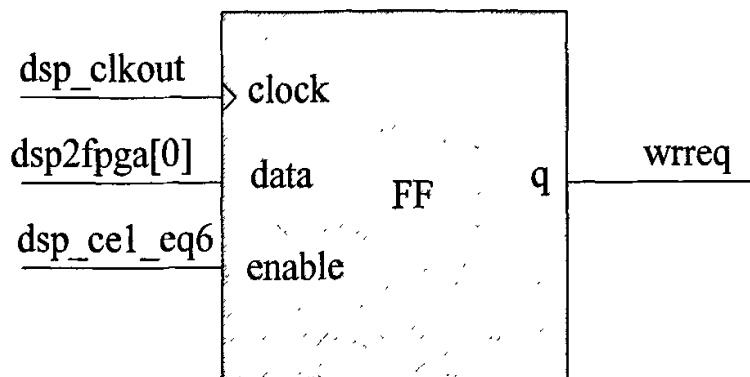


图 3-17 wrreq 信号产生框图

读 FIFO 需要控制 rdclk 和 rdreq 信号, 其中 rdclk 为 $\overline{CE1}$ 和 \overline{RE} 的逻辑组合, rdreq 为 $\overline{CE1}$ 和 \overline{OE} 的逻辑组合, 这里不再赘述。

FPGA 利用 FIFO 模块与 DSP 相互通信。DSP 读入的 WCDMA 信号的数据, 在 CCS 上显示为:

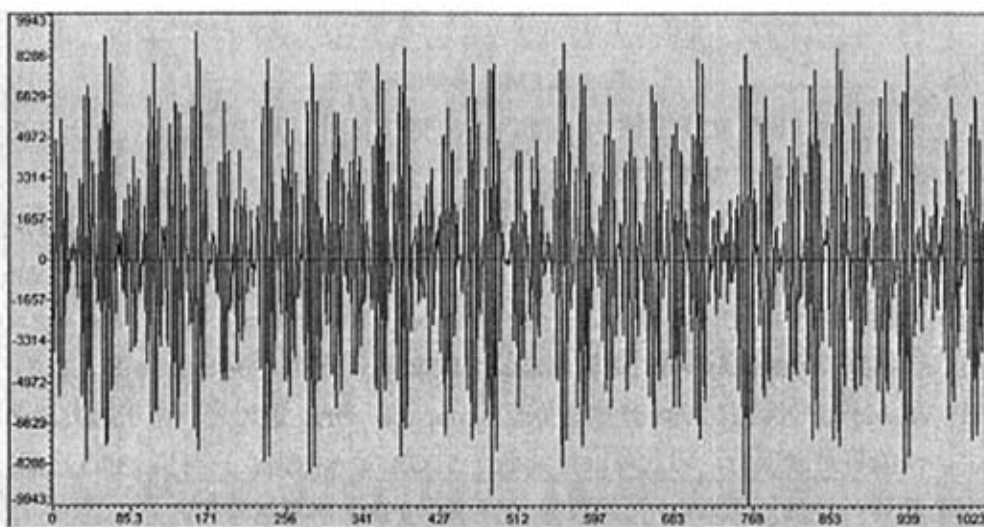


图 3-18 WCDMA 信号

3.4.4 函数产生模块

函数产生模块如图 3-19 所示, 主要产生函数:

$$\begin{aligned}
 F_1\{x_m(t)\} &= \alpha_{11} + \alpha_{13}x_m(t) + \alpha_{15}x_m^2(t) \\
 F_2\{x_m(t)\} &= \alpha_{21} + \alpha_{23}x_m(t) + \alpha_{25}x_m^2(t) \\
 x_m(t) &= |V_m(t)|^2
 \end{aligned}
 \tag{3-7}$$

clk 来源于 PLL 模块, aclr 来自于系统复位, alpha1、alpha3、alpha5 来源于 DSP 所写系数。voltage[11:0](即 $|V_m(t)|$)为 12bit, 来源于 AD9430, 它产生以上的函数, 输出为 result[11:0](即 $F\{x_m(t)\}$)。

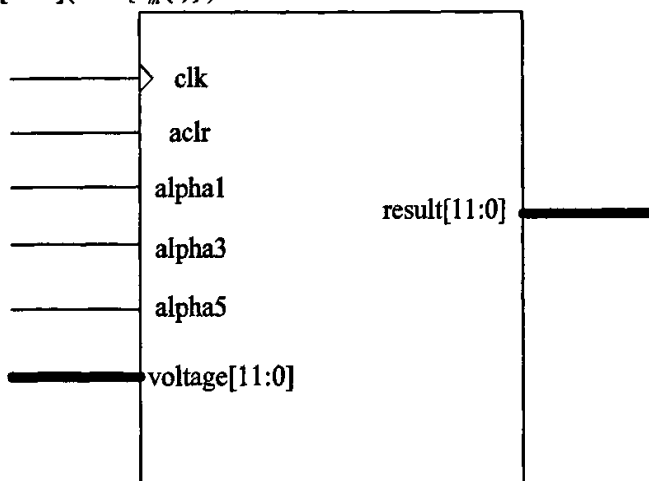


图 3-19 函数发生模块框图

由于系统要产生 6 个输入系数, 两个输出函数, 故该模块被并行调用了两次。其功能仿真如图 3-20 所示[27]。



图 3-20 函数模块仿真图

3.4.5 其他

以上是 FPGA 里面的主要模块, FPGA 还附带有一些其他功能, 这里不再赘述。在将 DSP 与 FPGA 联合在一起调试时, 常常用 Quartus II 软件里面的 Signal Tap II

软件进行调试[24]。

例如，DSP 返回的系数在 Signal Tap II 中如图 3-21 所示。

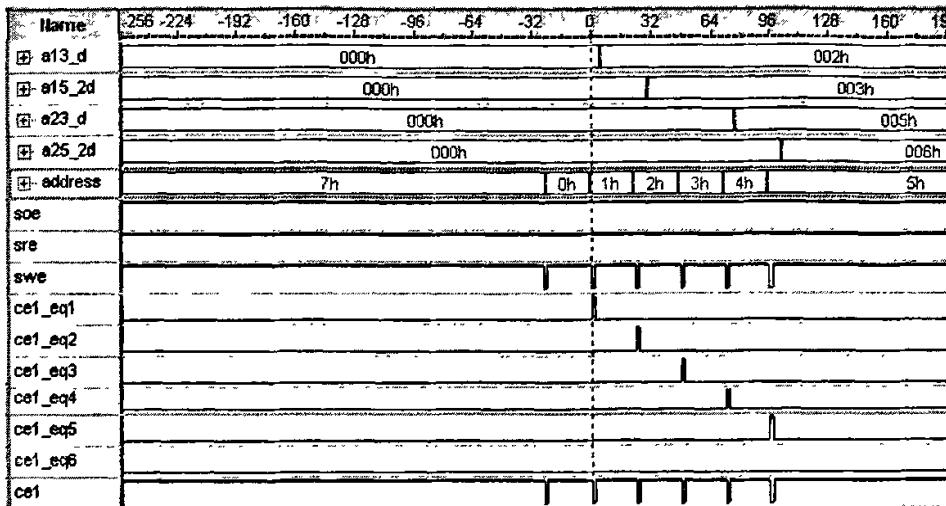


图 3-21 DSP 向 FPGA 返回系数调试图

又如调试 A/D 与 D/A 的图如图 3-22 所示。

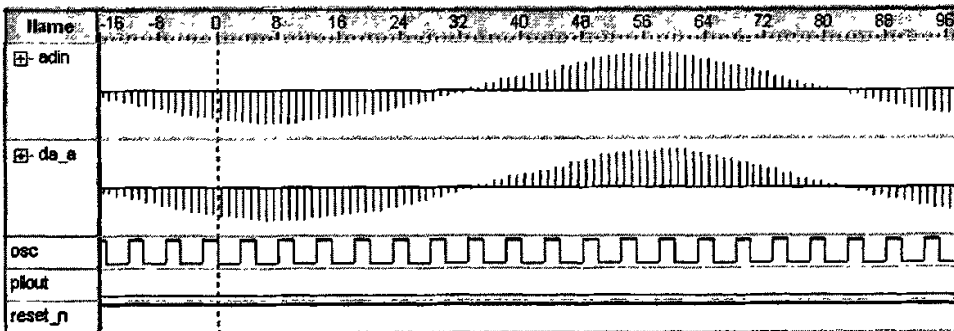


图 3-22 A/D 到 D/A 调试图

经过调试，最终将所有模块组合在一起，在 Quartus II 里面综合布线。图 3-23 表示 FPGA 所用资源的情况，报告了逻辑单元、寄存器、锁相环等利用的情况。总的说来，FPGA 里面所有模块都综合布线成功，资源留有余量。图 3-24 表示 FPGA 里面的时序报告[24]，所有的路径都能满足时钟要求，时序分析通过。

Flow Status	Successful - Fri Dec 08 15:02:14 2006
Quartus II Version	5.0 Build 148 04/26/2005 SJ Full Version
Revision Name	wcdma
Top-level Entity Name	wcdma
Family	Cyclone II
Device	EP2C5Q208C7
Timing Models	Preliminary
Met timing requirements	Yes
Total logic elements	330 / 4,608 (7 %)
Total registers	315
Total pins	75 / 142 (52 %)
Total virtual pins	0
Total memory bits	12,696 / 119,808 (10 %)
Embedded Multiplier 9-bit elements	12 / 28 (46 %)
Total PLLs	1 / 2 (50 %)

图 3-23 FPGA 资源消耗图

Timing Analyzer Summary					
	Type	Slack	Required Time	Actual Time	From
1	Worst-case tsu	N/A	None	8.209 ns	rx_dsp_address_8b[1]
2	Worst-case tco	N/A	None	8.964 ns	fifo0:Hyfifo0 defifo:defifo_compu
3	Worst-case tpd	N/A	None	9.319 ns	rx_dsp_oa_n
4	Worst-case th	N/A	None	-3.110 ns	rx_dsp_sel_n
5	Clock Setup: 'rx_dsp_clkout'	0.559 ns	40.00 MHz (period = 25.000 ns)	N/A	mydecode3:8:Hydecode lpm_decode:1
6	Clock Setup: 'pll:WPLL altpll:altpll_comp...	2.792 ns	120.00 MHz (period = 8.333 ns)	180.47 MHz (period = 5.541 ns)	fifo0:Hyfifo0 defifo:defifo_compu
7	Clock Setup: 'rx_dsp_sel_n'	N/A	None	157.95 MHz (period = 6.331 ns)	fifo0:Hyfifo0 defifo:defifo_compu
8	Clock Setup: 'rx_dsp_re_n'	N/A	None	157.95 MHz (period = 6.331 ns)	fifo0:Hyfifo0 defifo:defifo_compu
9	Clock Hold: 'pll:WPLL altpll:altpll_comp...	0.724 ns	120.00 MHz (period = 8.333 ns)	N/A	cdnsfunc:W1_cdnsfunc altshift_top
10	Clock Hold: 'rx_dsp_clkout'	7.154 ns	40.00 MHz (period = 25.000 ns)	N/A	full_d
11	Total number of failed paths				

没有布线失败的路径，时序分析通过

图 3-24 时序报告图

至此，FPGA 的调试完毕。

第四章 软件系统

4.1 算法架构

整个算法围绕采用自适应预失真方法搜索出工作函数多项式的六个系数 α_{11} 、 α_{13} 、 α_{15} 、 α_{21} 、 α_{23} 和 α_{25} 。搜索算法采用的是 Hooke-Jeeves 步长加速算法[22]，其框架及具体实现如图 4-1 所示[25][26]。

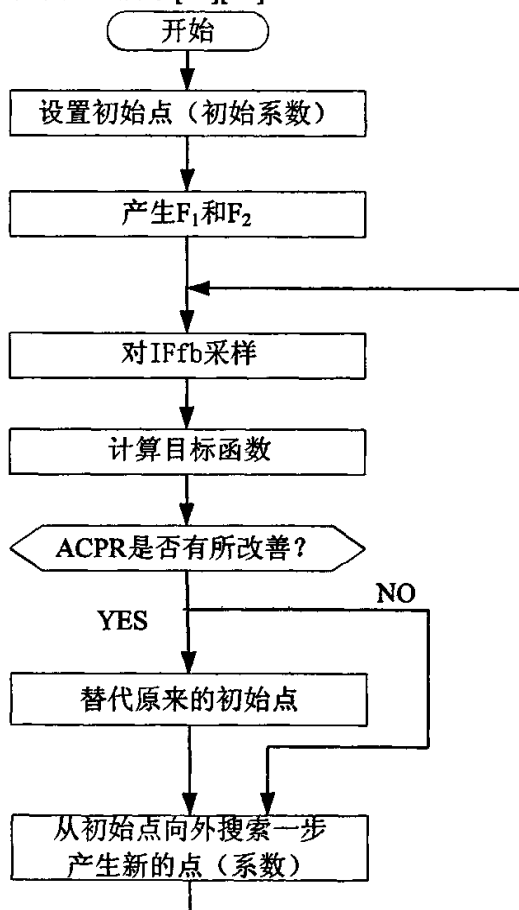


图 4-1 Hooke-Jeeves 算法框图

该结构中的计算目标函数，需要 AD9430 对 IFfb 采样所得的采样值。因此，实现该函数功能，需要硬件配合，其功能框架如图 4-2 所示。

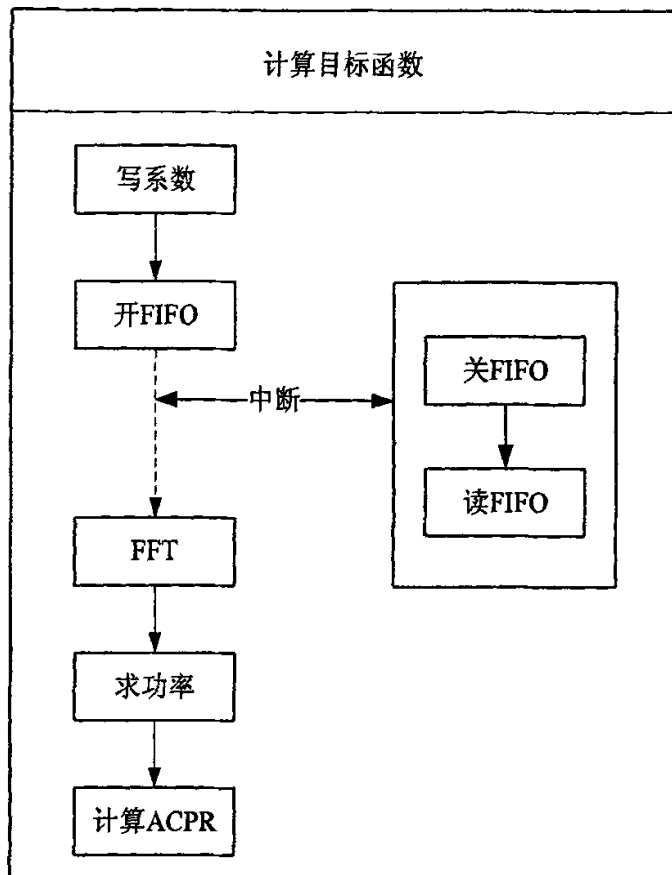


图 4-2 计算目标函数框图

要计算目标函数，需要将系数 α_{11} 、 α_{13} 、 α_{15} 、 α_{21} 、 α_{23} 和 α_{25} 写入 FPGA，由 FPGA 的函数产生模块产生 F_1 、 F_2 函数，然后输入到预失真器，对功放产生影响；功放的反馈信号 IFb，被 A/D 采样后送入 FPGA。接着，DSP 控制 FPGA 打开 FIFO，此时，IFb 信号被写入 FIFO。当 FIFO 接收满一帧(1024 个样本)时，产生满信号，引入 DSP，产生中断。在中断服务程序(ISR)中，DSP 控制 FPGA 关闭 FIFO，不再接收数据，并且读出 FIFO 的一帧数据，用于 FFT 操作，求功率，计算 ACPR 值。至此，计算目标函数完成。

4.2 代码优化

在第二章分析了算法复杂度，本项目最主要的部分就是 FFT 计算。在搜索中要不断重复计算 FFT，因此 FFT 的实现效率，将直接影响到整个系统的效率。同

时，必须在保证搜索质量的前提下，充分加大步长，以提高搜索的效率。

4.2.1 常用优化方法

DSP 程序优化的方法有很多。首先，可以使用 CCS (Code Composer Studio) 中的优化 C 编译器 (Optimizing C Compiler) 对程序进行优化。表面上看，这种方法所需的工作量最少，只需要在 CCS 中加入几个优化编译选项即可，并且，其优化编译的效率较高，即 C 程序经过优化后，某些方面其效率可接近汇编程序。一般 CCS 程序优化分为文件级优化 (File-level Optimization) 和程序级优化

(Program-level Optimization)，这两类优化都有大量的设置和选项。因此，要达到正确的、优化的编译效果，需要很多软件设计的知识和熟悉各个编译选项。对于初学者，采用优化 C 编译器对程序进行优化将会遇到许多困难，难以真正提高工程进度。

另一种优化方法，就是将原来用 C 语言编写的程序转化成汇编语言。汇编的优点是执行效率高，但缺点是编写难度大，并且调试也不方便，难以实现。因此，这种方法对于简单的程序是可行的，但是，对于复杂的程序，完全使用汇编语言来完成工作量过大。

一种折衷的方案是 C 语言和汇编语言混合编程，即主程序和控制部分用 C 语言编写，核心程序如 FFT 等，使用汇编语言编程，这样既便于编程，又保证了程序效率，是一种可行的方案，也是目前 TI 公司推荐的一种软件实现方案。

本算法的软件实现采用的就是这种编程思想。整个程序框架用 C 语言编写，涉及信号处理的部分用汇编语言编写。但是，由于本算法的数据处理复杂，运算量很大，如果仅仅是这样编写的程序，仍然难以实时实现，还需要对汇编程序作进一步优化。

考虑到如 FFT 之类的程序操作都十分规范，因此，完全可以将优化过的操作代码做成子程序调用。但是，不同的程序员编写的代码效率差别较大，因此，最好是能将效率较高的代码做成一个统一的标准。这样，既减少了程序员的工作量，又提高了程序效率。为了解决这一问题，TI 公司提供了一系列库函数 (TI DSP Library, 以下简称 DSPLib) 来完成这些操作，在程序开发中合理使用这些库函数，将大大提高系统性能。下面将结合本算法，介绍 DSPLib 的使用，并进行性能分析。

4.2.2 DSPLib

4.2.2.1 DSPLib 的特点

德州仪器 TMS320C55x DSPLib 是专为 TMS320C55x 器件上的 C 程序员提供的优化的 DSP 函数库。它包括超过 50 个可由 C 语言直接调用、在汇编级优化的信号处理常用程序, 这些汇编程序被组织成 8 类: FFT、滤波和卷积、自适应滤波、相关、数学函数、三角、矩阵和其他混合类。这些程序在典型的大计算量的实时应用中有着严格优化的执行速度。使用这些程序, 比用标准 ANSI C 语言写的代码获得更高的执行速度。直接使用这些 DSP 函数, 可以显著地缩短 DSP 应用开发的时间。

DSPLIB 具有如下特征:

- 1) 手动汇编优化程序;
- 2) TI C55x 编译器全兼容 C 语言可调用的程序;
- 3) 支持分数 Q-15 格式操作数;
- 4) 提供完全的使用例程。

DSPLIB 是免费产品, 可以直接到 TI 网站下载安装即可使用。高版本的 CCS (Code Composer Studio) 一般都集成了这一模块。一个完整的 TI DSPLib 软件包含四个部分:

- 1) 一个用于 C 编程的头文件: `dsplib.h`;
- 2) 一个目标库: `55xdsp.lib`;
- 3) 一个允许功能用户化的源库: `55xdsp.src`;
- 4) 例程及链接命令文件。

4.2.2.2 DSPLib 的使用

要使用 DSPLib, 需添加相关的头文件和库, 如图 4-3 所示。

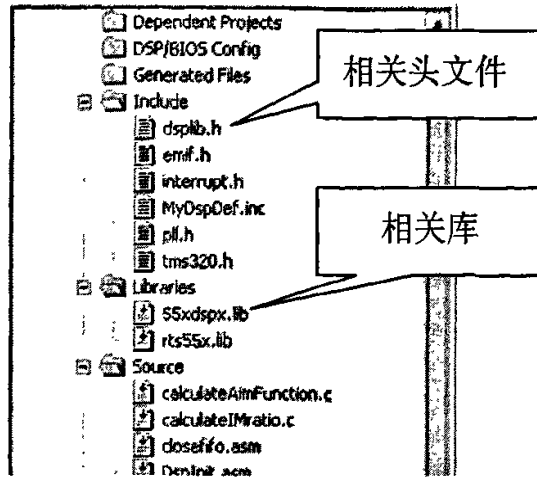


图 4-3 Dsplib 使用示例图

由于我们调用的是 32bit 实 FFT，所以调用的函数为：

$$\text{rfft32}(x, nx, \text{type}) \quad (4-1)$$

其中 x 是输入数据即 IFfb 信号； nx 代表数据的个数，这里是一帧的长度 1024； type 代表是否先处理数据(数据右移移位，防止 FFT 时溢出)，有 SCALE 和 NOSCALE 两个选项。

计算出来的 WCDMA 信号的功率谱如图 4-4 所示。

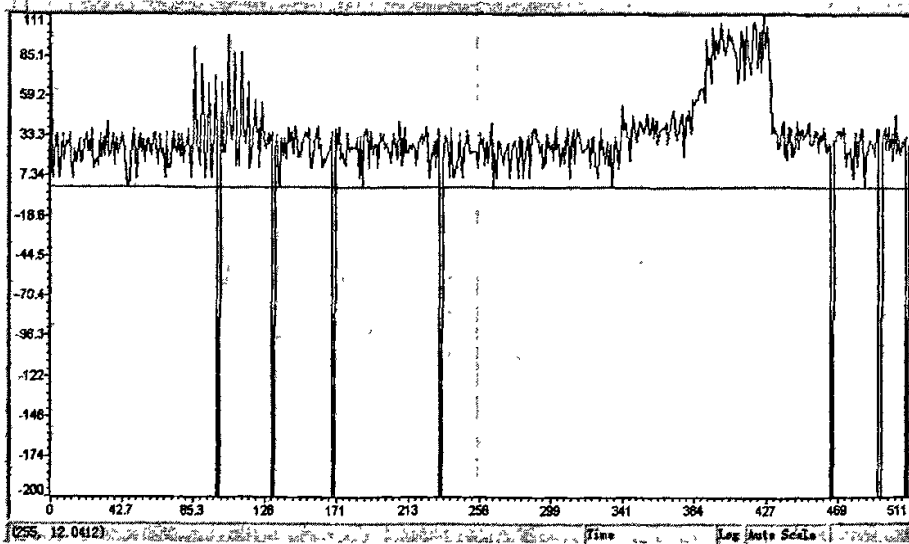


图 4-4 WCDMA 信号功率谱

4.2.2.3 DSPLib 的性能评估

在 dsplib.h 中, `rfft32(x,nx,type)` 由以下三个函数组成: `cfft32_##type(x,nx/2)`、`cbrev32(x,x,nx/2)` 和 `unpack32(x,nx)`。最关键的是评估 `cfft32_##type(x,nx/2)` 函数。TI 公司提供的评估结果如下:

表 4-1 cfft32-SCALE 评估代码

FFT 点数	所需时钟周期个数	代码长度 (字节)
16	715	504
32	1712	504
64	4038	504
128	9412	504
256	21618	504
512	48960	504

表 4-2 cfft32-NOSCALE 评估代码

FFT 点数	所需时钟周期个数	代码长度 (字节)
16	601	307
32	1461	307
64	3460	307
128	8083	307
256	18594	307
512	42161	307

采用 CCS 里面的 Profiler 工具, 对 1024 点 32bit 的定点数 FFT 做评估, 选用 NOSCALE 模式, 需要时钟周期为 62192 个, 而大多数用 C 语言所写的程序, 都需要 300,000 个时钟周期以上。

4.2.2.4 DSPLib 的局限性

使用 DSPLib 虽然可以大大提高了程序效率, 但其代价为通用性降低。原因在于, 为了最大限度地提高效率, 在对代码进行手工优化的过程中, 引入了一些强制假设, 使用了大量的操作合并、并行处理等简化手段, 从而导致库函数的通用性降低。因此, 使用 `rfft32(x,nx,type)` 必须遵循:

- 1) 输入数据的地址的最低($n+1$)位必须为 0, 其中 $n = \log_2 nx$ 。
- 2) 确保整个数据在 64K 边界内。

3) 为了保证最好的效果, 数据最好放在 DARAM 里面。

4.2.3 其他优化方法

除了采用 DSPLib 优化程序外, 还可以将 DSP 实现的部分内容转移至 FPGA。比如, A/D 的数据最终被传送至 DSP, DSP 可能会对这些数据进行移位操作, 可以直接在 FPGA 里面实现, 不需要增加资源; 又如, 数据可能需要从二进制原码转换成二进制补码, 既可在 DSP 里面实现, 也可在 FPGA 里面实现。在 DSP 里面实现, 将会减少资源的消耗, 但缺点是速度慢、效率低。采用硬件则恰恰相反, 它的效率高, 但是以更多的资源消耗为代价。考虑到 FPGA 的资源还有余, 所以, 可以更多地 DSP 的工作转移至 FPGA。

4.3 其他

本项目对系统的精确度要求也很高, 精确度将会影响到搜索是否朝正确方向进行, 并最终影响结果。因此, 软件调试过程中做了如下工作:

- 1) 最初采用的 16bit FFT, 后来采用了 32bit FFT。
- 2) 反复实验以寻找较适宜的步长, 既能保证效果, 又能保证效率。
- 3) 从数字部分发出控制电压, 到放大器反馈信号稳定, 需要等待一段时间, 以提高系统采样结果的准确度。
- 4) 每次计算 3 阶 ACPR, 为了去除随机误差, 需要多次采样 IFfb, 然后平均。

第五章 联合调试及结果

5.1 调试平台和工作条件

最终调试需要将数字部分、预失真部分和微波功率放大器进行组装在一起。数字部分向预失真部分提供控制电压，同时接入各种监控信号；预失真部分产生预失真效果，输出接入功放；功放产生的反馈信号 IF_{fb} 与原始信号 IF_{in} 同时接入数字部分。所用的调试工具如下：

- 1) 频谱分析仪 1 台，型号 ROHDE&SCHWARZ,FSP40，频谱范围 9KHz~40GHz。
- 2) 信号发生器 1 台，型号 ROHDE&SCHWARZ，频谱范围 10MHz~20GHz。
- 3) 功率计 1 台，型号 Aglient E4418B EPM Seies Power Meter；探头，Agilent E4412A 工作范围 100pw~100mw， $-70\sim+20$ dBm，10MHz~18GHz。
- 4) 稳压电源 2 台，一台型号为 6626A system DC power supply；另一台型号为 6683A system DC power supply，工作范围 0~32V，0~160A，精度 3mV。
- 5) 矢量信号源 1 台，型号 Agilent E4432B ESG-D Series Signal generator，频谱范围 250KHz~3.0GHz。
- 6) 数字示波器 1 台，型号 Lecroy WaveRunner 6051A，Dual 5Gs/s，频谱范围 500MHz Oscilloscope。

其实物图如下：

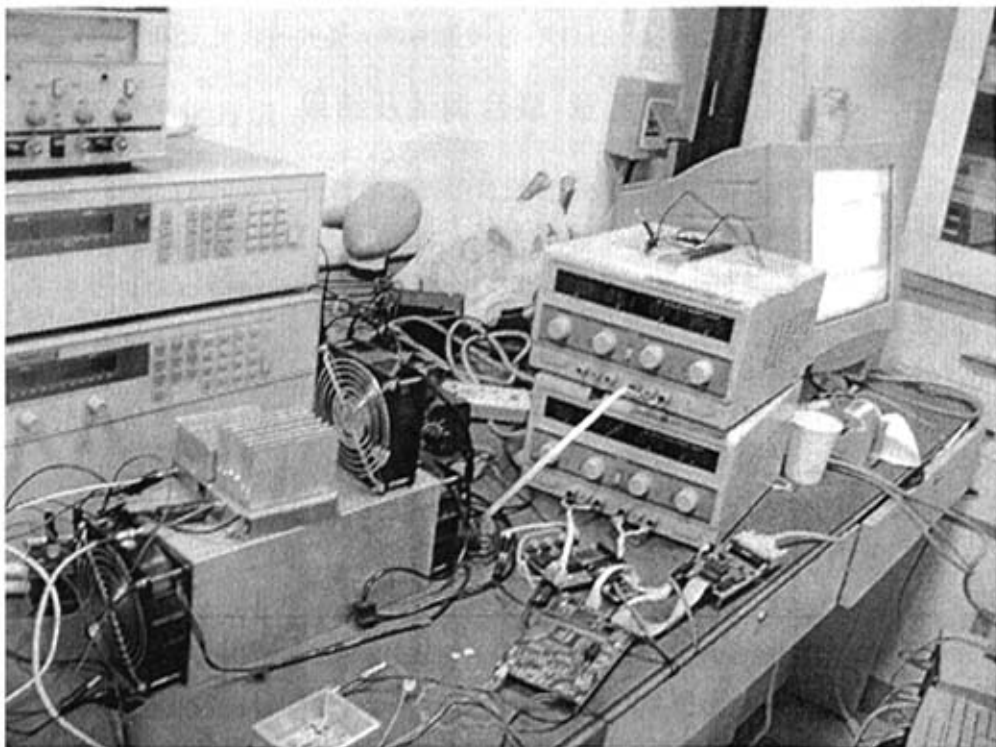


图 5-1 联合调试实物图

信号采用矢量信号源生成的 WCDMA 信号, 中心频率 2.14GHz, 带宽 30MHz, 峰均比 7.5, 该信号与信号发生器产生的 1.99GHz 本振信号混频, 然后进入数字部分和预失真部分, 放大器输出功率为 42dBm(约 15.8W)。

5.2 调试指标

经过总结, 数字部分要实现以下指标:

- 1) 在输出功率为 42dBm(约 15.8W)时, 最终要求, 3 阶 ACPR 值应在 -52dB 以下; 阶段性要求, ACPR 有较大的改善。这是整个微波功率放大器要实现的最重要的指标。
- 2) A/D 的有效精度在 9.5bit 以上, D/A 有效精度在 9.5bit 以上。
- 3) 根据功率效率指标计算, 数字电路板的总功率应小于 3W。
- 4) 系统应在较短时间内进入稳定状态, 但没有定量要求。
- 5) 具有完善的输入输出功率检测、驻波、温度、过压和过流告警。
- 6) 控制功率放大器的开关等。

5.3 调试结果及分析

5.3.1 ACPR

调试目标主要关注输出信号的 3 阶 ACPR 值。这也是本项目的第一个指标。未经预失真的放大器的输出频谱如图 5-2 所示。

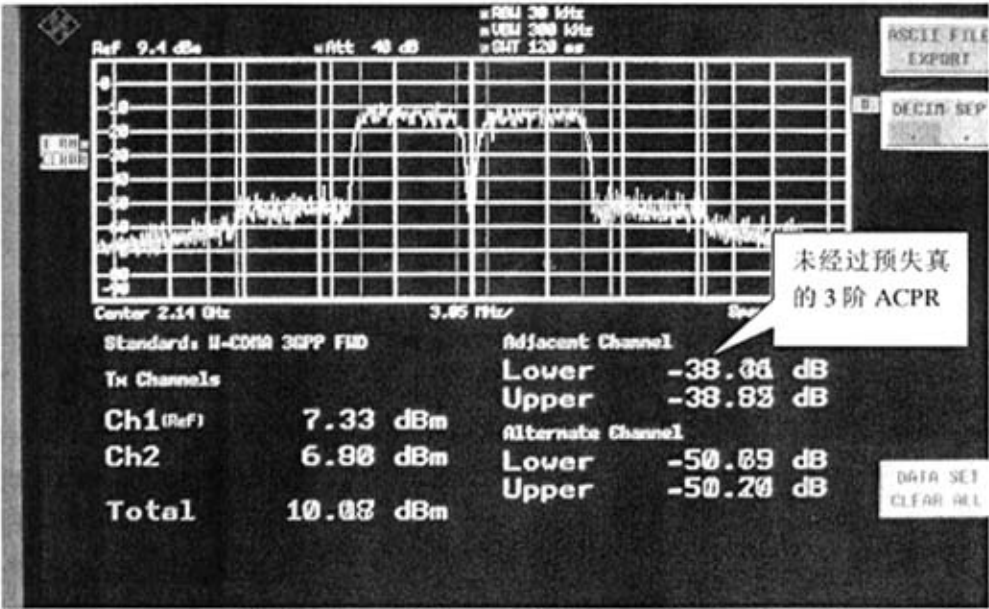


图 5-2 未经过预失真的输出信号频谱

经过预失真后放大器输出的频谱如图 5-3 所示。

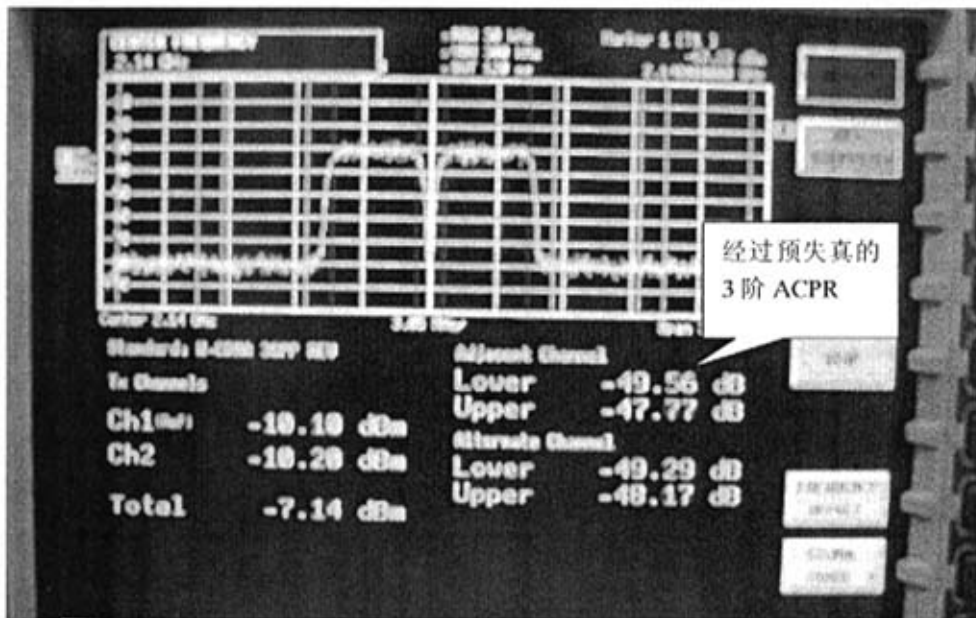


图 5-3 经过预失真的输出信号频谱

从上面两幅图中可以看出,采用预失真法对功率放大器输出频谱有 10dB 的改善。已符合阶段性指标的要求。但是,离最终 ACPR 值 -52dB 还差 4dB。

采用 Agilent 的稳压电源 6626A system DC power supply,替代数字部分向预失真部分供给控制电压,通过选择合适的匹配阻抗,以及手动调节电压,发现 ACPR 值依然难再有提高。分析应是预失真部分的问题。

5.3.2 有效精度

AD9430 是 12bit 的 A/D,由 AD 公司评估的数据表明,其有效精度为 10.6bit,这是在工作条件十分良好的情况下测试到的结果。但是,数字电路板上噪声可能会降低其性能。在项目实践中,通过 Signal Tap II 测得 A/D 的有效精度为 10bit,满足项目指标。

AD9742 是 12bit 的 D/A,经过 Lecroy 的数字示波器 WaveRunner 6051A 测试,其有效精度略高于 10bit,满足项目指标。

5.3.3 功率

整个数字电路板的功耗为 5W 左右,远远超过指标要求的 3W。

功耗最大的器件,是 AD9430,AD 公司评估的功耗为 1.3W,在数字电路板上

实测为 1.6W。数字电路板采用了 2 片，故功率总和已超过 3W。要达到指标，需要选择更低功耗的 A/D。

5.3.4 实时性

整个系统的效率主要受以下因素影响：

- 1) FFT 的计算效率。
- 2) 搜索步长因子。
- 3) 从数字部分发出控制电压，到放大器反馈信号稳定的时间。
- 4) 对 Iffb 采样平均的次数。

经分析，FFT 已经采用 DSPlib 优化过，这里不再考虑。

搜索步长越大，到达搜索中止的条件越难，因此收敛越慢；搜索步长越小，到达搜索中止的条件越易，收敛越快，但是，难以找到全局最优点。

因素 3 和因素 4 同时影响 ACPR 的精度。必须在满足 ACPR 值精度的前提下，寻找最短的稳定时间和最少的平均次数。

文献[4][8][9][13][17]定性提到温度、湿度以及器件老化等环境参数变化，这些变化很慢，不需要很快的自适应速度。文献[17]讨论了步长加速法的收敛速度和稳定性。在工程中，经过精度和效率的权衡，整个系统需要 10 分钟左右达到稳定状态，从稳定状态能有效跟踪环境参数变化。

5.3.5 其他

由 DSP 的 McBSP、 I^2C 、串口，实现输入输出功率检测、驻波、温度、过压和过流告警。目前，McBSP、 I^2C 、串口已经调试完毕，但是缺乏其它硬件，因此尚未实现和调试其他功能。

功放开关由 DSP 和 FPGA 控制，符合项目指标要求。

以上所有指标中，指标 1 是最重要的，也是今后还需进一步改善的。

第六章 总结

对功率放大器线性化技术的研究一直是功放研究的热点，国外研究起步早，已有成熟的产品问世；国内在这方面研究才起步，相关理论和实际产品都较少，且大多数都集中在前馈技术的研究上，预失真领域的研究基本还是一个空白。

本文在研究功率放大器非线性特性的基础上，综合各种线性化方法的优缺点，采用了数字自适应预失真线性化方案。通过初期项目的实践，测试功率放大器的线性化指标，达到了阶段性项目指标，验证了方案的可行性和有效性。

测试结果说明，自适应预失真方案能有效改进放大器的非线性特性，有效抑制带外功率，使邻道干扰大幅度减弱。

所做的工作和获得的经验总结如下：

- 1) **DSP 和 FPGA 技术的快速发展，为本项目创造了良好的技术基础。**以往使用模拟电路实现的方案，现在也能在数字电路上达到高速实现，并且在抗干扰、精度方面有更好的性能。
- 2) **比起其他线性化方法，自适应预失真算法能更好地处理温度、湿度和功放老化等环境参数变化所引起的线性度指标恶化等问题。**最终，本系统得到 -48dB 的 3 阶 ACPR。
- 3) **数字电路设计需要考虑高速度和高功耗问题。**需要考虑高速信号带来的噪声问题，比如差分走线等问题；同时考虑高功耗所带来的散热问题。
- 4) **FPGA 设计要满足高速时钟的要求，可以通过多级流水来解决；同时也要尽量减少资源消耗和功耗。**
- 5) **在 DSP 的软件调试中，要注意 C 语言和汇编语言混合编程与 CPU 寄存器相互之间的影响。**
- 6) **其他方法：利用 4 路控制电压产生 3 阶相位和幅度信号，5 阶相位和幅度信号；再结合自适应算法进行项目实践(该项目采用的实验平台与第一种方案的相同)。**经过分析发现两种方法得到的结果差异不大。

但是，本项目离最终的项目指标还有距离，需要开展的进一步的工作如下：

- 1) **需进一步减小反射、串扰、轨道塌陷(rail collapse)以及电磁干扰等[29]带来的问题。**应该用信号完整性分析的理论、技术和工具减小电路板

上的噪声。

- 2) 应选择, 满足采样率、功耗更低、精度更高的 A/D。但是, 受到生产技术的限制, 这样的 A/D 难以生产; 不仅如此, 与 AD9430 同样规格的产品, 在市场上也难以购买。
- 3) 需进一步加深对本方案的理解, 包括预失真模块内部的衰减器等。进一步深入掌握预失真模块的工作机理, 希望能提出更高效率的搜索算法。
- 4) 研究和仿真其他的线性化方案。目前正进行射频预失真方案的仿真实验。
- 5) 完成输入输出功率检测、驻波、温度、过压和过流告警功能。

致 谢

本论文是在导师彭启琮教授的悉心指导下完成的。他在我研究生学习期间给予了极大的关心和帮助，帮我拓宽了研究问题的思路，提高了分析问题的能力，更重要的是给我树立的今后学习工作的榜样！

感谢向超老师在项目中对我亦师亦友的指导。感谢李玉柏老师、管庆老师、邵怀宗老师、文光俊老师和钟沙拉老师等给予我的关心！

感谢本项目组的成员梁伦敏同学，我们在项目完成过程中相互鼓励，相互学习，都取得了进步！

最后，感谢我的家人和所有关心我的朋友！

参考文献

- [1] 陈贵强.微波功率放大器的线性化技术[硕士学位论文], 成都: 电子科技大学, 2004
- [2] Peter B. Kenington. High-Linearity RF Amplifier Design. Boston: Artech House, 2000: 1-10
- [3] Song-Gee Kung, et al. Analysis and Design of Feedforward Power Amplifier. IEEE MTT-S, 1997: 1519-1522
- [4] D.Dragomirescu, C.paris, P.Lacroix. Implementation of a Predistortion Algorithm to Linearise Base Station Power Amplifiers for 3rd Generation Mobile Telephony. IEEE MELECON, 2004:135-138
- [5] 刘光祜, 饶妮妮.模拟电路基础.成都: 电子科技大学出版社, 2001, 148-149
- [6] S.S.Stapleton, Amplifier linearization using adaptive RF predistortion, Applied Microwave and Wireless, 2002: 40-46
- [7] Peter B. Kenington. High-Linearity RF Amplifier Design. Boston: Artech House, 2000: 135-247
- [8] J.-S.Cardinal F.M.Ghannouchi. A new adaptive double envelope feedback (ADEF) linearizer for solid state power amplifiers. IEEE Trans. Microwave Theory Tech, 1995, Vol. 43:1508-1515
- [9] A. M. Smith, J. K. Cavers. A wideband architecture for adaptive feedforward linearization. IEEE 48th Vehicular Technology Conf, 1998, 2488-2492
- [10] Peter B. Kenington. High-Linearity RF Amplifier Design. Boston: Artech House, 2000: 251-348
- [11] F.Casadevall, J.J.Olmos. On the behavior of the LINC transmitter. 40th IEEE. Vehicular Technology Conference, 1990, 29-34
- [12] F.J.Casadevall, A.Valdovinos. Performance of analysis of QAM modulations applied to the LINC transmitter. IEEE Transactions on Vehicular Technology, 1993, Vol. 42:399-406
- [13] Shawn P.Stapleton, Flaviu.C.Costescu. An adaptive predistorter for a power amplifier based on adjacent channel emissions. IEEE Trans.Vehicular Tech, 1992, Vol. 41,No.1:49-56

- [14] Hyun Woo Kang, Yong Soo Cho, Dae Hee Youn. On compensating nonlinear distortions of an OFDM system using an efficient adaptive predistorter. *IEEE Trans. Communication*, 1999, Vol. 47, No. 4: 522-526
- [15] Peter B. Kenington. *High-Linearity RF Amplifier Design*. Boston: Artech House, 2000: 351-420
- [16] S.S. Stapleton, *Amplifier linearization using adaptive digital predistortion*, *Applied Microwave and Wireless*, 2002: 73-77
- [17] S.S. Stapleton, A new technique for adaptation of linearizing predistorters, *Proc. 41st IEEE Veh. Technol. Conference*, 1991, 753-757
- [18] T. Matsuo, M. Orihashi, M. Sagara, H. Ikeda. Compensation of nonlinear distortion during transmission based on the adaptive predistortion method. *IEICE Trans. Electron*, 1997, Vol. E80-C, No. 6: 782-787
- [19] H. Abdulkader, F. Langlet, D. Roviras. Natural gradient algorithm for neural networks applied to nonlinear high power amplifier. *Int. J. Adapt. Control Signal Process*, 2002, Vol. 16: 557-576
- [20] G. Lazzarin, S. Pupolin, A. Sarti. Nonlinearity compensation in digital radio systems. *IEEE Trans. Communications*, 1994, Vol. 42: 988-999
- [21] 唐浩, 向超, 彭启琮. WCDMA 功率放大器数字预失真的系统设计. 中国西部青年通信学术会议论文集: 西南交通大学, 2006
- [22] 傅英定, 成孝予, 唐应辉. 最优化理论与方法. 成都: 电子科技大学出版社, 2005, 249-252
- [23] Sanjit K. Mitra. *Digital Signal Processing (A Computer-Based Approach, Second Edition)*. USA: Mc Graw Hill, 2002
- [24] Altera 公司. *Altera 器件的应用*. 北京: 人民邮电出版社, 2005
- [25] 彭启琮, 李玉柏, 管庆. *DSP 技术的发展与应用*. 北京: 高等教育出版社, 2002
- [26] 汪春梅, 孙洪波, 任治刚. *TMS320C5000 DSP 系统设计与开发实例*. 北京: 电子工业出版社, 2004
- [27] Michael D. Ciletti. *Advanced Digital Design with the Verilog HDL*. USA: Prentice Hall, 2005
- [28] 程佩青. *数字信号处理*. 北京: 清华大学出版社, 1995
- [29] Eric Bogatin. *Signal Integrity: Simplified*. USA: Prentice Hall, 2006