

摘要

现在用于工业控制的网络主要是世界大工业集团及设备制造商推出的现场总线及工业以太网等。这些现场总线之间没有兼容性，开放性不强，而且其传输速率不高，通信距离也限制在几千米以内。工业以太网虽然有着应用广泛、价格低廉和通信速率高等优点，但由于工业自动化控制系统特别强调数据的可靠性、安全性和实时性，工业以太网也存在应用上的限制。

宽带综合数据光同步网络(WIDOSNet)就是在这样的背景下提出来的。宽带综合数据光同步网是基于 SDH、光纤通信、SOPC 等技术，利用片上数据选择的概念来完成传统交换功能，又具有数据带宽可变的灵活性，是一种全新的工业控制网络。它能提供高容量的数据带宽，并且抗干扰能力强传输距离远，能满足工业控制和多媒体传输等领域的数据实时性和可靠性的要求，应用前景非常广阔。

宽带综合数据光同步网是本课题组自行设计的一种概念全新的网络模型。本论文致力于宽带综合数据光同步网节点数据管理器的研究与设计，主要是针对节点系统进行了一系列的工作。论文首先对国内外工业控制网络发展状况及趋势进行研究，为了更好的了解节点数据管理器的内容，在此基础上介绍了宽带综合数据光同步网，并对其系统组成、功能、特点和帧结构进行了详细的阐述。然后进一步深入探讨了节点数据管理器的结构(其中包括节点解串器与节点成串器两部分)、工作过程以及功能。论文针对典型控制网络的模型、协议、特点进行分析，并借鉴其特点，同时结合本网络的需要，给出了宽带综合数据光同步网节点数据管理器硬件电路及其内部功能模块的研究与设计。由于本网是一个崭新的网络且网络模型结构复杂，因此设计上可能还不太成熟，但是为以后网络模型设计的进一步深化做了实践。

关键词：宽带综合数据光同步网；FPGA；节点数据管理器；节点解串器；节点成串器

Abstract

The main network used in Industrial Control nowadays is Fieldbus and Industrial Ethernet, which is proposed by world industrial group and equipment manufacturers. These Fieldbuses which are not completely opening to each other are incompatible and their transfer rate is low, further more the communication distance also limits within several kilometers. As industrial automation and control system is particularly emphasis on data reliability, security, and real-time, although Industrial Ethernet is widely used, inexpensive and has high speed of communication, the Industrial Ethernet is also restricted in applications.

So the Wideband Integrated Digital Optical Synchronous Network (WIDOSNet) is proposed against this backdrop. The WIDOSNet which is a fire-new industrial control network is based on SDH, optical fiber communication, SOPC technology, and it uses the concept of on-chip data selection to complete the traditional functions of exchange. Moreover, it also has the flexibility of variable data bandwidth. The WIDOSNet provides high data bandwidth, and has the high ability of anti-jamming. It can satisfy the industrial control and multimedia transmission of data in areas such as real-time and reliability requirements, and the application prospect is very bright.

The WIDOSNet is a bran-new network model which is designed by the team. This paper is committed to the research and design of the WIDOSNet's node data management, and its target is mainly the node system. First, the development of domestic and foreign industrial control network is researched in this paper. In order to understand the contents of node data management better, the paper introduces the WIDOSNet. And its components, functions, features and frame structure are described in detail. Second, the structure of node data management (It includes the node deserializer and the node serializer two parts.), work processes and functions are explored further. The paper analyzes the model, protocol and the characteristics of the typical control network, and the hardware circuit and interior functional modules of the WIDOSNet's node data management are researched and designed in light of the network's needs. As this network is a new network and the structures is complex, therefore the design maybe not mature enough. But it provides practice to deepen the design of the subsequent network model.

Keywords: wideband integrated digital optical synchronous network; FPGA; node data management; node deserializer; node serializer

沈阳理工大学

硕士学位论文原创性声明

本人郑重声明:本论文的所有工作,是在导师的指导下,由作者本人独立完成的。有关观点、方法、数据和文献的引用已在文中指出,并与参考文献相对应。除文中已注明引用的内容外,本论文不包含任何其他个人或集体已经公开发表的作品成果。对本文的研究做出重要贡献的个人和集体,均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

作者(签字):

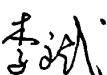
日期 : 2008 年 3 月 4 日

学位论文版权使用授权书

本学位论文作者完全了解沈阳理工大学有关保留、使用学位论文的规定,即:沈阳理工大学有权保留并向国家有关部门或机构送交学位论文的复印件和磁盘,允许论文被查阅和借阅。本人授权沈阳理工大学可以将学位论文的全部或部分内容编入有关数据库进行检索,可以采用影印、缩印或其它复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名:

指导教师签名:

日

期: 2008.3.4

日 期: 2008.3.5

第1章 绪论

1.1 研究背景和意义

近年来，随着科学技术的突破以及因特网(Internet)业务的飞速发展，人们对通信业务的需求逐渐由语音需求变为对数据、图像和语音的综合需求，传统的通信网络已经越来越不能满足人们日益增长的通信需求，需要新的网络来提供丰富的语音、数据、图像以及多媒体业务。

在邮电通信网络、计算机网络发展的同时，作为工业自动化领域的工业控制网络进展却并不像其在其他两大领域中的发展一样，计算机在工业控制领域发展较为缓慢。一方面由于工业自动化控制系统中可靠性、安全性和实时性的特别要求；另一方面，由于各大集团的垄断性质，大的工业自动化系统集团都制定专有的工业通信网络协议，并向市场推广应用专有的工业控制网络，专有的工业控制网络相互之间基本上很难兼容，这种情况从客观上保护了供应商的投资利益，但大大地增加了用户的投资成本，并严重地阻碍了工业控制网络技术的发展。因此，出现了多种现场总线并存的局面。从20世纪50年代后期开始，计算机控制网络技术经过了如下发展阶段：早期的控制网络、分布式网络控制系统(DCS)、现场总线控制网络系统(FCS)、以太网、工业以太网，控制网络技术经历了从模拟到数字、从集中到分散的过程^{[1][2][3]}。

随着三网的融合，当前的工业控制网络正朝着全分散、全数字、全开放、全业务，即不仅要传输控制数据，还要传输管理数据，同时还要具备对实时性要求很强的语音、图像等信息进行传输，达到将调度与管理功能溶入网络中的新要求的全新的控制网络系统方向发展。这种控制网络更适用于今后的工业过程控制，制造业、军舰指挥调度系统及楼宇自动化等领域，将成为未来计算机控制系统的主流。

顺应这种发展趋势，本课题组提出了宽带综合数据光同步网(WIDONet)，解决了速率与传输距离的问题，作为独立知识产权的底层综合控制网络来实现实时性综合数据的通信，更好的满足了工业控制网络的发展要求。宽带综合数据光同

步网能既能够满足实时性数据通信的要求，又能满足指挥、调度、管理为一体，到底层统一，当采用的系统越少，系统集成性越高，整个控制网络的误码率及安全系数越高。同时，宽带综合数据光同步网在控制网络之上可以充分利用已有的技术，使用以太网协议，从而实现了内部控制网络与外部 Internet 相连接的开放的开发体系。

1.2 国内外发展概况及趋势

1.2.1 早期的控制网络

20 世纪 50 年代以后，产生了第一代过程控制网络，这种方式使用的模拟信号。到了 70 年代，人们在测量、模拟和逻辑控制领域率先使用了数字计算机，从而产生了集中式控制系统(CCS)。

所谓集中式控制是以计算机为基础加上扩展 I/O 接口构成。中心控制是一台计算机，也可以是单片机，也可以是个人计算机，或者是通用型工业控制机，其扩展的 I/O 接口模板按适用总线的不同分成不同的系列。这种结构有着与生俱来的缺点，这是由集中式控制机制带来的缺点。主要问题是^{[4][6]}：

- (1) 集中式的计算机控制降低了系统的可靠性。
- (2) 模拟信号数字化的工作在计算机端，使得太多太长的现场连线通过各类干扰环境到达现场，这些连线各自传递着不同性质的信号，微弱电流和电压信号，也有大功率的脉冲，加上环境干扰，使系统抗干扰的设计和实现都十分困难。
- (3) 开发大范围的系统比较困难。

1.2.2 分布式网络控制系统(DCS)

集散控制系统于 20 世纪 80~90 年代占主导地位。其核心思想是集中管理、分散控制，即管理与控制相分离，上位机用于集中监视管理功能，若干下位机下放分散到现场实现分布式控制，各上下位机之间用控制网络互连以实现相互之间的信息传递。因此，这种分布式的控制体系结构有力的克服了集中式数字控制系统对控制器处理能力和可靠性要求高的缺陷。在集散控制系统中分布式控制思想的实现正是得益于网络技术的发展和应用。遗憾的是，不同的 DCS 厂家为了达到

垄断经营的目的而对其控制通信网络采用各自专用的封闭形式，不同厂家的 DCS 系统之间以及 DCS 与上层 Intranet、Internet 信息网之间难以实现网络互连和信息共享，因此 DCS 从这个角度而言实质是一种封闭专用的、不具有互操作性的分布式控制系统，且 DCS 造价也昂贵。在这种情况下，用户对网络控制系统提出了开放性和降低成本的迫切要求^[6]。

1.2.3 现场总线控制网络系统(FCS)

20世纪90年代后期，人们在 DCS 的基础上开始开发一种适用于工业环境的网络结构和网络协议的现场总线及现场总线仪表，FCS 就是采用现场总线作为通信系统的控制网络。

FCS 与传统的 DCS 相比，它有两个新特征：第一，FCS 将 DCS 中的 I/O 总线用现场总线来替代，并直接用于生产现场；第二，FCS 用现场总线数字仪表替代 DCS 中的现场模拟仪表，其变送器不仅具有信号变换、补偿、累加功能而且具有诸如 PID 等运算控制功能，其执行器不仅具有驱动和调节功能，而且有特性补偿、自校验、自诊断和 PID 控制功能^[7]。

于是控制专家们纷纷预言：FCS 将成为 21 世纪控制系统的主流。的确，现场总线的出现，对于实现面向设备的自动化系统起到了巨大的推动作用，然而，就在人们沸沸扬扬的对 FCS 进行概念炒作的时候，却没有注意到它的发展在某些方面的不协调，其主要表现在总线通信协议的多样性，迄今为止现场总线的通讯标准尚未统一，这使得各厂商的仪表设备难以在不同的 FCS 中兼容，使得不同总线产品不能互相互连，互用和互操作等，大大提高了现场总线这类专用实时通信网络的成本，使得现场总线工业网络的进一步发展受到了极大的限制。此外，FCS 的传输速率也不尽人意，以基金会现场总线(FF)制定的国际标准为例，它采用了 ISO 的参考模型中的 3 层(物理层、数据链路层和应用层)和极具特色的用户层，其低速总线 H1 的传输速度为 31.25kbps，这在有些场合下仍无法满足实时控制的要求^[8]。

现场总线协议长期争论不休，不但使用户无所适从，而且使得现场总线控制系统发展得十分缓慢。为了加快新一代系统的发展，人们开始寻求新的出路，人们把目光转移到了以太网技术。

1.2.4 以太网(Ethernet)

当前以太网采用星型或总线型结构，传输速率分别为 10Mb/s、100Mb/s、1000Mb/s 甚至更高。由于以太网的 MAC 层协议是 CSMA/CD，该协议使得在网络上存在冲突，特别是在网络负荷过大时，更加明显。对于一个工业网络，如果存在着大量的冲突，就必须得多次重发数据，使得网间通信的不确定性大大增加。在工业控制网络中这种从一处到另一处的不确定性，必然会带来系统控制性能的降低。因此无法满足实时性要求较高的数据传输。当网络中的负载越大的时候，发生冲突的概率也就越大。有资料显示当一个网络的负荷低于 36%时，基本上不会发生冲突，在负荷为 10%以下时，10M 以太网冲突机率为每五年一次。100M 以太网冲突机率为每 15 年一次。但超过 36%后随着负荷的增加发生冲突的概率是以几何级数的速度增加的。显然提高以太网的通信速度，就可以有效降低网络的负荷，但要以成本为代价^{[9][10]}。

1.2.5 工业以太网

所谓工业以太网就是在以太网技术和 TCP/IP 技术的基础上开发出来的一种现场总线。作为一个完整的通信系统，工业以太网需要高层协议的支持，各国的工业自动化系统公司为了保护已有的投资利益和扩大自己公司产品的应用范围，纷纷将以太网引入其现场总线体系中的高速部分，利用以太网和 TCP/IP 技术，以及原有的低速现场总线应用层协议，从而构成了所谓的工业以太网协议。工业以太网具有以下优点：应用广泛、成本低廉、通信速率高、软硬件资源丰富、可持续发展潜力大以及易于与 Internet 连接等等^[11]。

目前，工业以太网协议有 4 个主要的竞争者，他们是：Modbus/TCP 工业以太网、Ethernet/IP 工业以太网、Foundation Fieldbus HSE 工业以太网和 PROFINet 工业以太网。这样一来，要使这些系统相互兼容看来需要走相当长的路。

工业以太网虽具有传输速度高、兼容性好等方面优势，但由于以太网设计初衷是办公网，以太网的先天不足使其在现场层、设备层的应用受到限制，不能很好的满足工业控制网络的高实时性、可靠性的要求^{[12][13]}。

1.2.6 宽带综合数据光同步网

（1）宽带综合数据光同步网的提出

世界上应用于工业控制的计算机网络主要由世界大工业集团推出的互不兼容的场地总线及工业以太网等。目前这些场地总线一般都限制在几兆比特以下及传输距离在1000米以内。当网络要传输的信息接近甚至超过网络最大的容量时，无论采用何种传输协议都会产生瓶颈效应，实时性、可靠性也很难满足。现今先进的工业生产指挥调度网络计算机集成制造系统(CIMS)，要求网络将控制、调度与管理功能溶入网络中，新要求不仅要传输高实时性的数据，同时要传送实时性很强的语音、图像等信息时，现存的场地总线或局域网络大都无法全面满足使用的需求。在此基础上本课题组共同提出了一种新的网络模型——宽带综合数据光同步网，采用将传输中信息流控制与交换功能分离开的新型网络技术，实现语音、图像、数据实时性的传输(时延可控)，是一种全业务的综合性控制网络。

（2）宽带综合数据光同步网研究的意义

宽带综合数据光同步网相对于其它的工业、企业现有的现场总线、局域网络来说具有更高的实时性，采用数字同步体系结构，不存在排队延迟，特别适合进行有实时性要求的数据、语音、图像等信息的传输，其性能与现存的任何网络相比都更加可靠；采用独特的系统上、下行数据帧结构设计，巧妙的将语音、图像、计算机数据等融为一体，发挥其强大一网融多网的通信功能，将计算机通信网络系统、集团电话及调度电话、视频传输及视频会议系统等不同种类型的数据传输合为一体，在同一网络中进行，节省了多系统的运作投资，也减少了多系统的误码率，向着计算机网络技术应用三大领域的统一方向发展，将具有无可预计的巨大经济效益。

1.3 论文研究内容及文章结构

1.3.1 论文研究内容

宽带综合数据光同步网即 WIDOSNet，结构上主要由集中器与节点系统两大部分组成(具体结构将在后文中详述)。本课题不仅完成了宽带综合数据光同步网

节点数据管理器理论部分的研究，还对其硬件电路与其内部功能模块进行了研究与设计。目前已经完成了节点数据管理器硬件电路的开发，此外还包括节点解串器以及节点成串器等内部功能模块的研究与设计。

由于宽带综合数据光同步网是刚刚提出的一种网络模型，需要考虑的问题还很多，有些功能还有待进一步深入的理论探讨及改进实现，因此本论文完成了宽带综合数据光同步网节点数据管理器其中一部分功能的设计，有些功能还有待进一步完善与扩充；有些预留部分需要根据网络的不断完善及扩充加以填充。

1.3.2 文章结构

本文共分为 7 章，具体结构如下：

第 1 章为“绪论”，对目前国内外计算机网络控制技术的概况及发展前景进行了分析，并针对上述的分析提出一个新型的控制网络——宽带综合数据光同步网，并于上述各种网络的对比阐述了宽带综合数据光同步网特点、研究的社会经济意义以及本文的主要内容。

第 2 章为“宽带综合数据光同步网简介”，本论文致力于宽带综合数据光同步网节点数据管理器结构及其内部功模块方面的研究与设计，为了更好的了解课题中本文的工作，介绍了宽带综合数据光同步网的网络组成、各部分功能、技术特点以及帧结构。

第 3 章为“宽带综合数据光同步网节点数据管理器简介”，分析阐述了宽带综合数据光同步网节点数据管理器的结构、功能，有针对性的提出了节点数据管理器的总线结构，其中包括接收控制总线与数据总线以及发送控制总线与数据总线两部分，并对总线信号的定义做了详细的阐述。

第 4 章为“电路设计中使用的相关开发工具”，扼要的介绍了本论文在宽带综合数据光同步网节点数据管理器内部功能模块开发设计中应用的技术与工具，包括 FPGA 的基本结构、FPGA 的开发流程，硬件设计语言 VHDL/Verilog HDL 等。

第 5 章为“节点数据管理器硬件电路设计”，详细介绍了系统节点数据管理器硬件开发电路的设计，包括电路各结构模块设计、特点以及功能。

第 6 章为“节点数据管理器内部功能模块的研究与设计”，详细阐述了系统

节点数据管理器内部功能模块的开发设计，其中包括节点解串器与节点成串器两部分，并给出了仿真结果。

第 7 章为“系统板级设计与系统调试”，主要论述系统板的设计、系统硬件电路设计过程中需要注意的问题以及系统软硬件的调试方法及过程。

最后，对宽带综合数据光同步网节点数据管理器电路设计方面所进行的研究作以总结，并指出了本课题需要进一步探讨研究的内容。

1.4 研究方法和技术路线

该宽带综合数据光同步网节点数据管理器采用 Altera 公司推出的低价位、高性能 CycloneII FPGA 器件 EP2C5 系列芯片 EP2C5T144C6 为主芯片，利用 EP2C5T144C6 丰富的资源以及较高的性能配合使用 Altera 公司的 QuartusII 5.0 软件开发平台及 Protel DXP 2004 进行了节点数据管理器的研究与设计。

第2章 宽带综合数据光同步网简介

宽带综合数据光同步网，即 WIDOSNet，是本课题组自行设计的一种概念全新的网络模型，它具有广阔的应用前景。本论文致力于宽带综合数据光同步网节点数据管理器的研究与设计，主要是针对节点系统进行了一系列的工作。为了更好的了解课题中本文的工作，下面概述一下宽带综合数据光同步网及其系统的组成、功能、特点以及帧结构。

2.1 宽带综合数据光同步网概述

现有的计算机网络都存在着这样及那样问题，计算机局域网络(LAN)无论采用总线竞争、令牌及轮询等方式，许多实时性传输的应用均无法满足(很难进行实时性很强的话音、监控图像等)。电路交换的公共交换电话网络(PSTN)又存在数据带宽固定，控制复杂，灵活性不足等等问题。当光纤通信作为传输媒介时，传输带宽的瓶颈得以解决；当高速系统级芯片(SOC)特别片上可编程系统(SOPC)应用普及后，使过去非常复杂的系统结构变得简单起来。基于上述的发展，我们换一个思维模式或角度来看传统的交换网络，设计一种与传统结构完全不同的网络，也许是解决上述诸多困扰我们问题的办法。这就是我们提出的宽带综合数据光同步网(WIDOSNet)，它基于同步数字体系(SDH)、光纤通信、SOPC等技术，采用高速可编程片上系统组成的多处理器信息处理系统，使系统拥有足够的信息处理能力。另外采用全新的动态数据流量调整的概念，是一种全新的计算机网络。

宽带综合数据光同步网是将传输业务控制与交换任务部分分离开的新型交换技术，它不是采用集中交换的传统模式而是采用部分集中处理、交换分散处理的模式，是将交换变为选择。简单的说，它是将交换机从网络的中心移到用户端，没有了交换只有选择。表面看它将中心一台交换机对N个用户变成中心一台简单的传输业务控制器对N台交换机的复杂系统，将原来用户独立的信道变为充斥“冗余信息”的公共信道。实际上，这种选择首先是在我们的传输媒介为光纤，对单个用户来说它的容量近似为无限的，其次是廉价的高性能的处理芯片将N台交换机变得异常简单的必然结果。可是，这种变化使得过去异常复杂的数据流量变化的

交换、不同速率的交换、非周期信号的数据交换、实时性有严格要求的数据交换、不同类型的数据交换、甚至不同网络或发信端间的数据交换变的异常简单、可将复杂昂贵的光交换取而代之，这种变化应该说是技术发展的必然选择。

此外，宽带综合数据光同步网(WIDOSNet)是驻地网，它要克服目前广泛应用的以太网存在实时性差及综合数据传输复杂等缺点，又要能很好的与下一代网络(NGN)的广域网衔接。WIDOSNet 网络结构为有根树形，节点的综合服务器(ISD)利用片上数据选择的概念来完成传统的交换功能又具有数据带宽可变的灵活性。WIDOSNet 采用 $125\mu\text{s}$ 周期时隙进行数据传输，因此，它非常适合传输语音信号，同时也方便与同步数字体系(SDH)网络连接，因此它可作为接入网。宽带综合数据光同步网不存在数据碰撞延迟，仅存在可确定的数据处理延迟及传输延迟。在数据处理延迟及传输延迟容忍的情况下，由于光传输损耗极小，因此它几乎没有距离限制(相对局域网，它可以传送 50 公里以上)。它上行速率最低在 2.048Mb/s ，上行速率可以变化在 $2^n \times 2.048\text{Mb/s}$ ($n=0, 1, 2, 3, 4$)。下行速率最低在 65.536Mb/s ，更高 $2^n \times 65.536\text{Mb/s}$ ($n=1, 2, 3, 4, \dots$)。由于它是一种时延完全确定的实时网络，因此可以传输数据，更适合传输实时性强的语音及图象等综合信息。它既可以作为以文件传输为主要目的计算机局域网又可以容纳传输语音为主电话网络，同时可以兼容以传送数字图像的数字电视网络，达到真正的三网合一。它是将控制信息与管理信息一网打尽的高性能的全新的网络，它既适合用于机关、学校及企业的局域网，又可以用在楼宇自动化系统、家庭网络系统，它又特别适合舰船、飞机等信息网络系统。同时由于宽带综合数据光同步网采用光纤为传输媒介，特别适合于干扰严重的工业环境及要求防爆严格的环境工厂现代化管理系统的应用。它具有完全的自主知识产权，它的优越性能使我们对它的未来有无限的想象空间。

综上所述，宽带综合数据光同步网是一个全新的综合业务网络，它能够方便的传输文件、语音、图像及数据等综合业务信息，它具有高实时性、高可靠性、高灵活性及高效性的特点。它可以作为下一代网络(Next Generation Network, NGN)的用户驻地网(Customer Premises Network, CPN)，应用于居民小区公共综合业务服务及企事业的综合业务的管理，又可以作为小型的家庭综合服务网络。它还可以胜任计算机集成制造系统(CIMS)的要求，将要求实时性及可靠性严格的工业控制网络——现场总线(Fieldbus)与经营及调度的管理网络有机的结合起来，实现真

正的经营、管理、调度与控制的网络一体化。

2.2 宽带综合数据光同步网的组成及各部分功能

宽带综合数据光同步网由集中器与节点系统两大部分组成。节点系统主要完成语音、图像、计算机数据等的模块化处理功能，集中器则主要针对来自网内或者网外的各种数据进行统一管理、调度。网络系统结构如图 2.1 所示。

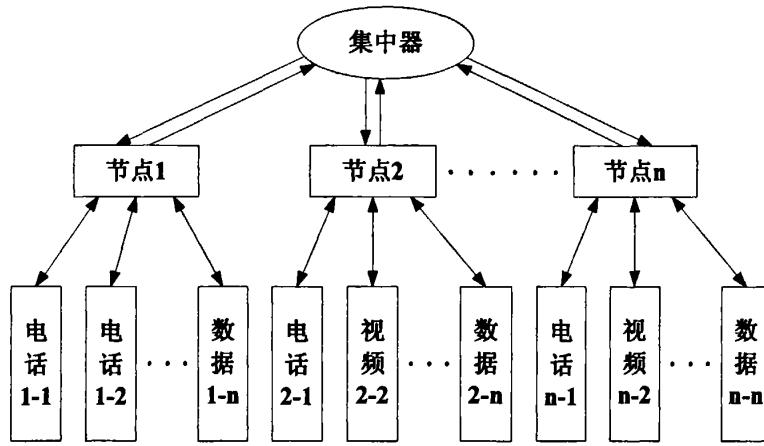


图 2.1 网络系统结构框图

2.2.1 集中器部分

其中集中器是宽带综合数据光同步网络的头端，它位于整个网络的中心，它是一个多级多处理器组成的双机热备份系统。图 2.2 为集中器的结构图。初步设想中它具有如下主要功能。

(1) 负责各节点传送的语音、图像及数据，完成数据成帧的任务。由各接口组成的分布式缓冲区及动态调整的集中式缓冲区保证系统能够进行高信道利用率的数据信息调度。产生与发布同步时钟，通过数据流携带的同步时钟信息，使网络各节点达到时钟同步的目的。

(2) 资源管理功能，如：信道资源的控制与管理(动态控制调节网络流量)功能、话路及图像用户认证及授权功能、信息管理、IP 地址管理及转换功能、信息密钥管理功能等。

(3) 系统管理功能：对部分信息分析进行管理的功能、系统功能模块设计与

分配功能、信息量统计功能、系统状态记录与管理功能等。

- (4) 路由器功能：与局域网(以太网、各种现场总线)及其它网络(广域网：ISDN、XDSL、V5.2等及分组传送网ATM等)进行连接的功能。
- (5) 网络安全性保证功能：建立防火墙，滤除可能遭受的恶意攻击，确保网络的安全性。
- (6) 系统故障自动检测、记录、报警、备份系统自动热切换及手动切换、动力电源与备用电源切换功能等。
- (7) 光接收的光电转换及光发射的电光转换与光分配功能。

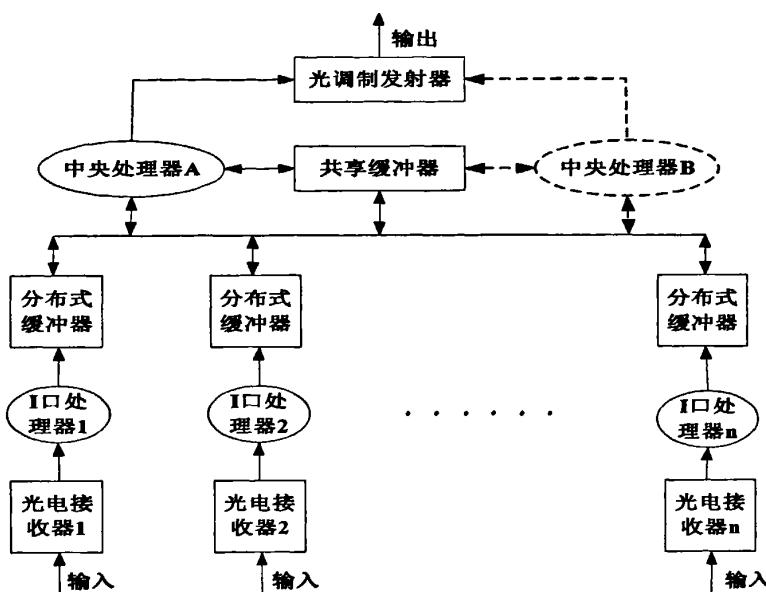


图 2.2 集中器结构框图

2.2.2 节点系统部分

节点系统将用户端与网络连接，它主要包括节点数据管理器与各类节点控制单元，它具有如下主要功能：

- (1) 在集中器向节点传送的数据流中提取出连接在节点上的用户终端所需的数据并进行分配。
- (2) 将用户终端的数据进行处理后发送给集中器。
- (3) 采用 CDR(时钟数据恢复)功能，在集中器向节点传送的数据流中提取出同步时钟，从而使得整个系统中的所有节点都有同一时钟进行同步。

-
- (4) 将用户终端的数据组织成帧并传送到集中器。
 - (5) 具有数/模及模/数转换功能和压缩及解压缩功能。
 - (6) 用户数字终端可采用 8 芯的五类线, 向集中器传送采用光纤传送或超五类以上的双绞线。
 - (7) 通过监视下行数据实现间接监控运行状态(虚拟网除外)。

2.3 宽带综合数据光同步网的特点

宽带综合数据光同步网是一种全新理念的网络, 它具有以下特点:

- (1) 宽带综合数据光同步网将传统的硬件交换变为软件交换(片上数据选择), 将集中处理变为分散处理。使得过去非常难实现的任务变的非常简单, 如: 多任务种类、多信息速率复杂结构的交换机, 利用节点分散处理方式, 使系统结构非常简单。又如: 在其它系统中非常难实现的电视会议系统及电话会议系统在宽带综合数据光同步网上实现起来非常容易。
- (2) 宽带综合数据光同步网采用全新的非对称数字同步体系结构, 每秒 8000 个时隙, 每个标准时隙为 $125\mu\text{s}$, 每个标准帧为 1024bit。上行为点对点, 下行为一点对多点。同时具有下行比特率可远大于上行比特率的特点, 可提高网络的效率及灵活性。
- (3) 宽带综合数据光同步网虽然每个标准时隙为 $125\mu\text{s}$, $1024 \times 4 \times n\text{bit}$, 但每个标准帧又由 4 个分帧组成, 每个分帧为 $31.25\mu\text{s}$, 256bit 组成, 而 4 个标准帧又组成一复帧, 每 4 个复帧又组成二阶复帧以次类推。分帧、标准帧及各阶复帧不同的时隙, 不同的结构, 满足各种不同的信令及不同间隔周期的数据传输。分帧结构使处理时间提高了 4 倍(宽带综合数据光同步网的数据延迟主要为处理延迟, 传输延迟很小, 没有排队延迟, 一般响应时间小于 $100\mu\text{s}$), 能满足高速控制数据传输的要求。交换指令在一个标准帧完成(指令过长, 如 IPv6, 采用偏移指针准确的指出偏移地址)以减少指令处理的等待时间及减少存储器的长度。周期与标准帧周期不同步的数据可用虚数据代替, 这样又使位同步恢复更加容易。

- (4) 采用 NiosII 多处理器嵌入式结构, 使得集中器可以简单方便的进行动态数据流量调节。自行开发 FPGA 超大规模数字集成电路设计, 使系统的升级与改进更加方便。

(5) 宽带综合数据光同步网采用动态数据量调节技术,使得网络利用率可达 75%以上。如:话路信道在结束通话时释放占用的时隙,使信道利用率大幅度提高;对实时信息(实时性要求高的数据、话路、实时监控的图像)的传输必须占用的信道资源外,其它数据信息根据数据的优先级来动态分配剩余信道资源,使满负荷运转时,即便是低优先级的数据信息也能进行传送,而高优先级的数据信息也能高效传输。

(6) 宽带综合数据光同步网采用光纤传输媒介,利用无源光耦合器分配技术,具有线路简单,抗电磁干扰,特别适合工业领域的强电磁干扰的环境,网络通信最大传送距离达 30 公里以上。

(7) 宽带综合数据光同步网开辟虚窗口,将低数据率的网络(如现场总线 Profibus、FF、Can)利用开辟的虚窗口,用少量的信道资源,动态的在虚窗口独立运行其它网络,可以方便的在本网络运行任何协议设备,通过网关处理器又可方便的与其它网络互联。

(8) 相对于其它工业、企业现有的现场总线、局域网络,宽带综合数据光同步网具有完全可确定的实时性,它由于采用类数字同步体系结构,不存在排队延迟,特别适合进行实时的数据、语音、图像等的综合传输。

2.4 宽带综合数据光同步网的帧结构

帧(Frame)的严格定义是指这样一组相邻接的数字时隙,其中各数字时隙的位置可以根据帧定位信号来加以识别。根据宽带综合数据光同步网的特点,本网络的上、下行帧结构描述如下。

2.4.1 用户节点到网络集中器的上行帧结构

为满足工业控制网络及语音、图像等的实时性要求,本系统采用统一的同步时钟体系,全网的节点时钟从集中器数据码流中提取,节点的数据率为集中器下行速率 2 的 n 次方分之一,因此避免了滑码现象。上行采用 2.048Mb/s 基本建构,其上行帧结构如图 2.3 所示。网络采用分时的理念,将 1 秒分成 8000 个时隙,每个时隙具有 32 个信道,每个信道 8bit,所以上行帧速率计算为: (8bit/信道) \times (32

信道/时隙) \times (8000 时隙/S) = 2048000bps = 2.048Mbps。

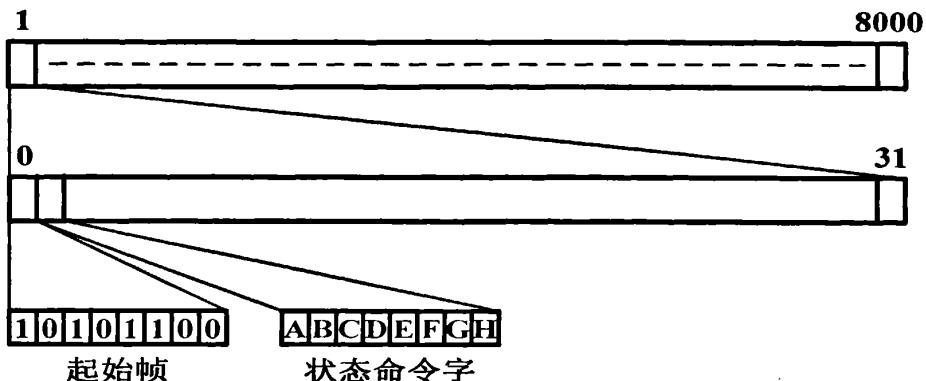


图 2.3 宽带综合数据光同步网上行帧结构

2.4.2 网络集中器到用户节点的下行帧结构

下行采用 262.144Mb/s 基本建构，有 4 个标准帧，其结构如图 2.4 所示。其中一个时隙由 4 个二级复帧组成，共有 4096 个 byte ($4096 \times 8 = 32768$ bit; $32768 \times 8000 = 262144000$ bit/s) 组成的信道。每个二级复帧由 4 个初级复帧组成，而每个初级复帧又由 256 个分帧组成，每个分帧以帧同步字起始，帧同步字中 5、6、7、8 位 XXXX 指示复帧为第 XXXX 个初级复帧的起始。比如：XXXX 为 0000 时指示为第一个复帧，依此类推，XXXX 为 1111 时则指示为第十六个复帧。因为总共有 4 个二级复帧，每个二级复帧又分为 4 个初级复帧，所以共有 16 个复帧，XXXX 就代表 0000~1111 这十六种情况。

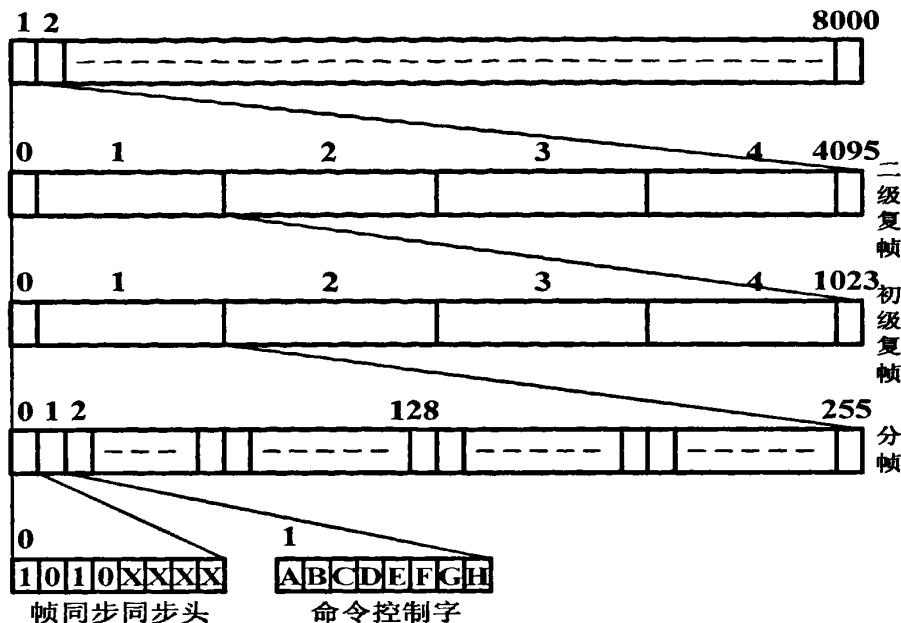


图 2.4 宽带综合数据光同步网下行帧结构

其中状态命令字如下所示。



A 为网速控制字。

B 数据控制字。

C 分帧结构控制字

D 分帧结构控制字

E 有数据传输表述字。

F 为图象通信控制字。

G 为计算机通信控制字。

H 语音呼叫控制字。

2.5 本章小结

本章主要介绍了宽带综合数据光同步网的组成、特点以及各部分功能，包括集中控制器及节点系统的功能。最后系统地介绍了宽带综合数据光同步网的帧结构。

第3章 节点数据管理器简介

宽带综合数据光同步网由集中器与节点系统两部分组成，其中节点系统主要由节点数据管理器及各类(语音、数据、图象、计算机四类)节点控制单元组成。节点数据管理器分为节点解串器与节点成串器两部分。下面就对宽带综合数据光同步网节点数据管理器进行详细地阐述。

3.1 节点数据管理器的结构

宽带综合数据光同步网节点数据管理器分为节点解串器与节点成串器两大部分。其中节点解串器部分的主要功能是保证在时钟同步的条件下将来自集中器的数据帧完成串/并转换后分别发送给各类(语音、数据、图像、计算机四类)节点控制单元。节点成串器部分则将各类(语音、数据、图像、计算机四类)节点控制单元的数据经并/串转换后发送给集中器统一进行处理。节点数据管理器主要通过光模块与集中器相连，并通过 PCI 插槽与各类节点控制单元相连进行通信。整个节点系统的结构如图 3.1 所示。

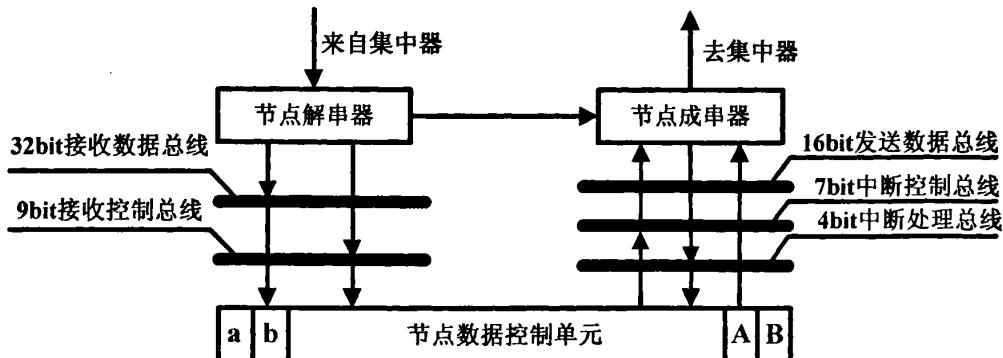


图 3.1 节点系统结构图

3.1.1 节点解串器

节点接收集中器的数据是由节点解串器完成串/并转换然后送给各类(语音、数据、图象、计算机四类)节点控制单元。

连接的总线为：接收控制总线为 9 位，1 位地线。其中 1 位是数据有效位，8

位是数据地址位用来控制接收的节奏。接收数据总线为 32 位数据线, 1 位地线。用来传送接收来至集中器的数据信号。它们都是单向传输总线。

数据有效位为 1 时, 传送的 8 位数据地址及 32 位数据有效。

数据有效位为 0 时, 传送的 8 位数据地址及 32 位数据无效。

数据地址位的各位功能如图 3.2 所示。当图中所示的第 0 位为 1 时, 指示第 XXXXXX 帧。第 0 位为 0 时, XXXXXX 指示为数据在帧中的位置(具体功能在第六章 6.1.2.2 控制总线模块部分有详细的阐述)。



图 3.2 数据地址位各位功能图

3.1.2 节点成串器

节点向集中器发送的是各类(语音、数据、图象、计算机四类)节点控制单元通过节点串行器完成并/串转换任务后的串行数据。

发送的总线为: 申请发送数据的 7 位中断控制总线及 4 位中断处理总线共同完成数据发送的申请及控制的功能。发送数据总线为 16 位数据线, 1 位地线。用来传送来至节点控制单元的数据信号, 它是一组三态的总线。它们都是单向传输总线。

总线在传送信息的操作过程中有可能会发生“冲突”。为解决这种冲突, 就需要进行总线占有权的“仲裁”。总线仲裁是用于裁决哪一个主设备是下一个占有总线的设备。某一时刻只允许某一个主设备占有总线, 等到它完成总线操作, 释放总线占有权后才允许其他总线主设备使用总线。总线仲裁操作和传送操作是完全分开且并行工作的。因此总线占有权的交接过程不会耽误总线操作。

总线仲裁机构中有一种被称为集中仲裁的仲裁方案。其仲裁操作由一个仲裁单元完成。如果有两个以上主设备同时请求使用总线时, 仲裁单元利用优先级方案进行仲裁。有多种优先级方案可以选用。有的方案中, 采用高级优先级的主设备可无限期地否决低优先级主设备而占有总线; 而另一些方案则采用所谓“合理方

案”，不允许某一主设备“霸占”总线。另一种仲裁方案是分布式仲裁，其仲裁过程是在每一个主设备中完成的。当某一主设备在公共总线上置起它的优先级代码时，开始一个仲裁周期。仲裁周期结束时，只有最高优先级仍置放在总线上。某一主设备检测到总线上的优先级和它自己的优先级相同时，就知道下一时刻的总线主设备是它自己^[1]。

本系统中各节点控制单元申请中断的情况及数据交换过程如下。

3.1.2.1 中断申请情况

各中断申请情况如下所示。

中断 1：为实时数据的中断申请，级别最高为 I 级，需立即处理。

中断 2：为图象数据的中断申请，级别为 II 级。

中断 3：为语音数据的中断申请，级别为 II 级。

中断 4：为计算机数据的中断申请，级别为 III 级。

中断 5：为一般数据的中断申请，级别最低为 V 级，择时处理(信道空闲时)。

中断 6：预留

中断 7：预留

4 位中断处理总线如图 3.3 所示。



图 3.3 四位中断处理总线

当 $hhh=000$ 时，无效，不响应中断

当 $hhh=xxx$ 时，响应 xxx 的中断

3.1.2.2 数据交换过程

数据交换过程如下所示。

(1) 节点的语音、数据、图象、计算机各类节点控制单元有数据要求发送，便开始申请中断。若节点串行器的中断控制位为 0，则没有响应中断。若中断控制位为 1，则响应中断。

(2) 节点串行器根据发送控制的优先级响应中断。此时 $hhh=xxx$ ，则响应 xxx 的中断。

(3) 语音、数据、图象、计算机各类节点控制单元被允许响应之一，被允许响应的节点控制单元向系统16位总线上写数据，从而进行数据的传输。

(4) 节点控制器读完16位总线的数据，执行如下操作：

如果被允许响应的(语音、数据、图象、计算机各类节点控制单元)发送单元没有数据继续发送，中断申请结束。

如果被允许响应的(语音、数据、图象、计算机)发送单元有数据继续发送，则继续保持中断申请。

3.2 节点数据管理器的功能

如前文所述，节点数据管理器的节点解串器部分内部功能模块需要对来自集中器的数据帧信息，进行串/并转换后交由各类节点控制单元进行处理。而节点成串器则将来自各类节点控制单元的并行数据进行并/串转换后通过光模块发送给集中器统一进行处理。节点数据管理器在整个综合数据光同步网中，采用从集中器发出的统一时钟来上、下行数据。为了保证节点数据管理器对数据的正确接收，需要在内部模块处进行同步处理。包括为了保证同频、同相接收而进行的位同步处理，以及在位同步的基础上，进行的帧同步处理。

其中节点解串器接收的来自集中器的数据首先要经过同步，然后要将数据进行简单的处理后通过32位数据总线将数据发送给节点控制单元，这个过程要通过控制总线的控制来完成，当控制总线中的数据有效位为“1”时，可以发送给节点控制单元数据并且要告知各类节点控制单元正在发送的数据帧的地址。节点解串器向各个节点控制单元传输的数据是广播式的，数据传送允许节点解串器对多个(语音、数据、图象、计算机各类节点控制单元)从方进行写操作。节点接收集中器的数据完成串/并转换后，广播式的发送给各类节点控制单元，并不进行复杂的处理，这些工作交由各类节点控制单元进行处理。节点控制单元接收数据后，各自来挑选属于自己的数据。节点成串器用于将各类节点控制单元的数据进行成帧处理后，发送给集中器，它主要是完成并/串转换功能。

3.3 节点数据管理器总线部分介绍

本设计中的一个重点就是总线的部分，宽带综合数据光同步网络节点数据管理器要对各类(语音、数据、图像、计算机四类)节点控制单元进行管理、调度，就需要通过总线来传输数据，所以总线是本次设计中一个比较重要的环节。总线则选用 PCI 插槽的形式，与 PCI 总线不同的是，本设计只是利用 PCI 插槽来完成总线的功能，但是不使用 PCI 总线协议。总线的协议按照本系统的要求对 PCI 插槽的信号重新进行了定义。

本系统选用 32 位的 PCI 插槽，共 120 个管脚。由于宽带综合数据光同步网节点数据管理器需要与语音、数据、图像、计算机四类节点控制单元进行连接，所以共需要四个 PCI 插槽，四类节点控制单元都通过 PCI 插槽连接到总线上。

3.3.1 总线概述

为了更好的理解节点系统的结构，必须知道总线是如何工作的。所谓总线，是一组并行的金属导线，硬件部件通过他们相互通信。实践中，一个总线必须按照一个确切的标准进行构建，在标准中规定了每根线的含义、使用的信号和电压以及操作定时等细节。为此，可以想象总线中的金属线被分成了 3 组。一组用来传输地址信息，另一组用来传输数据值，第三组用来传输控制信息。图 3.4 显示这种组织结构。每条线传输一位，所有线按并行方式操作。

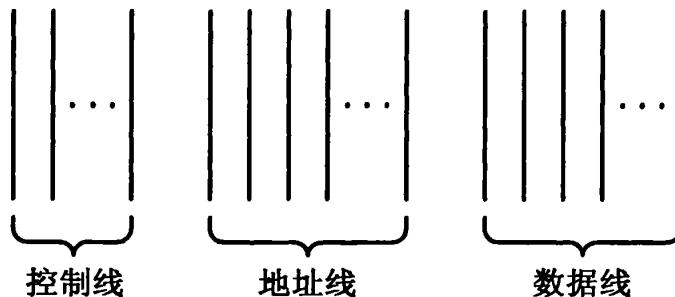


图 3.4 总线的组织结构图

数值以并行方式通过总线，这意味着一次传输将使用所有的数据线，并且每次传输都传送完全相同数量的信息。可在总线上发起信息传输的设备叫做“总线主设备”。也就是说，主设备具备在总线上主动发起通信的能力，又称命令者。不能在总线上主动发起通信、只能挂接在总线上、对总线信息进行接收查询的设备称为“总线从设备”，也称为基本设备。在总线上可能有多个主设备，这些主设备都可

主动发起信息传输。某一设备既可以是主设备，也可以是从设备，但不能同时既是主设备有时从设备。被总线上主设备连上的从设备称为“响应者”，它参与命令者发起的数据传送。

数据线的数目决定在一次操作中可以经过总线传送的数据量，这称为总线宽度。总线硬件始终决定一次传输所需要的时间，这称为总线周期时间。更宽的总线或具有更快时钟的总线(即更低的总线周期时间)能在单位时间内传输更多的数据。

总线是一种共享的通信介质——多个硬件部件连接到总线上并且通过总线成对通信。为了保证指定的接收者接收到传输的信息，每个硬件部件均被分配了一组惟一的地址。分配给一个给定硬件部件的地址数量随着它的使用目的的不同而不同。

总线硬件使用一种存—取模式，有时也称为装载—存储模式。也就是说，总线仅仅支持两种基本操作：取和存。取操作将数据从另一个硬件部件移动到发出请求的部件，存操作将数据从发出请求的部件移动到另一个部件。总线上的所有操作都必须采用存—取模式，即使这些操作不需要存取数据值。

当然，实际的总线硬件比上面提到的要复杂得多。在使用总线之前，一个部件必须等待前面的操作的完成。此外，多个设备可能试图同时使用总线。为了解决同时访问的问题，在硬件中引入了总线仲裁器。对每个部件指定一个优先级，有仲裁器决定具有最高优先级的部件并授予它访问总线的权利^[16]。

利用总线技术，能够大大简化系统结构，增加系统的兼容性、开放性、可靠性和可维护性，便于实行标准化以及组织规模化的生产，从而显著降低系统成本。此外，先进的总线技术对于解决系统瓶颈、提高整个系统的性能有着十分重要的影响，因此总线的结构不断地发展变化。当前总线结构方式已经成为系统性能的重要指标之一。并且随着现代电子技术、计算机技术的发展，各种总线应运而生。

根据本系统的需要，设计中使用了 PCI 插槽来实现上下之间的接口以协调数据的传送。与 PCI 总线不同的是，本设计只是利用 PCI 插槽来完成总线的功能，但是不使用 PCI 总线协议。总线的协议按照本系统的要求对 PCI 插槽的信号重新进行了定义。下面就对本系统总线信号定义进行详细的介绍^[16]。

3.3.2 节点数据管理器总线信号定义

宽带综合数据光同步网络节点数据管理器分为节点解串器与节点成串器两部分。下面分别介绍这两部分的总线信号定义。

3.3.2.1 节点解串器部分

节点解串器接收来自集中器的高速串行数据，完成串/并转后将并行的数据发送给各类(语音、数据、图像、计算机四类)节点控制单元。所以本设计中下行总线信号定义为：数据线采用 32 位，Da0~Da31；地址线为 8 位，AD0~AD7；数据有效为 1 位，DATAENa；时钟 1 位，CLKa；+3.3V 电源 1 位；+5V 电源 2 个。此外，还有数据地、地址位地、数据有效位地、时钟地、+3.3V 电源地各 1 位；+5V 电源地 2 个。

3.3.2.2 节点成串器部分

节点成串器用于将各类节点控制单元的数据进行处理后，发送给集中器，它主要是完成并/串转换功能。所以上行总线信号定义如下：数据线 16 位，Db0~Db15；中断请求位 7 位，INTA、INTB、INTC、INTD、INTE、INTF、INTG；响应中断请求位 1 位，REQ；相应中断请求地址位 3 位，INTAD0、INTAD1、INTAD2；时钟 1 位，CLKb；+3.3V 电源 1 位；+5V 电源 2 个。此外，还有数据地、中断请求地、响应中断请求地、时钟地、+3.3V 电源地各 1 位；+5V 电源地 2 个。

3.4 本章小结

本章主要对宽带综合数据光同步网节点数据管理器进行了详细的介绍，其中包括节点数据管理器的结构、特点以及作用，并重点针对总线部分做了较为详细的介绍。

第4章 电路设计中使用的相关开发工具

宽带综合数据光同步网节点数据管理器的研究与设计中使用了 FPGA 器件、相关的开发软件 Altera 公司的 QuartusII 以及 VHDL/Verilog HDL 硬件描述语言，下面就对这些相关开发工具进行简单的介绍。

4.1 FPGA/CPLD 概述

FPGA(现场可编程门阵列)与 CPLD(复杂可编程逻辑器件)都是可编程逻辑器件，它们是在 PAL 和 GAL 等逻辑器件的基础之上发展起来的。与以往的 PAL 和 GAL 等相比较，FPGA/CPLD 的规模比较大，非常适合于时序、组合等逻辑电路应用场合，它可以替代几十甚至几千块通用 IC 芯片。应用 FPGA/CPLD 可以做成一个系统级芯片，它具有可编程性和实现方案容易修改的特点。这样的 FPGA/CPLD 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展，许多公司都开发出了多种可编程逻辑器件。比较典型的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列。

现在，FPGA/CPLD 等可编程器件已应用在不同的高科技领域，如数字电路设计、微处理系统、DSP、通信及 ASIC 设计等。由于芯片内部硬件连接关系描述的存放，是以 EEPROM、SDRAM 或 FLASH 或外接 EPROM 为基础的，设计用户可在可编程门阵列芯片及外围电路保持不变的情况下，通过计算机重新下载或配置设计软件，就能实现一种新的芯片功能。因此，FPGA/CPLD 可编程器件得到了越来越多的电子设计者的青睐。

高速和高可靠是 FPGA/CPLD 最明显的特点，当今的该类可编程器件，其最高工作频率可达百兆量级，其时钟延迟可达纳秒量级，结合其并行工作方式，在超高速应用领域和实时测控方面有非常广阔的应用前景。相比应用单片机的设计系统来说，可以较好地解决诸如 MCU 的复位不可靠和 PC 可能跑飞等问题。CPLD 和 FPGA 的高可靠性还表现在可形成片上系统，从而大大缩小了体积，易于管理和屏蔽^[10]。

由于 FPGA/CPLD 的集成规模非常大,因此可借助 HDL 硬件描述语言开发出系统级芯片和产品。又由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所有器件的硬件结构没有关系,所以设计成功的各类逻辑功能软件有很好的兼容性和可移植性,并几乎可用于任何型号和规模的 FPGA/CPLD 中,从而使得产品设计效率大幅度提高。FPGA/CPLD 显著的优势是开发周期短,投资风险小、产品上市速度快,市场适应能力强和硬件升级回旋余地大。一旦市场对所设计的产品需求量大,则可进行流片设计,形成价格更低廉的 ASIC 产品。

尽管 FPGA 和 CPLD 与其他类型 PLD 的结构各有其特点和长处,但概括起来,它们是由三大部分组成的:二维的逻辑块阵列,构成了 PLD 器件的逻辑组成核心;输入/输出块,连接逻辑块的互连资源;连线资源,由各种长度的连线线段组成,其中也有一些可编程的连接开关,用于逻辑块之间、逻辑块与输入/输出块之间的连接。

对用户而言,CPLD 与 FPGA 的内部结构稍有不同,但用法一样,所以,多数情况下不加以区分。FPGA/CPLD 芯片都是特殊的 ASIC 芯片,除了具备 ASIC 的特点之外,还具有以下几个优点^[1]:

(1) 随着超大规模集成电路 VLSI(Very Large Scale IC)工艺的不断提高,单一芯片内部可以容纳上百万个晶体管。FPGA/CPLD 芯片的规模也越来越大,其单片逻辑门数已达到上百万门,所能实现的功能越来越强,同时还可以实现系统集成。

(2) FPGA/CPLD 芯片在出厂之前 100%都做过测试,不需要设计人员承担投片风险和费用。设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以,FPGA/CPLD 的资金投入少,节省了许多潜在的花费。

(3) 用户可以反复地编程、擦除、使用,或者在外围电路不动的情况下,用不同软件就可实现不同的功能;因此,用 FPGA/CPLD 试制样片,能以最快的速度占领市场。FPGA/CPLD 软件包中有各种输入工具、仿真工具、版图设计工具及编程器等全线产品,使电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真,直至最后芯片的制作。当电路有少量改动时,更能显示出 FPGA/CPLD 的优势。电路设计人员使用 FPGA/CPLD 进行电路设计时,不需要具备专门的比

集成电路深层次的知识。FPGA/CPLD 软件易学易用，可以使设计人员集中精力进行电路设计，快速将产品推向市场。

4.2 Altera QuartusII 开发软件及设计流程

Altera 公司的 QuartusII 软件提供完整的多平台设计环境，可以轻易的满足特定的设计需求，是 SOPC 设计的综合性环境。此外，QuartusII 软件允许用户在设计流程的每个阶段使用 QuartusII 软件图形用户界面、EDA 工具界面或命令行方式。

Altera 公司的 QuartusII 提供了完整的多平台设计环境，能满足各种特定设计的需要，是单芯片可编程系统(SOPC)设计的综合环境和 SOPC 开发的基本工具。QuartusII 包括模块化的编译器，编译器包括的功能模块有：分析/综合器(Analysis&Synthesis)、适配器(Fitter)、装配器(Assembler)、时序分析器(Timing Analyzer)、设计辅助模块(Design Assistant)、EDA 网表文件生成器(EDA Netlist Writet)、编辑数据接口(Complier Database Interface)等，编译时，可以选择运行所有模块，也可以选择运行单个的模块。

QuartusII 设计工具完全支持 VHDL、Verilog HDL 的设计流程，其内部嵌有 VHDL, Verilog HDL 逻辑综合器，也可使用 QuartusII 软件的模块输入方式、文本输入方式等表达用户的电路构思，同时使用分配编辑器(Assignment Editor)设定初始设计约束条件^[17]。

综合是将 HDL 语言、原理图等设计输入翻译成由与、或、非门、RAM、触发器等基本逻辑单元组成的逻辑连接(网表)，并根据目标与要求(约束条件)优化所生成的逻辑连接，输出.edf 或.vqm 等标准格式的网表文件，供布局布线器进行实现。除了可以用 QuartusII 软件的 Analysis 和 Synthesis 命令综合外，也可以使用第三方综合工具，生成与 QuartusII 软件配合使用的 edf 网表文件或 vqm 文件，通过使用此综合开发工具，设计者可创建、组织和管理自己的设计。

布局布线的输入文件是综合后的网表文件，QuartusII 软件中布局布线包含分析布局布线结果、优化布局布线、增量布局布线和通过反标保留分配等。

时序分析是允许用户分析设计中所有逻辑的时序性能，并协助引导布局布线满足设计中的时序分析要求。默认情况下，时序分析作为全编译的一部分自动运行，它观察和报告时序信息，如建立时间、保持时间、时钟至输出延时、最大时

钟频率以及设计的其他时序特性，可以使用时序分析生成的信息分析、调试和验证设计的时序性能。

仿真分为功能仿真和时序仿真。功能仿真主要是验证电路功能是否符合设计要求：时序仿真包含了延时信息，它能较好地反映芯片的设计工作情况。可以使用 QuartusII 集成的仿真工具仿真，也可以使用第三方工具对设计进行仿真如 Model Technology 公司的 Modelsim。

编程和配置是在全编译成功后，对 Altera 器件进行编程或配置，它包括 Assemble(生成编程文件)、Programmer(建立包含设计所用器件名称和选项的链式文件)、转换编程文件等^[10]。

系统级设计包括 SOPC Builder 和 DSP Builder。QuartusII 与 SOPC Builder 一起为建立 SOPC 设计提供标准化的图形环境，其中，SOPC 由 CPU、存储器接口、标准外围设备和用户自定义的外围设备等组件组成。SOPC Builder 允许选择和自定义系统模块的各个组件和接口，它将这些组件组合起来，生成对这些组件进行实例化的单个系统模块，并自动生成必要的总线逻辑。DSP Builder 是帮助用户在易于算法应用的开发环境中建立 DSP 设计的硬件表示，缩短了 DSP 设计周期。

4.3 VHDL/Verilog HDL 硬件描述语言

硬件描述语言(Hardware Description Language)是硬件设计人员和电子设计自动化(EDA)工具之间的界面。其主要目的是用来编写设计文件、建立电子系统行为级的仿真模型，即利用计算机的巨大能力对用Verilog HDL或VHDL建模的复杂数字逻辑进行仿真，然后再自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表(Netlist)。根据网表和某种工艺的器件自动生成具体电路然后生成该工艺条件下这种具体电路的延时模型仿真验证无误后用于制造ASIC芯片或写入EPLD和FPGA器件中。

4.3.1 Verilog HDL 硬件描述语言

Verilog HDL硬件描述语言是描述电子电路行为和结构的一种语言，Verilog用于模拟从随机和纯行为到门级和开关级的抽象范围等层次的数字电子电路功能，

也用于从许多抽象(寄存器传输级)描述合并(即自动产生)门级描述。**Verilog**一般用于支持高层次的设计(或基于语言的设计)，其中电子设计在用自动合并工具进行详细设计前要通过高层次的完全抽象仿真来检验。**Verilog**也广泛应用于IC的门级检验，包括仿真、故障仿真和定时检验。

Verilog HDL是一种硬件描述语言，用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。被建模的数字系统对象的复杂性可以介于简单的门和完整的电子数字系统之间。数字系统能够按层次描述，并可在相同描述中显式地进行时序建模^[19]。

Verilog HDL语言具有下述描述能力：设计的行为特性、设计的数据流特性、设计的结构组成以及包含响应监控和设计验证方面的时延和波形产生机制。所有这些都使用同一种建模语言。此外，**Verilog HDL**语言提供了编程语言接口，通过该接口可以在模拟、验证期间从设计外部访问设计，包括模拟的具体控制和运行。

Verilog HDL语言不仅定义了语法，而且对每个语法结构都定义了清晰的模拟、仿真语义。因此，用这种语言编写的模型能够使用**Verilog**仿真器进行验证。语言从C编程语言中继承了多种操作符和结构。**Verilog HDL**提供了扩展的建模能力，其中许多扩展最初很难理解。但是，**Verilog HDL**语言的核心子集非常易于学习和使用，这对大多数建模应用来说已经足够。当然，完整的硬件描述语言足以对从最复杂的芯片到完整的电子系统进行描述^[20]。

4.3.2 VHDL 硬件描述语言

VHDL(Very-High-Speed Integrated Circuit HDL)，超高速集成电路硬件描述语言，**VHDL**主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外，**VHDL**的语言形式和描述风格与句法十分类似于一般的计算机高级语言。**VHDL**的程序结构特点是将一项工程设计(或称设计实体，可以是一个元件、一个电路模块或一个系统)分成外部(或称可视部分、端口)和内部(或称不可视部分)，不可视部分描述了实体的内部功能和算法。在对一个设计实体定义了外部界面后，一旦其内部开发完成后，其它的设计就可以直接调用这个实体。将设计实体分成内外部分的概念是**VHDL**系统设计的基本点。作为一种标准，几乎所有的综合仿真工具都支持它，在一个地方建立的模型可以在另外一个地方运

行。VHDL 具有很强的行为描述能力，可以避开具体的器件结构从高层次上描述和设计大规模电子系统；具有丰富的库函数，可简化底层设计；具有强大的仿真函数，可进行系统功能可行性的早期验证；具有支持大规模设计的分解和已有设计的共享功能，可满足多人甚至多个工作组共同并行工作高效、高速设计大规模系统的需要^{[21][22]}。

4.4 本章小结

本章主要介绍了电路设计中使用的相关开发工具。简单的介绍了 FPGA/CPLD、设计中所使用的 Altera 公司的 QuartusII 软件以及 VHDL/Verilog HDL 硬件描述语言。

第5章 节点数据管理器硬件电路设计

5.1 节点数据管理器概述

宽带综合数据光同步网节点数据管理器分为节点解串器与节点成串器两大部分。其中节点解串器部分的主要功能是在下行的数据帧中提取位同步时钟，对接收的数据帧进行帧同步，保证在时钟同步的条件下将来自集中器的数据帧完成串/并转换后分别送给各类(语音、数据、图像、计算机四类)节点控制单元。节点成串器部分则将各类(语音、数据、图像、计算机四类)节点控制单元的数据经并/串转换后发送给集中器进行处理。

按照上述要求，本设计节点解串器与节点成串器两大部分都采用 Altera 公司推出的低价位、高性能 CycloneII FPGA 器件 EP2C5 系列芯片 EP2C5T144C6 为主芯片，利用 EP2C5T144C6 丰富的资源以及较高的性能配合使用 Altera 公司的 QuartusII 5.0 软件开发平台及 Protel DXP 2004 进行节点数据管理器的研究与设计。

5.2 开发电路及各模块设计

宽带综合数据光同步网节点数据管理器主要通过光模块与集中器相连，并通过 PCI 插槽与各类节点控制单元相连进行通信。根据系统功能需求，宽带综合数据光同步网节点数据管理器部分的电路主要包括节点解串器及节点成串器两部分，具体包括以下几个方面：电源模块，给整个电路提供多种所需直流电能；FPGA 模块，节点解串器及节点成串器都选用 EP2C5T144C6；串行配置模块，节点解串器及节点成串器都选用 EPICS4；时钟模块，节点解串器部分采用 16.384MHz 晶振，节点成串器采用 32.768MHz 晶振；解串器电路模块；光电收发模块；总线模块等。开发电路的设计有其独到的特点：有源晶振使用较低的外部时钟源，有利于充分使用内部锁相环 PLL 在 FPGA 内部倍频，降低其对外部环境的干扰；电源部分采用了无主板启动电源——ATX 电源；并且节点数据管理器通过 PCI 插槽与各类节点控制单元相连等等。

下面，将对各个模块的设计进行具体、详细的描述。

5.2.1 电源模块

系统共需要+3.3V、±5V、±12V、+1.2V六种电压。电源部分采用了ATX电源为系统供电，ATX电源可以提供+3.3V、±5V、±12V五路电压，其中PCI插槽需要+3.3V、±5V、±12V五种电压，光电模块需要+5V电压，解串器芯片、FPGA芯片需要+3.3V电压，而FPGA芯片的内核电压VCCINT及锁相环电压VCCPLL为+1.2V，所以还需要通过降压芯片得到+1.2V电压，具体介绍如下。

5.2.1.1 ATX电源结构、工作原理及功能

电源部分采用ATX电源对系统进行供电，ATX电源的功能就是给主板提供+3.3V、±5V、±12V、+5VSB电源电压及表征电源正常的PW_OK(Power OK)信号。并接受来自主板电源监控部分的用于开关主变换器的PS_ON(Power SuppLy On)信号。ATX电源的各路电压通过一个长方形双排20脚插头输出。插头引脚采用独特的方形、切角形相间排列结构，保证只能单方向插入。可有效地避免插错引脚。

图5.1是ATX电源输出插头引脚图^[2]。

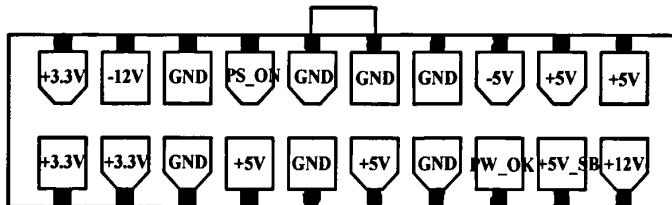


图5.1 ATX电源输出插头引脚图

各管脚定义如表5.1所示。

表5.1 ATX电源输出插头各管脚定义

管脚	信号	管脚	信号
1	+3.3V	11	+3.3V
2	+3.3V	12	-12V
3	GND	13	GND
4	+5V	14	PS_ON
5	GND	15	GND
6	+5V	16	GND
7	GND	17	GND
8	PW_OK	18	-5V
9	+5V_SB	19	+5V
10	+12V	20	+5V

ATX电源从大的方面来讲，由SB辅助电源主变换器辅助电路三大部分组成。

SB电源输出两路电压：一路输出+12V、+30V，送到主变换器PWM脉宽调制电路作为供电电源；另一路输出+5VSB电压，送到主板电源监控部分作为供电电源。类似于遥控电视机中给微电脑供电的遥控电源（待机电源）。辅助电路完成电压电流保护、PW_OK信号产生、PS_ON信号处理等工作。

ATX电源与主机的配合工作过程是：接通市电，SB辅助电源开始工作。+5VSB电压送到主板电源监控部分作为供电电源，此时主变换器因PS_ON信号无效而处于关闭状态，+3.3V、±5V、±12V五路电压无输出，PW_OK信号为低电平0V。当主机启动时，PS_ON信号变为有效的低电平0V，主变换器被启动，输出+3.3V、±5V、±12V五路电压，PW_OK信号滞后主变换器各路电压100~500ms后变为有效的高电平5V。送到主板供CPU检测用，CPU检测到PW_OK信号为高电平时，得知系统电源已经建立，转入进行下一步工作^[24]。

总的说来，ATX电源采用+5VSB、PS_ON的组合来实现电源的开启和关闭，只要控制PS_ON信号电平的变化，就能控制电源的开启和关闭。如在WINDOWS平台下发出关机指令，使PS_ON变为高电平，ATX电源就自动关闭。在ATX电源及主板中，PW_OK信号是开机自检启动信号，为了防止开机时各路输出电路时序不定，CPU或其它设备未进入初始化状态造成工作错误及突然停电时，硬盘磁头来不及移至着陆区造成盘片划伤，ATX电源中均设置了PW_OK信号。此外，为了保证安全工作，ATX电源中设置了各种各样的保护电路，当开关电源发生过电压、

过电流故障时，保护电路启动，开关电源停止工作以保护负载和电源本身^[26]。

5.2.1.2 节点数据管理器电源模块设计

从上面的分析可以看出，要使ATX电源脱机独立运行，只要将其PS_ON端（绿线）与地线（黑线）相连即可。PS_ON信号是开启ATX电源主变换电路的唯一通道，只要将PS_ON信号降为0V，ATX电源主变换电路就应该工作，各路主电压有电压输出。PS_ON端（绿线）与地（黑线）相连时启动主变换器，否则主变换器不工作。所以本设计中通过接通PS_ON端（绿线）与地端（黑线），来开启主变换器，从而对宽带综合数据光同步网节点数据管理器电路系统供电，为电路板提供+3.3V、±5V、±12V五路电压。ATX电源电路如图5.2所示。

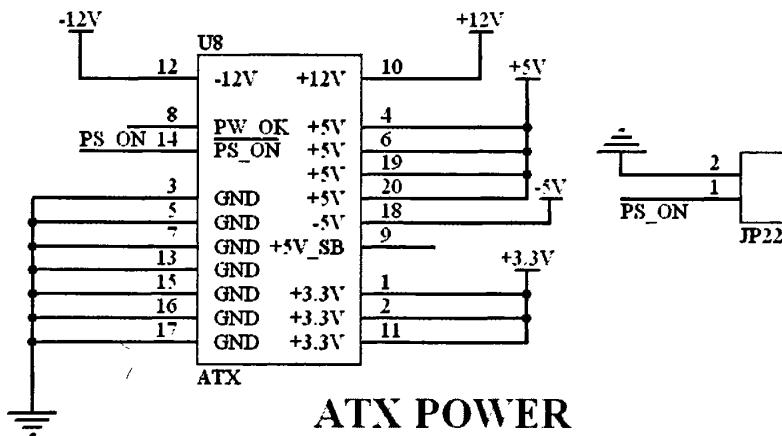
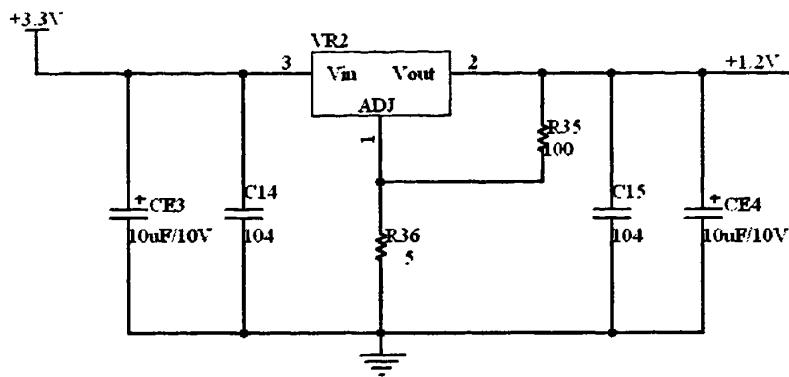


图5.2 ATX电源电路

它为整个开发电路提供直流电能，包括分布在FPGA芯片4个BANK上的VCCIO[1..4]所需要的+3.3V电压、解串器芯片需要的+3.3V电压、PCI插槽所使用的+3.3V、+5V、±12V电压以及光电模块使用的+5V电压。

本设计中，为安全起见，将PS_ON端与GND地端引出，使用时可加短路帽将这两端短接以启动ATX电源，以免在过失下电压过大烧毁FPGA芯片。并在电源设计中加入了发光二级管作为指示灯提示，用来指示+3.3V、±5V、±12V是否正常工作。系统中的+3.3V、+1.2V电压在供给FPGA芯片之前，分别经过了电容进行滤波，以保证电源的纯净。因为所选用的FPGA芯片共需要提供12个+3.3V电压及6个+1.2V电压，所以选用了18个电容进行滤波。

但是ATX电源主变换器只能提供+3.3V、±5V、±12V五路电压，而分布在FPGA芯片4个BANK上的内核电压VCCINT以及VCC PLL为+1.2V，因此需要进行电压转换，可通过降压芯片得到+1.2V电压。本设计中采用电压转换芯片LM1117-adj，经过电压转换芯片(LM1117)后产生+1.2V电压提供给FPGA系统需求。+1.2V电压电路如图5.3所示。

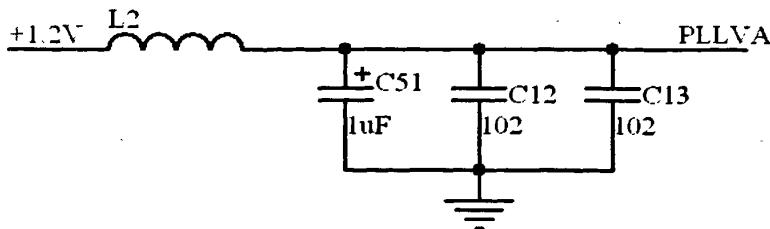


POWER +1.2V

图5.3 +1.2V电源电路

+1.2V电压的设计在LM1117前加了两个输入旁路电容C14、CE3，输出加了两个终端调节旁路电容C15、CE4来进行调节，将纹波旁路到地，该旁路电容防止当输入电压增大时纹波被放大，影响电路。加有电容实际是起到滤波作用。

在锁相环PLL的电压引入时比较小心，在+1.2V电压产生后没有直接加给PLL而是经由磁珠再经由电容并联电路之后才加给PLL。磁珠专用于抑制信号线、电源线上的高频噪声和尖峰干扰，还具有吸收静电脉冲的能力。象一些RF电路、PLL、振荡电路、含超高频存储器电路(DDR SDRAM, RAMBUS等)等都需要在电源输入部分加磁珠，而电感是一种蓄能元件，用在LC振荡电路，中低频的滤波电路等，其应用频率范围很少超过50MHz。FPGA芯片的PLL对信号干扰比较敏感，因此，在经过磁珠的作用后又加入几个电容，思想同LM1117处设计相同，为了纯净PLLVA处的电源输入。旁路电容的选择根据FPGA芯片的特性参数，在设计中分别选用了0.001uF、0.001uF、1uF用来降低纹波效应，(0.001uF用在高速PLL的电源引入即PLLVA处)。锁相环PLL电源电路如图5.4所示。



POWER_PLL

图 5.4 锁相环 PLL 电源电路

5.2.2 FPGA 模块

本系统宽带综合数据光同步网节点数据管理器的节点解串器与节点成串器部分都采用 Altera 公司推出的低价位、高性能 CycloneII 器件 EP2C5 系列芯片 EP2C5T144C6 为主芯片。Altera 公司的 CycloneII 系列 FPGA 是目前市场上性价比最优且价格比较低的 FPGA。CycloneII 系列器件具有为大批量价格敏感应用优化的功能集，这些应用市场包括消费类、工业类、汽车业、计算机和通信类。这个系列的产品提供了与其上一代产品相同的优势——用户定义的功能、领先的性能、低功耗、高密度以及低成本。CycloneII 器件采用 90nm、低 K 值电介质工艺，通过使硅片面积最小化，可以在单芯片上支持复杂的数字系统。CycloneII EP2C5T144C6 基于成本优化的全铜 SRAM 工艺，它拥有 4608 个逻辑单元，26 个 M4K RAM 块，含有 2 个 PLL 和 8 个全局时钟网络，89 个用户 I/O 管脚。CycloneII EP2C5T144C6 支持各种单端 I/O 标准如 LVTTL、LVCMS、SSTL-2、SSTL-18、HSTL-18、HSTL-15、PCI 和 PCI-X，通过 LVDS 和 RSDS 标准提供 30 个通道的差分 I/O 支持。每个 LVDS 通道高达 622Mbps。CycloneII EP2C5T144C6 器件具有双数据速率 (DDR) SDRAM 和 FC RAM 接口的专用电路。CycloneII EP2C5T144C6 中有两个锁相环 (PLLs) 提供六个输出和层次时钟结构，以及复杂设计的时钟管理电路。这些业界最高效架构特性的组合使得 FPGA 系列成为 ASIC 最灵活和最合算的替代方案^[26]。

CycloneII EP2C5T144C6 有以下几点特性^[27]：

- (1) 采用 144 个引脚的 QFP 封装形式，能提供 89 个用户 I/O 引脚，具有 4608 个逻辑单元，它的逻辑资源可用来实现复杂的应用。

-
- (2) 含有 26 个 M4K 存储块, 能够被配置来支持多种操作模式, 包括 RAM、ROM、FIFO 及单口和双口模式。
 - (3) 具有高级外部存储器接口, 允许设计者将外部单数据率 (SDR) SDRAM、双数据率 (DDR)、SDRAM 和 DDR FC RAM 器件集成到复杂系统设计中, 而不会降低数据访问的性能。
 - (4) 具有 30 个兼容 LVDS 的通道, 每个通道数据率高达 622Mbps。
 - (5) 支持各种单端 I/O 接口标准, 如 3.3V、2.5V、1.2V、LVTTL、LVC MOS、SSTL 和 PCI 标准, 满足当前系统需求。
 - (6) 具有两个可编程锁相环 (PLL) 和八个全局时钟线, 提供健全的时钟管理和频率合成功能, 实现最大的系统性能。CycloneII PLL 具有多种高级功能, 如频率合成、可编程相移、可编程延迟和外部时钟输出。这些功能允许设计者管理内部和外部系统时序。
 - (7) 片上的锁相环电路可以提供输入时钟的 1~32 分频或倍频, 输出时钟信号的特性可直接在开发软件 QuartusII 里设定。经过锁相环输出的时钟信号既可以作为内部的全局时钟, 也可以输出到片外供其它电路使用。
 - (8) 支持诸如 PCI 等串行、总线和网络接口, 可访问外部存储器件和多种通信协议如以太网协议。
 - (9) 具有健全的片内热插拔和顺序上电支持, 确保和上电顺序无关的正常工作。这一特性在上电前和上电期间起到了保护器件的作用并使 I/O 缓冲保持三态, 让 CycloneII 器件成为多电压系及需高可用性和冗余性应用的理想选择。
 - (10) CycloneII EP2C5T144C6 器件为在 FPGA 上实现低成本数字信号处理 (DSP) 系统提供了理想的平台。
 - (11) CycloneII EP2C5T144C6 器件的 NiosII 系列嵌入式处理器能够降低成本, 增加灵活性, 非常适合于替代低成本的分立微处理器。

5.2.3 配置模块

CycloneII 的 FPGA 系列芯片使用 SRAM 单元来存储配置数据。而 SRAM 的存储是不稳定的, 配置数据需要每次在加电时重新下载到 FPGA 芯片。用户可以通过主动串行 (AS) 配置模式、被动串行 (PS) 以及 JTAG 在线调试方式实现配置。

对于方式的设置可以通过 FPGA 芯片上的 MSEL0、MSEL1 两引脚进行设定。本开发电路中设计了两种常用的配置模式, JTAG、AS 配置模式^[1]。

5.2.3.1 JTAG 在线配置

JTAG (Joint Test Action Group) 是一种国际标准测试协议, 主要用于芯片内部测试及对系统进行仿真、调试。JTAG 技术是一种嵌入式调试技术, 它在芯片内部封装了专门的测试电路, 可以通过专用的 JTAG 测试软件对芯片内部节点进行测试。目前大多数比较复杂的器件都支持 JTAG 协议, 如 ARM、DSP、FPGA 器件等。JTAG 接口常用于实现 ISP (In-System Programmable, 在系统编程) 功能, 如对 FLASH 器件进行编程等。通过 JTAG 接口, 可对芯片内部的所有部件进行访问, 因而是开发调试嵌入式系统的一种简洁而高效的手段。

本开发电路中节点解串器与节点成串器各有两种 JTAG 接口, 其中一种 JTAG 接口 (JP1、JP3) 是对 FPGA 系统进行在线配置的, 以这种配置方式完成的配置只能在不掉电时使用, 一旦掉电配置信息将全部丢失, 适合于在线调试阶段, 可随时调整以完善设计。JTAG 接口的 4 个引脚分别与 FPGA 的 4 个专用 JTAG 口引脚 Test clock input (TCK)、Test data output (TDO)、Test mode select (TMS)、Test data input (TDI) 相连, 电路连接如图 5.5 所示。

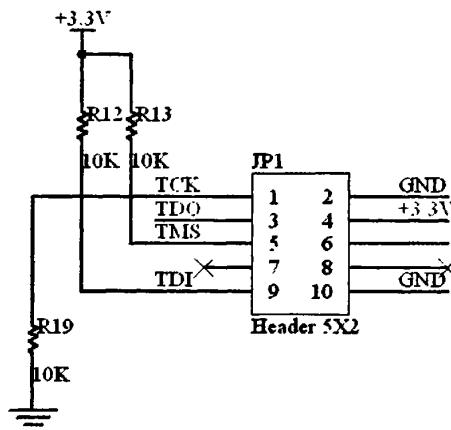


图 5.5 JTAG 接口电路

5.2.3.2 主动配置模式电路

另一种 JTAG 接口 (JP2、JP4) 是主动串行配置方式, 如图 5.6 所示。工程项目的配置数据被写入到主动串行配置器件中的同时也对 FPGA 系统进行配置, 完成后系统就可以按照配置开始工作。经过这种方式配置的系统, 在每次重新上电时利用主动串行配置器件片内保存的配置信息很快完成对 FPGA 的配置, 实现掉电保护。本开发电路中选用了 EPICS4 作为主动串行配置器件。EPICS4 是 4Mbits 的 Altera 专用配置芯片, 它本质上是一块专用 FLASH, 用于保存 FPGA 的配置信息。主芯片 EP2C5T144C6 属于 EP2C5 系列, 该系列是基于 SRAM 的 FPGA 芯片, 可以通过下载电缆来在线配置该芯片(之前已对该方式的电路设计进行了描述), 但掉电后, FPGA 芯片内部的配置信息会丢失。如果配合使用相应的配置芯片, FPGA 可以在上电的时候, 从配置芯片里面读出配置内容, 这样上电后即可使用, 而不需要每次使用前重新对 FPGA 进行配置。在所有设计完成时即可使用该方式, 将配置信息下载到该芯片, 方便使用。

对于本开发电路中选用的 EPICS4 器件, 其管脚见图 5.6 所示。EPICS4 有 4 个信号直接与 FPGA 的控制信号相连, 分别是串行数据输出 (DATA)、串行时钟输入 (DCLK)、AS 数据输入 (ASDI) 以及主动拉低片选 (nCS), 依次与 FPGA 的控制信号 DATA0、DCLK、ASDO、nCSO 相连。模式选择引脚 MSEL0、MSEL1 均接地以置零来选择 AS 模式。FPGA 的芯片使能信号 nCE 必须拉低来实现成功配置, 本设计中采取 $10K\Omega$ 下拉电阻的方式来处理, 如图 5.6 所示。在整个配置过程中, FPGA 处于控制地位, 并对 EPICS4 提供时钟。FPGA 模块通过控制信号 nCSO 将与之相连的 nCS 信号拉低, 从而来使能 EPICS4, 使能之后 FPGA 将指令和地址通过控制信号 ASDO 传给 ASDI, EPICS4 对收到的指令做出回应, 在 DCLK 的下降沿将配置数据送给 FPGA 的 DATA0 信号引脚, 这些配置数据在 DCLK 信号的上升沿被锁存进 FPGA 内。

FPGA 在 AS 配置模式下控制着 nSTATUS、CONF_DONE 引脚, 如果在配置结束, CONF_DONE 引脚没有置高或者是该引脚过早的置高这些情况下, FPGA 将 nSTATUS 引脚拉低来重新开始配置。配置成功后 FPGA 释放 CONF_DONE 引脚, 让外接的 $10K\Omega$ 上拉电阻将这个信号拉高。在 CONF_DONE 信号拉高后开始进行初始化, 初始化结束后, FPGA 就开始进入使用模式。在 AS 配置中, 所有操作均由 FPGA 发起, 它在配置过程中完全处于主动状态^[28]。

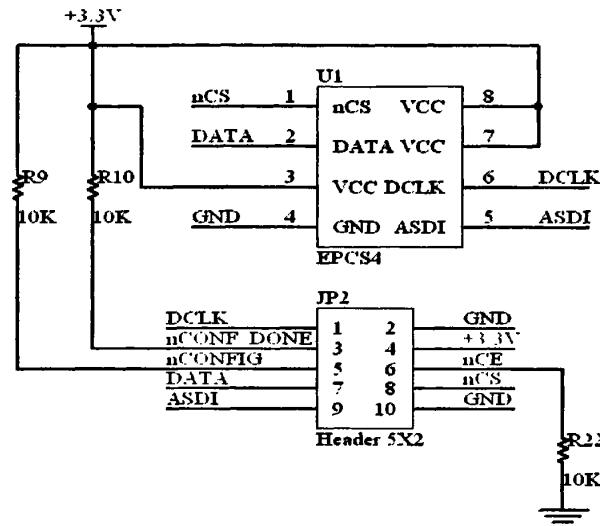


图 5.6 主动配置电路

5.2.4 时钟模块

晶振电路用于向 FPGA 及其他电路提供工作时钟。FPGA 内部没有振荡电路，选择有源晶振能提供稳定理想的时钟输出。EP2C5T144C6 输入的时钟频率范围为 11~311MHz，经过内部 PLL 电路后可输出 10~400MHz 的系统时钟。当输入时钟频率较低时，可以使用 FPGA 的内部 PLL 调整 FPGA 所需的系统时钟，使系统运行更快。本电路使用有源晶振座可更换不同频率的晶振，以满足系统的不同需求。节点解串器与节点成串器部分的时钟电路相似，如图 5.7 所示，其中 CLKIN 与 FPGA 芯片相连，从而为电路提供工作时钟。

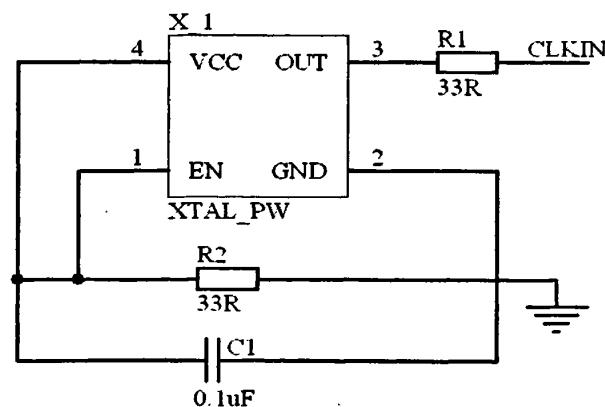


图 5.7 时钟模块电路

5.2.5 光电模块

通信网干线传输容量的不断扩大及速率的不断提高使得光纤通信成为现代信息网络的主要传输手段，在现在的光通信网络中，如广域网(WAN)、城域网(MAN)、局域网(LAN)所需要的作为核心光电子器件之一的光收发模块的种类越来越多，要求也越来越高，复杂程度也以惊人的速度发展。光收发模块的急剧增加导致了多样性，需要不断发展相关技术满足这样应用需求。

宽带综合数据光同步网采用光纤进行传输，所以本设计采用了光电模块NTR-2232将节点数据管理器与集中器相连以进行通信。NTR-2232光模块经过内部电路的转换可输出FPGA芯片接口支持LVDS电平，并且符合1x9多源协议，是高速数据光通讯设备的优选设计方案。NTR-2232光模块支持155Mbps传输速率，广泛应用于数字视频设备的长距离光传输系统，传输距离长达120公里，更远的传输距离可供选择；选用世界一流激光器芯片，采用先进的耦合封装工艺，精湛的内部和外壳工艺，具有极好的可靠性和长期稳定性；良好的性价比支持对品质有较高要求设备的设计应用^[20]。

在本设计当中，光纤接收模块需要用到以下九个引脚：接收地(Rx VEE)、发射地(Tx VEE)、接收电源(Rx VCC)、发射电源(Tx VCC)、接收数据输出+(RD+)、接收数据输出-(RD-)、发射数据输入+(TD+)、发射数据输入-(TD-)、信号检测输出(SD)。其中接收数据输出+(RD+)、接收数据输出-(RD-)、发射数据输入+(TD+)、发射数据输入-(TD-)为两对低压差分对。接收数据输出+(RD+)、接收数据输出-(RD-)与解串器芯片相连，将从集中器接收到的数据发送到解串器芯片，用于宽带综合数据光同步网节点数据管理器的节点解串器部分。而发射数据输入+(TD+)、发射数据输入-(TD-)直接与宽带综合数据光同步网节点数据管理器的节点成串器的FPGA主芯片相连，用于接收来自节点成串器处理完成的数据，然后将数据发送给集中器。具体电路如图5.8所示。

另外，在FPGA芯片与LVDS电平接口时需要有特殊要求，在设计当中也需要考虑，比如，两路信号输入线在PCB设计中尽量要等长，在这两路线上的过孔数目要尽量相等等都是需要考虑的问题。

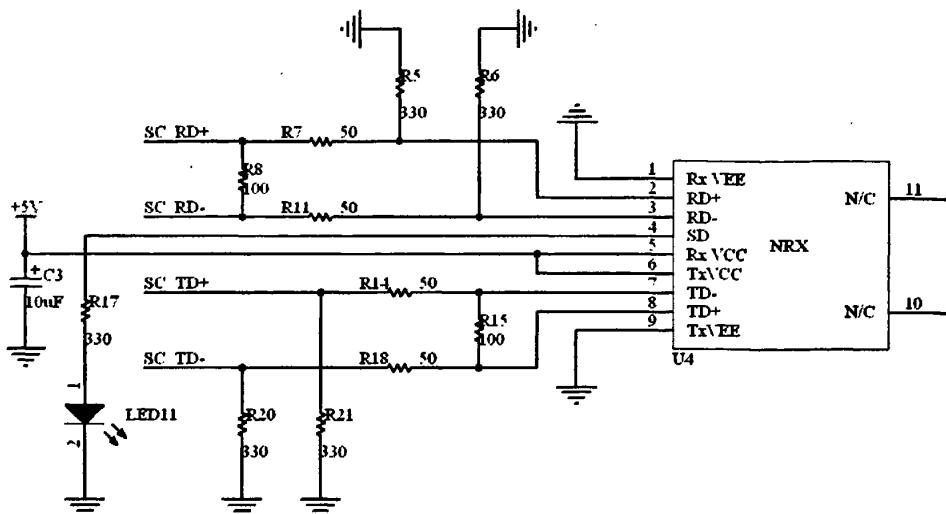


图 5.8 光模块电路

5.2.6 解串器模块

本系统所采用的解串器芯片为美国国家半导体公司的 DS90C124。该解串器芯片为 24 位，即输入为串行数据，输出为 24 位并行数据；输入时钟为 5MHz~35MHz，可以达到我们的速率要求；输入电压为 +3.3V 并且有内嵌的时钟数据恢复 CDR，可以实现位同步，为在高速数据码流中提取同步时钟提供了方便。此外，这款芯片采用 48 引脚的 TQFP 封装。

DS90C124 芯片可以利用一条可传送嵌入式时钟的 LVDS 差分双扭线电缆来转换 24 位的数据。这款芯片除了可以减少所需要的互连线路之外，还有其他多个优点，例如：可为 LVDS 差分双扭线电缆提供交流电耦合支持，其预增强功能则可加强信号，确保传送信号的电缆可以进一步延长。此外，由于这款芯片采用专有的数据编码技术，因此可以通过串行线路支持直流平衡位数据流的传送。其他的重要特色及优点还包括^[30]：

- (1) 操作频率介于 5 至 35MHz 之间。
- (2) 24: 1 串行数据净荷及 840Mbps 带宽。
- (3) 适用于 -40°C 至 105°C 的广阔温度范围。
- (4) 交流耦合支持可为串行线路提供短路保护。
- (5) 直流电平衡传输。
- (6) 3.0V 至 3.6V 的电压范围。

- (7) 解串器无需外置参考时钟或振荡器的支持。
 - (8) 可编程的预增强功能确保系统可在较长电缆上驱动信号。
 - (9) 较少电磁干扰。

由于这款解串器芯片可以缩小数据路径，因此可以减少印刷电路板层数和引脚数目，而且也确保系统可以采用较细小的电缆和连接器，换言之，采用这款芯片可以节省系统成本。

图 5.9 为解串器模块电路图。从图中可看到, 输入端为 RIN+、TIN-, 为一对低压差分信号, 分别与光模块的接收数据输出+(RD+)、接收数据输出-(RD-)相连。而输出端 ROUT0~ROUT23 以及 RRFB、REN、RPWDNB、RCLK 直接与节点解串器部分的 FPGA 主芯片 EP2C5T144C6 相连。管脚 LOCK 接一个发光二极管, 用来指示锁相环 PLL 是否锁存。

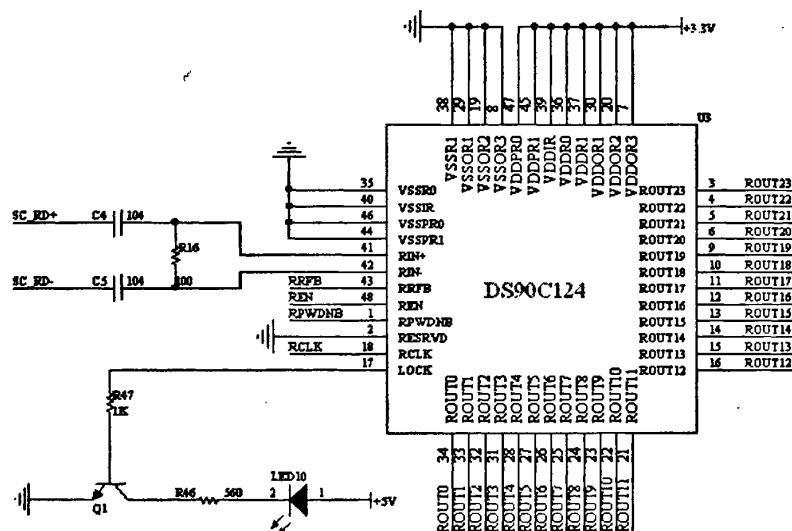


图 5.9 解串器模块电路

5.2.7 总线模块

本设计中的一个重点就是总线的设计，宽带综合数据光同步网络节点数据管理器要对各类(语音、数据、图像、计算机四类)节点控制单元进行管理、调度，就需要通过总线来传输数据，所以总线是本次设计中一个比较重要的环节。总线则选用 PCI 插槽的形式，与 PCI 总线不同的是，本设计只是利用 PCI 插槽来完成总线的功能，但是不使用 PCI 总线协议。总线的协议按照本系统的要求对 PCI 插

槽的信号重新进行了定义。其 PCI 信号分配如图 5.10 所示。

本系统选用 32 位的 PCI 插槽，共 120 个管脚。由于宽带综合数据光同步网节点数据管理器需要与语音、数据、图像、计算机四类节点控制单元进行连接，所以共需要四个 PCI 插槽，四类节点控制单元都通过 PCI 插槽连接到总线上。

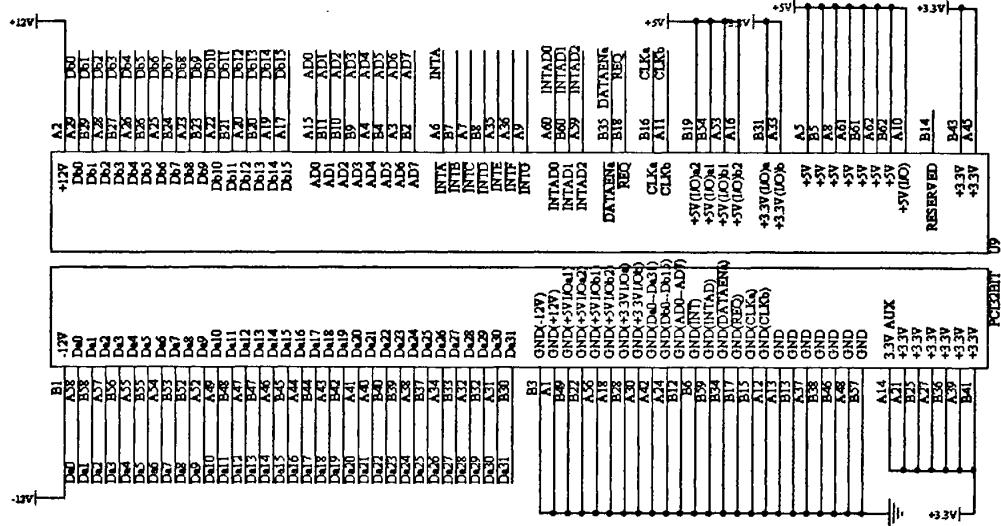


图 5.10 PCI 信号分配电路图

宽带综合数据光同步网节点数据管理器分为节点解串器与节点成串器两部分。下面就分别介绍这两部分的总线信号定义。

5.2.7.1 节点解串器部分

节点解串器接收来自集中器的高速串行数据，完成串/并转后将并行的数据发送给各类(语音、数据、图像、计算机四类)节点控制单元。所以本设计中下行总线信号定义为：数据线采用 32 位，Da0~Da31；地址线为 8 位，AD0~AD7；数据有效为 1 位，DATAENa；时钟 1 位，CLKa；+3.3V 电源 1 位；+5V 电源 2 个。此外，还有数据地、地址位地、数据有效位地、时钟地、+3.3V 电源地各 1 位；+5V 电源地 2 个。

5.2.7.2 节点成串器部分

节点成串器用于将各类节点控制单元的数据进行处理后，发送给集中器，它主要是完成并/串转换功能。所以上行总线信号定义如下：数据线 16 位，Db0~

Db15; 中断请求位 7 位, INTA、INTB、INTC、INTD、INTE、INTF、INTG; 响应中断请求位 1 位, REQ; 相应中断请求地址位 3 位, INTAD0、INTAD1、INTAD2; 时钟 1 位, CLKb; +3.3V 电源 1 位; +5V 电源 2 个。此外, 还有数据地、中断请求地、响应中断请求地、时钟地、+3.3V 电源地各 1 位; +5V 电源地 2 个。

关于总线的定义、功能以及原理在第三章中有更详尽的描述, 这里不再冗述。

5.3 本章小结

本章主要对宽带综合数据光同步网节点数据管理器的硬件电路设计进行了详细的介绍。其中包括电源模块、FPGA 模块、配置模块、时钟模块、光电模块、解串器模块以及总线模块。

第 6 章 节点数据管理器内部功能模块的研究与设计

在合理设计了硬件开发电路板的基础上，在 QuartusII 中进行宽带综合数据光同步网节点数据管理器内部功能模块的设计。我们知道 FPGA 是现场可编程门阵列，可以通过 VHDL/Verilog HDL 语言来描述、生成硬件器件，也可以在 QuartusII 中直接调用宏功能模块来生成硬件器件，从而实现硬件功能。

如前文所述，节点数据管理器的节点解串器部分内部功能模块需要对来自集中器的数据帧信息，进行串/并转换后交由各类节点控制单元进行处理。而节点成串器则将来自各类节点控制单元的并行数据进行并/串转换后通过光模块发送给集中器统一进行处理。节点数据管理器在整个综合数据光同步网中，采用从集中器发出的统一时钟来上、下行数据。为了保证节点数据管理器对数据的正确接收，需要在内部模块处进行同步处理。包括为了保证同频、同相接收而进行的位同步处理，以及在位同步的基础上，进行的帧同步处理。

按照以上功能分析，本设计中采用节点解串器模块、节点成串器模块等内部功能模块。下面阐述各功能模块的研究与设计。

6.1 节点解串器模块设计

节点解串器模块的设计部分包括同步模块(包括位同步、帧同步两部分)、节点解串器单元以及锁相环三个部分。节点解串器单元用来完成数据的传输以及控制功能，锁相环用来实现倍频。节点解串器模块的顶层原理图如图 6.1 所示。其中 frameinphase 为帧同步模块，addressbus 为节点解串器单元中的控制总线模块，transmit 为节点解串器单元中的数据控制模块，mdpll 为锁相环模块。节点接收的来自集中器的数据首先要经过同步，然后将数据进行简单的处理后通过 32 位数据总线将数据发送给节点控制单元(这部分功能要依靠 transmit 数据控制模块来实现)，这个过程要通过控制总线的控制来完成，当控制总线中的数据有效位 dataena 为 1 时，可以发送给节点控制单元数据并且要告知各类节点控制单元正在发送的数据帧的地址。控制总线中的数据有效位 dataena 为 0 时，则不允许发送数据。节点解串器向各个节点控制单元传输的数据是广播式的。节点接收集中器的数据完

成串/并转换后，广播式的发送给各类节点控制单元，即允许将相同的数据同时传输给网络中的各类节点控制单元^[31]，并不进行复杂的处理，这些工作交由各类节点控制单元进行处理。节点控制单元接收数据后，各自来挑选属于自己的数据。

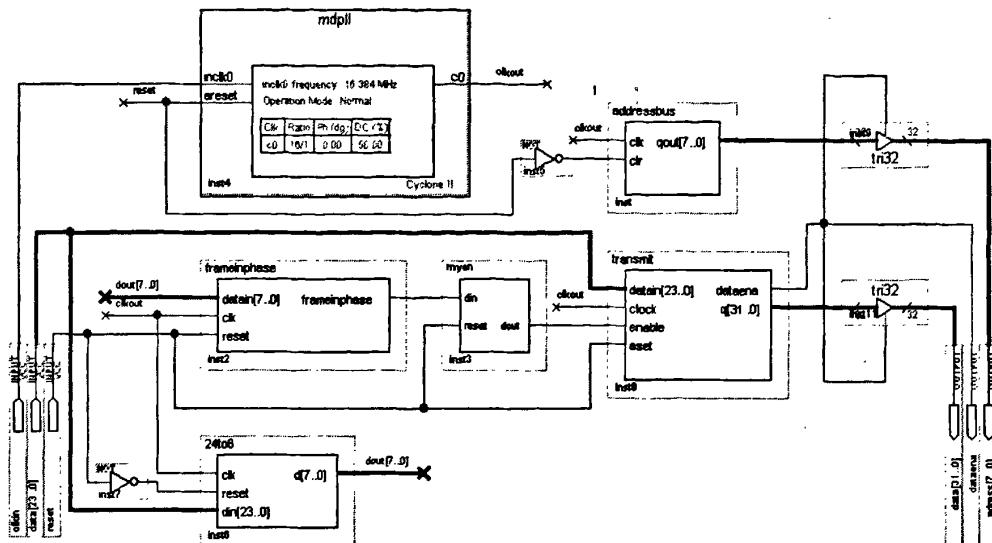


图 6.1 节点解串器模块顶层原理图

下面对各个主要模块进行详细的阐述。

6.1.1 同步模块设计

6.1.1.1 同步的概念

在数字通信中，同步技术是关键。通信的一切优点，都是在载波同步、位同步、帧同步等同步的条件下所获得的。所以，同步技术在数字通信系统，是一门非常重要的技术。一般来说，数字通信系统中要求完成多种同步功能，基本的同步包括位(码元)同步、字(码组)同步以及载波同步，有些系统还需要帧同步^[32](群同步)，对于网络系统来说，还有网同步等。随着现代电子技术的发展，数字系统趋于模块化、小型化、芯片化，因此，如何实现同步系统的模块化和芯片化是正待解决的问题。本系统设计需要考虑位同步、帧同步的问题。

6.1.1.2 位同步模块

1. 位同步概述

在数字通信中,位同步是最基本的同步。位同步时钟信号不仅用于对输入码元信号的监测保证收发同步,而且在对获取帧同步、群同步及对接收的数字码元进行各种处理等过程中也为系统提供了一个基准的同步时钟。位同步的基本含义是收、发两端的时钟频率必须同频、同相,这样接收端才能正确接收和判决发送端送来的每一个码元。位同步的意义在于知道读取数据信号的时间,不能产生数据错位和读取失步的情况。为了达到收、发端频率同频、同相,在设计传输码型时,一般要考虑传输的码型中应含有发送端的时钟频率成分。这样,接收端从接收到的码流中提取出发端时钟频率来控制收端的时钟,就可做到位同步^[3]。

实现位同步的常用方法可以分为插入导频法和直接法两大类。它们又分别称为外同步法和自同步法。从通信理论可知,对于基带信号,它若是随机的二进制不归零脉冲序列,则该信号本身不含位同步信息。为获取位同步信号,可在基带信号中插入位同步导频信号。这种方法称为插入导频法。直接法就是指直接从数字基带信号中提取位同步信号。

插入导频法的基本原理是在基带信号频谱的零点 $f = \frac{1}{T}$ 处,插入所需的导频信号。在接收端,用中心频率为 $f = \frac{1}{T}$ 的窄带滤波器,从解调后的基带信号中提取位同步信号。常用的另一种插入导频法原理是使数字信号的包络按照位同步信号的某种波形关系呈数学变化。例如,在相移键控或频移键控的通信系统中,对已调信号进行额外的幅度调制后,在接收端,通过包络检波法,可得到位同步信号^[34]。

对于位同步,插入导频信号实现位同步由于占用了宝贵的频带资源,一般不常用,通常直接从接收到的数字信号中提取位同步信号。这种直接法按其提取同步信号的方式,大致可分为滤波法和锁相法。

滤波法是利用窄带滤波器对含定时信息的归零二进制序列进行滤波,从中滤出所要的位同步分量,并进行整形、移相等处理,即可得到规则的位同步脉冲信号,但对于无定时信息的非归零二进制序列,则先要进行微分和整流等变换,使之含有定时信息后,才能用窄带滤波器实施滤波。

利用锁相环来实现位同步信号提取的方法称为锁相法。锁相法的基本原理是,在接收端采用鉴相器比较接收码元和本地产生的位同步信号的相位,如果两者相

位不一致，则鉴相器输出误差信号去控制本地位同步信号的相位，直至本地的位同步信号的相位与接收信号的相位一致为止。设计中一般采用数字锁相环实现同步^[36]。

此外，根据本系统的特点，本课题组还自行设计了一种位同步的实现方法，该方法没有应用复杂的算法实现锁相功能，也没有采用传统的添扣门结构，电路结构简单易懂，并且位同步时钟锁定时间较短，速度比较快（由设计时钟选择决定），精度较高，并具有可调整性。不失为实现位同步的一种好方法。

下面对位同步的常用方法——数字锁相环法及课题组自行设计的方法进行详细的阐述。

2.位同步常用方法

目前，在数字通信系统中，常采用数字锁相法来提取位同步信号。数字锁相法基本原理是数字锁相环一个相位反馈控制系统，在数字锁相环中，由于误差控制信号是离散的数字信号不是模拟电压，因而受控的输出相位的改变是离散的而不是连续的^[36]。此外，环路组成的部件也是全用数字电路实现的，故而这种锁相环就被称为全数字锁相环（简称 DPLL）。还有一类锁相环，大部分电路是数字电路，但是环路控制还是模拟形式，这类锁相环能称为部分数字环，也叫做模拟锁相环^[37]。

（1）数字锁相法实现位同步原理

数字锁相环法位同步提取原理框图如图 6.2 所示。

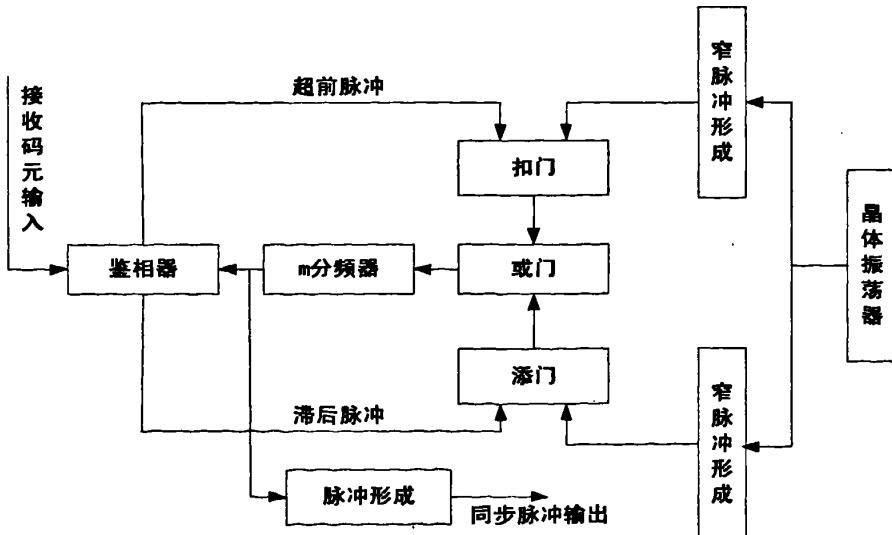


图 6.2 数字锁相环法位同步提取原理框图

原理框图说明如下^{[36][37]}：

● 设要提取的位同步信号频率为 f ，则要求晶体振荡器的振荡频率为 mf 赫兹，其中 m 为分频器的分频系数。

● 窄脉冲形成器的作用是将振荡波形变成窄脉冲。图中两个窄脉冲形成电路的输出信号要求刚好相差 90° 。

● 添门为常闭门，在没有滞后脉冲控制时，此门始终关闭，输出低电平；扣门为常开门，若无超前脉冲控制时，则来自晶体振荡器的脉冲信号顺利通过扣门。晶振信号（频率为 mf 赫兹）经过或门到达 m 分频器，输出频率为 f 赫兹的脉冲信号。该信号再经过脉冲形成电路，输出规则的位同步脉冲信号。

● 鉴相器的功能是比较接收码元与 m 分频器的输出信号（即本地时钟信号）之间的相位关系，若本地时钟信号超前于接收码元的相位，则鉴相器输出一个超前脉冲，加到扣 $1/m$ 门，扣除一个晶振脉冲，这样分频器的输出脉冲的相位就推后了 $1/m$ 周期。若本地时钟信号的相位滞后于接收码元的相位，鉴相器输出一个滞后脉冲，加到添门，控制添门打开，加入一个晶振脉冲到或门。由于加到添门的晶振信号与加到扣门的晶振信号的相位相差 π ，即这两路晶振信号脉冲在时间上是错开的，因此当从添门加入一个晶振脉冲到或门时，相当于在扣门输出的晶振信号中间插入了一个窄脉冲，也就使分频器输入端添加了一个脉冲，这样分频器输出相位就提前了 $1/m$ 周期。整个时钟提取按上述方式，反复调整本地时钟相位，以实现位同步。

从图 6.3 中，可以清楚的理解添扣脉冲原理。

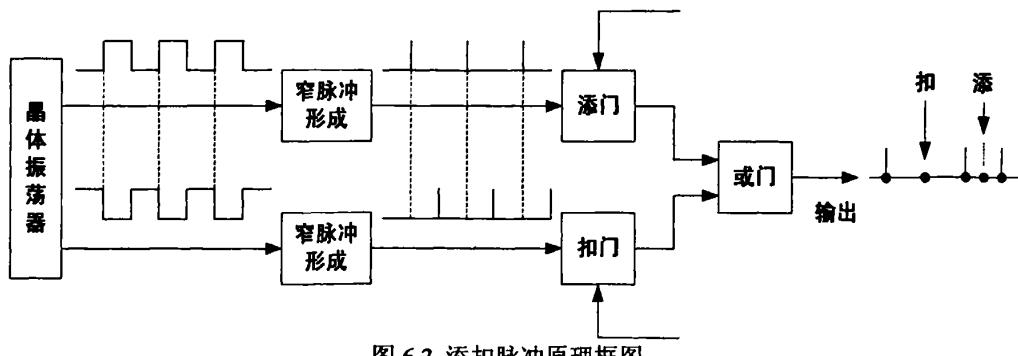


图 6.3 添扣脉冲原理框图

（2）数字锁相法位同步的 FPGA 实现

基于以上原理，设计实现了一种位同步提取电路。它主要由位同步基准获取模块、鉴相模块、双相高频时钟模块、超前、滞后控制模块以及分频器等部分组

成。其顶层电路图如图 6.4 所示，其中 differentiator 为位同步提取模块，dhclk 为双相高频时钟模块，ldiv16 位分频器，CLK-IN 为本地高频时钟输入，CODE-IN 为信码输入，CLK-OUT 为位同步时钟提取信号。

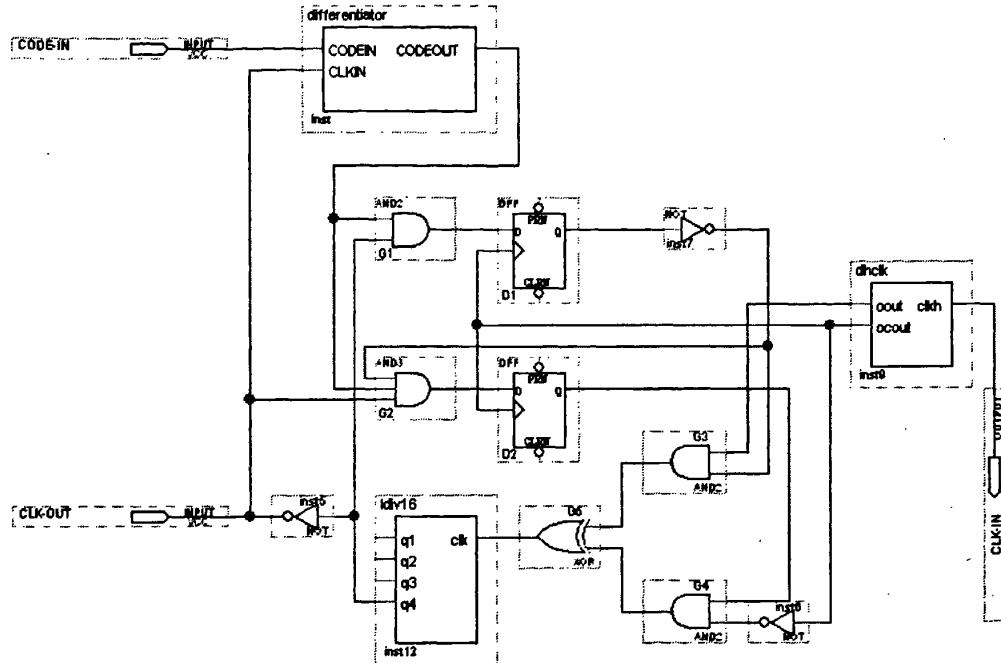


图 6.4 位同步提取顶层电路图

位同步提取电路工作过程如下：通过位同步基准获取模块获取接收码元 CODE-IN 中的同步信息，送入鉴相模块，比较其与分频器输出的本地时钟信号 CLK-OUT 的相位，若本地时钟超前于位同步基准的相位，鉴相模块向超前控制电路输出一个超前脉冲，在 N 分频器输入端扣除一个高频窄脉冲，使分频器输出的时钟信号和相位滞后 $1/N$ 周期；若本地时钟滞后于位同步基准的相位，使分频器的输出脉冲的相位提前 $1/N$ 周期。双相高频时钟模块将本地高频时钟输入信号 CLK-IN 转换为两路相位相反的窄脉冲序列，分别为添门和扣门提供高频窄脉序列。添门为常闭门，在没有滞后脉冲控制时，此门始终关闭；扣门为常开门，若无超前脉冲控制时，窄脉冲信号通过此常开门。分频器将输入的高频时钟信号分频后输出位同步信号 CLK-OUT。各模块具体设计如下。

●位同步基准获取模块

通常信码中不直接含有位同步分量，但包含位同步信息，为了提取输入信码中的位同步信息，设计微分器对信码进行微分，微分器可由移位寄存器、异或门、

与门组成，其建模图见图 6.4 左上角 differentiator 模块。

为了提取位同步信息也可通过检测高低电平的跳变来实现，结合 FPGA 的特点，采用一个 D 触发器和一个异或门来实现边缘提取信息。其实现功能由时序图 6.5 描述。

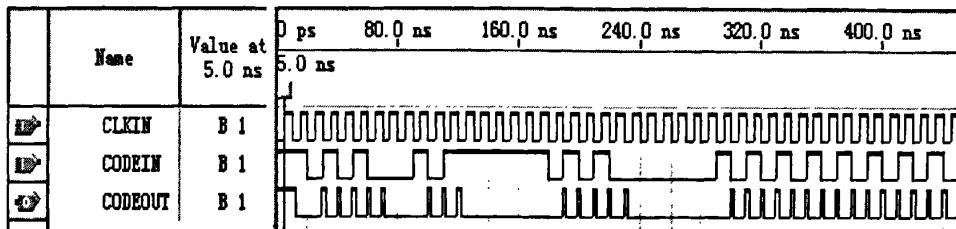


图 6.5 跳变检测时序图

● 鉴相模块

鉴相模块设计由两个与门组成，分别是超前门 G1 和滞后门 G2。位基准提取电路的输出信号与位定时信号 CLK-OUT 一起进入鉴相器，若 CLK-OUT 超前位基准信号，则滞后门 G2 被封锁，输出为 0，超前门 G1 的输出端有窄脉冲输出；若 CLK-OUT 滞后位基准信号，则超前门 G1 被封锁，输出为 0，滞后门 G2 的输出端有窄脉冲输出。

● 双相高频时钟模块

该模块的设计电路由 D 触发器和两个与门组成，它将 FPGA 的高频时钟信号 CLK-IN 变换成两路相位相反的窄脉冲信号，方便在控制电路作用下进行添加和扣除窄脉冲调整。两路窄脉冲分别由 oout、ocout 输出，然后送给控制电路的常开门 G3 和常闭门 G4。其中 ocout 路信号还作为超前滞后控制电路中 D1 和 D2 触发器的时钟信号。双相高频时钟模块的工作过程可由 6.6 波形图清晰的得出。

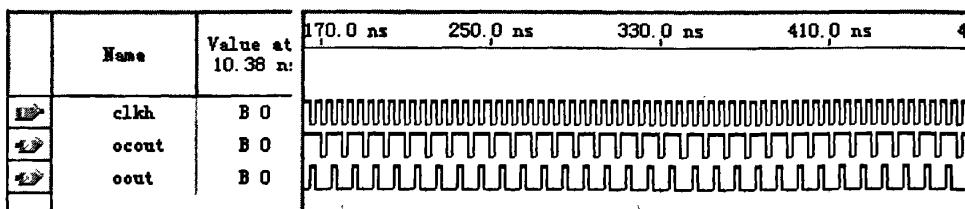


图 6.6 双相高频时钟模块时序图

● 分频电路

图 6.1 中的 Idiv16 部分。双相高频时钟模块的两路输出信号经由分频器 N 分频，输出频率为 f 的本位时钟信号 CLK-OUT。为了方便调试设计，此处的分频

器设计有多种分频输出，分别为2分频、4分频、8分频以及16分频，同时要求本地高频时钟源输入CLK-IN频率应为 $4f$ 、 $8f$ 、 $16f$ 、 $32f$ 。因为，由图6.7可见，本地高频时钟源经过双相高频时钟模块的作用后形成了高频窄脉冲的同时也将本地高频输入频率降了一半。分频器的系数N决定每次添加、扣除脉冲时进行相位调整的精度，可以依据实际需要进行调整，只要保证输入本地高频时钟于分频器分频系数N之间的关系即可。相位调整到当控制电路无超前或滞后控制脉冲输出时，D1的Q端为0，D2的Q端也为0，常开门G3处于打开状态，常闭门G4处于关闭状态，oout路信号通过常开门G3、异或门G5到达N分频器的输入端，经分频后产生稳定的位定时CLK-OUT信号。

●超前、滞后控制模块

分频器输出的位定时信号与位同步基准输出信号进行相位比较。当位定时信号CLK-OUT超前于位基准输出信号时，超前门G1有正脉冲输出。在触发脉冲ocout的上升沿，D1触发器的Q端由低变高，经过非门后，使常开门G3关闭一个时钟周期，将oout路脉冲扣除一个，使CLK-OUT相位向滞后方向变化一个时钟周期。当位定时信号滞后于位同步基准输出信号时，滞后门G2有正脉冲输出。在触发脉冲ocout的上升沿，D2触发器的Q端由低变高，使常闭门G4打开一个时钟周期，在分频器输入端添加一个脉冲。

由6.4的电路设计，在QuartusII中进行时序仿真，得到时序仿真波形如图6.7所示。由图可知，以上电路设计可以实现位同步信号的提取。

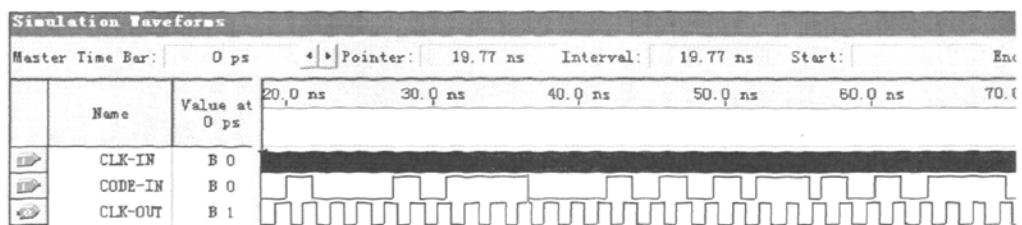


图6.7 位同步信号提取时序图

3.另一种方法实现位同步

锁相环法实现位同步是位同步信号提取中比较常用的方法，然而对于高速码流的位同步提取，这种方法就显得有些力不从心，因此为了解决这个问题，本课题组提出了一种新型的位同步的实现方法。该方法没有应用复杂的算法实现锁相功能，也没有采用传统的添扣门结构，电路结构简单易懂，其顶层原理图如图6.8

所示。

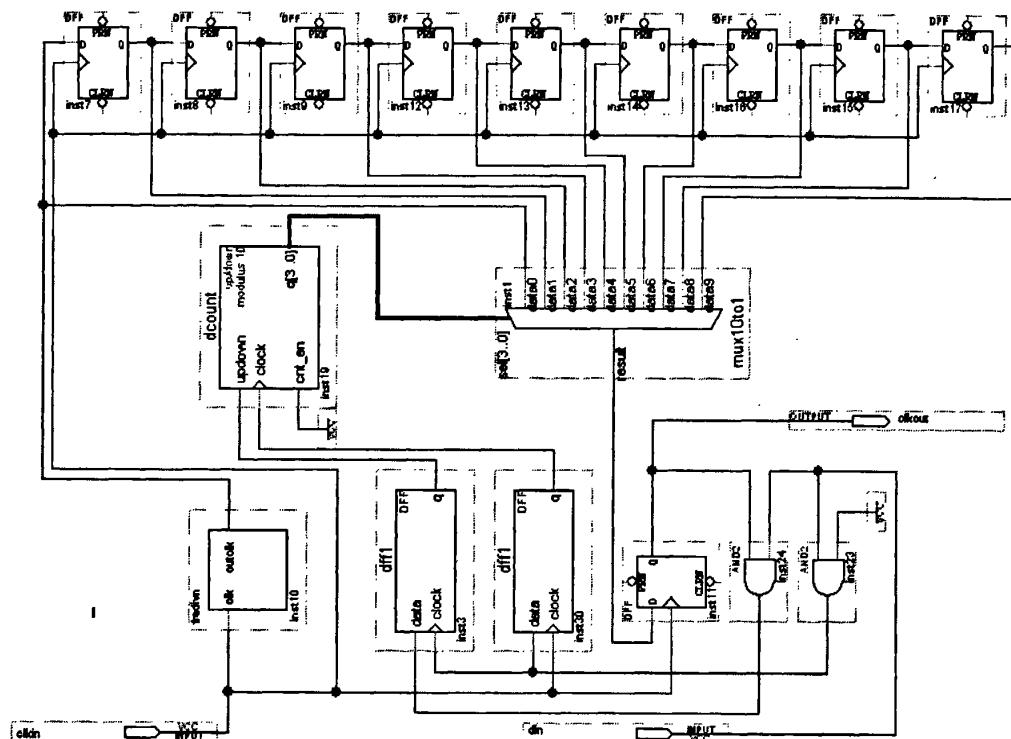


图 6.8 位同步顶层原理图

本文设计的方案可以从异步串行码流中提取位同步时钟信号，设计思想的基本出发点是将外部码流(din)的上跳沿和本地时钟(clkin)上跳沿相比较，无非两种情况，其一外部码流上跳沿超前于本地时钟上跳沿，其二外部码流上跳沿滞后于本地时钟上跳沿。从码流上跳沿的角度来看，若将码流din与本地时clkin进行逻辑相与，若相与结果为“1”则说明码流滞后于本地时钟，若为“0”则说明码流超前于本地时钟。

本设计中由 D 触发器和两个与门来完成鉴相器的功能, 用以鉴别输入码流(din)和本地时钟(clkin)的相位超前滞后关系。鉴相器输出 q 作为控制计数器的计数方向输入, 若滞后 q 为 1 则进行加法计数, 若超前 q 为 0 则进行减法计数。计数器加减计数输出端用来控制多路选择器, 从而改变相位调整选择模块的选择端, 相位调整选择模块有相位调整和相位选择功能。

其时序仿真波形图如图 6.9 所示。

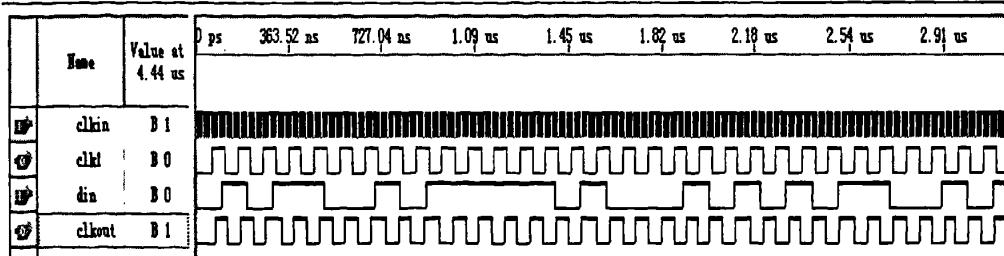


图 6.9 位同步时序仿真波形图

4. 两种方法的对比

数字锁相法实现位同步是一种比较常用的方法，但是对于高速码流的位同步提取是比较难以实现的，这种方法较适用于低速率的位同步实现。鉴于此种情况设计了一种简单易行的位同步信号提取方法，该方法没有采用传统的添扣们结构，并且位同步时钟锁定时间较短、速度比较快、精度较高，并具有可调整性。鉴于本系统中来自集中器的数据为高速的数据码流，采用第二种方法较为适宜。

6.1.1.3 帧同步模块

1. 帧同步概述

对于接收端的数据解调，首先要从同步数据流中提取位同步信息，然后提取帧同步信息。而帧同步提取性能的好坏直接影响整个数据的解调质量，甚至影响整个通信系统的性能。传统的帧同步提取采用硬件实现，有电路复杂、门限电平不容易调整等缺陷，随着可编程器件的不断发展，VHDL 编程语言的出现，用可编程器件来实现数据流中帧同步信号的提取，能使设备简化，检测电平容易控制，同时也提高了设备的可靠性和生产的一致性^[38]。

前文阐述了位同步的设计，在位同步的基础上节点数据管理器要对传输的数据进行接收，需要进行帧同步。帧同步是决定有效数据的开始位，不能把任何信号都当成有效数据而接收。帧同步又称为群同步，而实现帧同步的主要有两类：一类是插入特殊码法，它在数字信息码序列中插入一些特殊码组作为每帧的帧头标志，而在接收端则根据这些码组的位置来实现帧同步。另一类是利用数据组本身之间彼此不同的特性来实现自同步，无须专门的帧同步码^[39]。

2. 帧同步常用方法

常用连贯式插入法来实现帧同步，所谓连贯式插入法是指在数字信息码序列中插入一些特殊码组作为每帧的帧头标志，而在接收端则根据这些码组的位置来

实现帧同步。用作帧同步码组的特殊码组要求具有尖锐单峰性的局部自相关函数。这个特殊码组是非周期序列或有限序列，在求它的自相关函数时，除了在时延的情况下，序列中只有部分元素参加相关运算^[40]。

把这种非周期序列的自相关函数称为局部自相关函数。下面针对一种常用的帧同步码组——巴克码，做简单介绍。所谓巴克码是一种具有特殊规律的非周期序列^[40]。设一个 n 位的巴克码组为 $\{x_1, x_2, x_3, x_4, \dots, x_n\}$ ，其中 x_i 取值为 +1 或 -1，则它的局部自相关函数见式 (6-1)。

$$R(j) = \sum_{i=1}^{n-j} x_i x_{i+j} = \begin{cases} n, j = 0 \\ 0 \text{ 或 } \pm 1, 0 < j < n \\ 0, j \geq n \end{cases} \quad (6-1)$$

式中： $R(j)$ —— 七位巴克码组的局部自相关函数值；

x_i —— 七位巴克码组中的第 i 个元素。

巴克码组如表 6.1 所示。

表 6.1 巴克码组

n	巴克码组
2	+ +
3	+ + -
4	+ + + - ; + + - +
5	+ + + - +
7	+ + + - - + -
11	+ + + - - - + - - + -
13	+ + + + + - - + + - + - +

(1) 连贯式插入法帧同步信号提取电路的构思

要提取连贯式插入法的帧同步信号，关键是能否把特殊码组从信号流中识别出来。帧同步信号提取电路模型如图 6.10 所示。从图中可以看出，识别器和分频器是整个电路的核心。当分频器输出一个脉冲时（分频数等于帧长），识别器也应该输出一个脉冲。只要它们的相位对应输出，那么就能把帧同步信号提取出来。因此识别器和分频器是整个电路的重点，并且它们的相位应该严格对应。当识别器和分频器都实现时，可以说工作就基本完成了。为了更加完善，还需要加上其他保护电路^[42]。

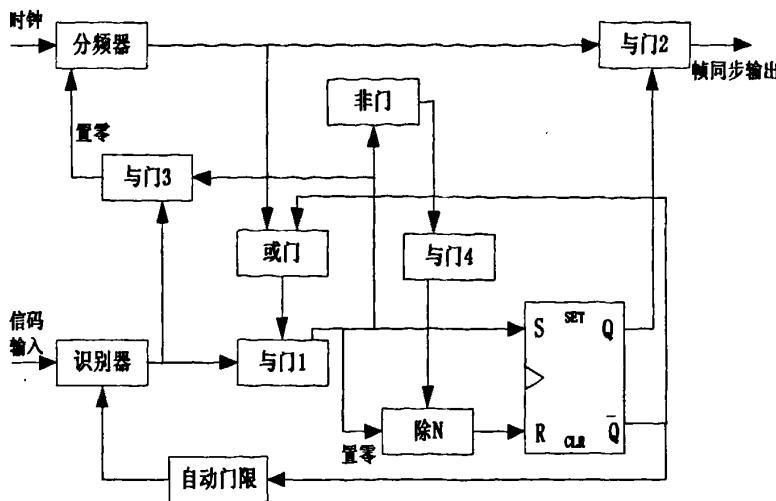


图 6.10 帧同步信号提取电路模型

下面简单的介绍一下帧同步信号提取的电路原理。首先假设在同步未建立时，系统处于捕捉态，状态触发器的 Q 端处于低电平，而 \bar{Q} 端处于高电平。由图 6.10 可知，信号流经过识别器就应该能把同步头识别出来，并通过判决器判决。如果此时处于捕捉态，判决门限比较高，那么不允许有错码，否则识别器输出的值比自动门限的值小，判决器就没有脉冲输出。如果此时处于维持态，自动门限就会把判决门限降低，允许同步头有一位错码。一旦识别器输出的值等于或大于自动门限的值，判决器就输出一个脉冲。只要判决器一输出脉冲，同时由于此时触发器的 \bar{Q} 端为高电平，经过或门使与门 1 有输出，与门 1 的一路输出至与门 3，另外由于判决器的另一路也输出至与门 3，使与门 3 有输出至分频器，并使它置零，使分频器的输出信号的上升沿与判决器的输出信号的下降沿同相。分频器的清零信号由判决器及分频器的信号共同决定。当无基带信号输入（或虽有基带信号输入但识别器的输出低于自动门限值）时，判决器输出为零，与门 1 关闭，与门 4 大开。分频器的输出信号经过与门 4，输入到“除 N”电路。当“除 N”电路计数满时，就会输出一个脉冲使状态触发器置零，从而关闭与门 2，无帧同步信号输出。由于 \bar{Q} 端此时为高电平，自动门限选择“7”，且关闭或门，打开与门 1，同步电路进入捕捉态。这时只要判决器输出一个脉冲（认为是帧同步头），与门 3 就输出一个置零脉冲，分频器置零，从而分频器输出与同步信号同频同相的周期信号。判决器输出的脉冲信号通过与门 1 后使状态触发器置“1”，从而打开与门 2，输出帧同步信号。同时， $\bar{Q}=0$ ，使自动门限选择“6”，打开或门，同步电路处于维持态。在维持态下，

因判决门限低, 故与门 1 和与门 3 禁止输出假同步信号, 改变了分频器的工作状态, 与门 2 的输出仍为正确的同步信号^[39]。

同步建立以后, 系统处于维持态。为了提高系统的抗噪声和抗干扰的能力以减小漏同步的概率。图中采用让触发器在维持态时 Q 端输出高电平, 通过一个自动门限来降低识别器的判决门限电平, 这个通过判决器来实现。这样就可以降低漏同步概率。另外同步建立后, 若分频器输出帧同步脉冲时, 而识别器没有输出, 这可能是系统真的失去了同步, 也可能是由于偶然的干扰引起的, 只有连续出现 N 帧这种情况才认为真正的失去了同步。这时与门 1 连续无输出, 经过非门后加至与门 4 的是高电平, 分频器每输出一个脉冲, 与门 4 就输出一个脉冲, 这样连续 N 个脉冲后使“除 N”电路计满, 即输出一个脉冲至触发器, 使状态由维持态转为捕捉态, 当与门 1 不是连续无输出时, “除 N”电路没有计满就会被置零, 状态不会转换, 因而增加了系统在维持态时的抗干扰能力^[40]。

(2) 设计实现

根据上述原理及思想, 本系统节点解串器部分的帧同步设计可以借鉴连贯式插入法来实现。

在本设计中, 下行频率即基频采用 262.144Mbit/s 的基本建构, 有 4 个标准帧, 具体帧结构见图 2.4 宽带综合数据光同步网下行帧结构所示。其中一个时隙由 4 个二级复帧组成, 共有 4096 个 byte ($4096 \times 8 = 32768$ bit; $32768 \times 8000 = 262144000$ bit/s) 组成的信道。每个二级复帧由 4 个初级复帧组成, 而每个初级复帧又由 256 个分帧组成, 每个分帧以帧同步字起始, 帧同步字中 5、6、7、8 位 XXXX 指示复帧为第 XXXX 个初级复帧的起始。比如: XXXX 为 0000 时指示为第一个复帧, 依此类推, XXXX 为 1111 时则指示为第十六个复帧。因为总共有 4 个二级复帧, 每个二级复帧又分为 4 个初级复帧, 所以共有 16 个复帧, XXXX 就代表 0000~1111 这十六种情况。因此帧同步位可为 1010XXXX。

帧同步信号提取电路包括以下几个部分: 分频器(把位同步信号作帧长数分频)、识别器、自动门限、状态触发器。帧同步电路提取及保护电路的顶层设计采用 TOP-DOWN(自顶向下)的设计方法, 其顶层电路如图 6.11 所示。

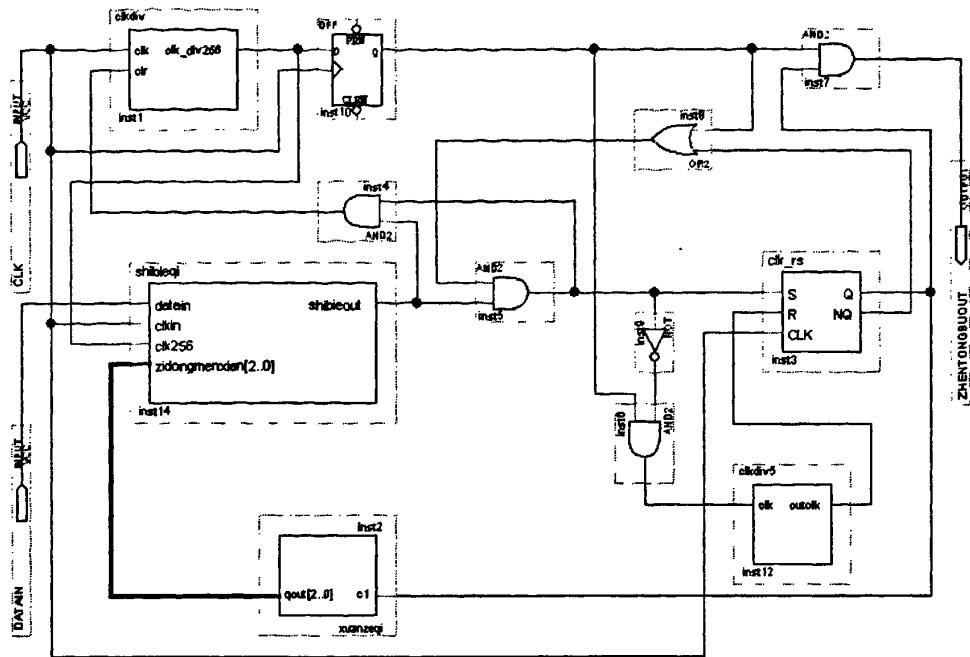


图 6.11 帧同步提取及保护电路顶层设计

其中 shibieqi 为识别器模块, xuanzeqi 为自动门限模块, clkdiv、clkdiv5 分别为分频模块, clk_rs 为带有控制的 RS 触发器模块。帧同步电路的工作过程如下: 在同步未建立时系统处于捕捉态, 状态触发器的 Q 端为低电平, 这时同步码组识别器的判决门限电平较高, 因而就减小了假同步概率。一旦识别器有输出脉冲, 由于触发器的 \bar{Q} 此时为高电平, 经过或门, 加至与门 inst5, 使与门 inst5 有输出。与门 inst5 的一路输出至与门 inst4, 判决器的另一路输出也加至与门 inst4, 使之置“0”, 这时分频器就输出一脉冲加至与门 inst7, 该脉冲还分出一路经过或门又加至与门 inst5。与门 inst5 输出加至状态触发器, 使系统由捕捉态转为维持态, 这时 Q 端变为高电平, 打开与门 inst7, 分频器输出的脉冲就通过与门 inst7 形成帧同步脉冲输出, 因而同步建立。

同步建立后, 系统处于维持态。为了提高系统的抗干扰性能, 减小漏同步概率, 在设计中让触发器在维持态时 Q 端输出高电平去降低识别器的判决门限电平, 这样就可以减小漏同步概率。另外, 用除 N 电路增加系统的抗干扰性能。

其仿真波形如图 6.12 所示。

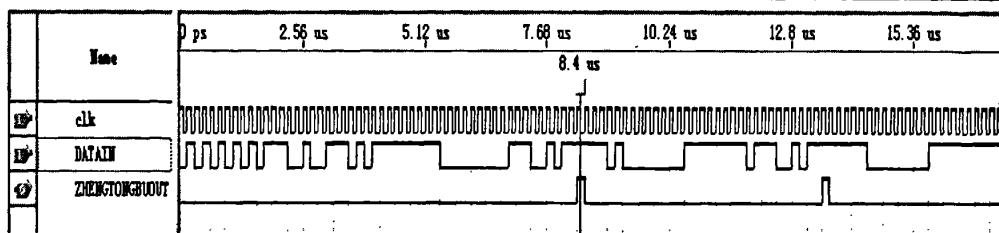


图 6.12 帧同步的时序仿真波形图

接下来阐述各模块设计：

- 分频器：因为下行的复帧帧长为 256bit，因此把位同步时钟经过 256 分频。
- 识别器：识别器的功能主要是把 8 位帧同步码从信息流中识别出来。识别器分为三个部分。其中第一个部分是移位寄存器完成移位功能，第二部分完成将移位寄存器的 8 位输出码进行译码处理，即将“11111111”译码为“111”，移存器的 8 位码中含一位“0”码的码组，如“11011111”译为“110”，其他的情况则译码为“000”。这样做的目的是只考虑自动门限为 7 和 6 两种状态，以减小假同步概率。第三部分是判决器，判决器比较识别器的译码输出和“自动门限”的大小，若自动门限为 7，识别器译码输出状态也为 7，则输出为高电平。译码输出小于 7，则输出为低电平；若自动门限为 6，识别器译码输出大于或等于 6，则输出高电平，其他情况则输出低电平。

识别器的顶层原理图如图 6.13 所示。

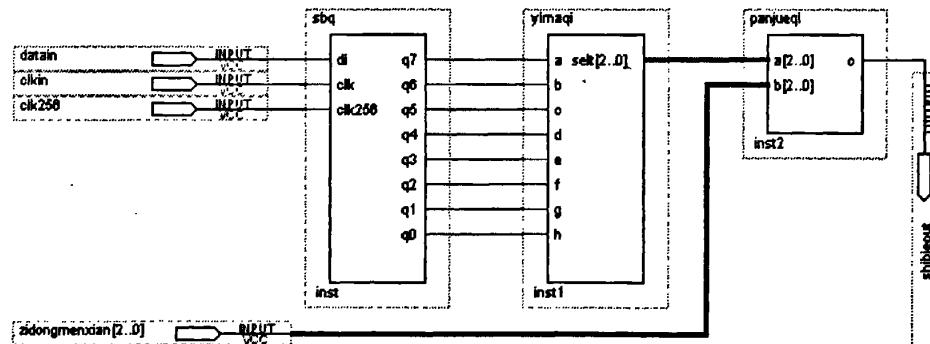


图 6.13 识别器的顶层原理图

- 自动门限：图 6.11 中 *xuanzeqi* 为自动门限模块。其实自动门限实现的功能就是一个选择器，即当系统处在维持态时状态触发器的 *Q* 端输出“1”，它选择“110”输出，也就是系统允许帧同步信号的同步头中只有一位错码。反之，当系统处于捕捉态时即状态触发器的 *Q* 端输出“0”时，它选择“111”输出，系统不允许帧同步头

有错码。通过它的输出送到判决器的一个输入端，同识别器的输出比较。

●状态触发器：此处由基本的 RS 触发器即可，但是当 S、R 初始输入同为“0”时，Q、 \bar{Q} 端为任意状态，为了防止任意状态对系统的影响，此处设计一个控制器来控制触发器的复位端。状态触发器的顶层原理图如图 6.14 所示。

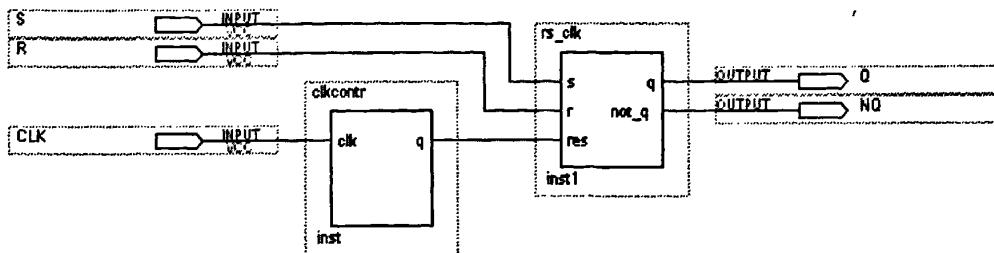


图 6.14 状态触发器的顶层原理图

状态触发器的时序仿真波形如图 6.15 所示。

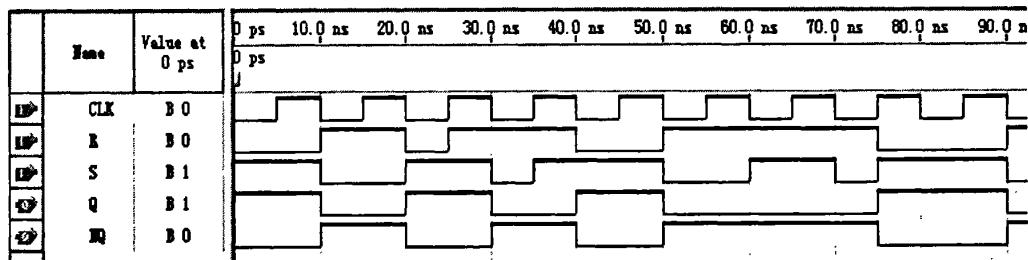


图 6.15 状态触发器的时序仿真波形

3.另一种方法实现帧同步

根据本系统的特点，可以用另一种方法实现帧同步。具体如下，在本设计中，下行频率即基频采用 262.144Mbit/s 的基本建构，有 4 个标准帧，具体帧结构见图 2.4 宽带综合数据光同步网下行帧结构所示。其中一个时隙由 4 个二级复帧组成，共有 4096 个 byte 组成的信道。每个二级复帧由 4 个初级复帧组成，而每个初级复帧又由 256 个分帧组成，每个分帧以帧同步字起始，帧同步字中 5、6、7、8 位 XXXX 指示复帧为第 XXXX 个初级复帧的起始。比如：XXXX 为 0000 时指示为第一个复帧，依此类推，XXXX 为 1111 时则指示为第十六个复帧。因为总共有 4 个二级复帧，每个二级复帧又分为 4 个初级复帧，所以共有 16 个复帧，XXXX 就代表 0000~1111 这十六种情况。因此帧同步位可为 1010XXXX。

其顶层原理图如图 6.16 所示。

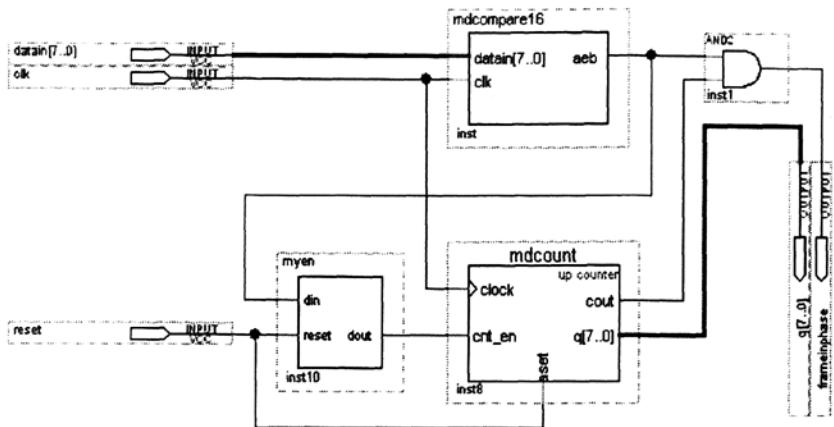


图 6.16 帧同步的顶层原理图

其时序仿真波形如图 6.17 所示。

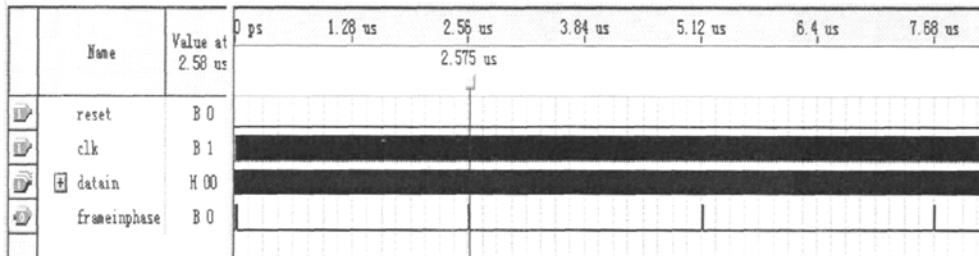


图 6.17 帧同步的时序仿真波形

从图 6.16 中可以看出, 该方法实现的帧同步模块主要由比较器 mdcompare16、计数器 mdcount、以及使能模块 myen 组成。具体的工作过程为: 当 datain[7..0] 有数据输入时, 比较器通过与预置的数据进行比较, 若相等则 aeb 输出 1, 否则输出 0。若输出 1, 使能模块输入端 din 为 1, 此时输出端也输出 1, 驱动计数器开始计数, (因为每个初级复帧由 256 个分帧组成, 即 256 个 byte, 所以计数器应设为 8 位, 计数范围为 0~255) 当计数器计满 256 时, cout 也输出 1, 然后 aeb 与 cout 经过与门后输出为 1, 从而 frameinphase 输出 1, 实现了帧同步。本设计需要比较器、计数器协调配合完成帧同步。

(1) 比较器: 将比较器预置数据设为 10100000~10101111 这十六种情况, 如果输入数据与这十六种情况中的任何一种相等, 则输出 1, 否则输出 0。

(2) 计数器: 因为每个初级复帧由 256 个分帧组成, 即 256 个 byte。所以计数器应设为 8 位, 计数范围为 0~255, 也就是每 256 个帧输出一个 1。并且通过计数允许端 cnt_en 来驱动计数与否, 若 cnt_en 等于 1, 则开始计数。

(3) 使能模块: 使能模块的 VHDL 描述如下,

```

library ieee;
use ieee.std_logic_1164.all;
entity myen is
port(  reset:      in std_logic;
        din:        in std_logic;
        dout:       out std_logic);
end myen;
architecture behav of myen is
begin
process(reset,din)
begin
if reset='1' then
    dout<='0';
elsif din'event and din='1' then
    dout<='1';
end if;
end process;
end behav;

```

通过一个使能端来控制输出 dout。只要输入端 din 为 1，则输出端 dout 为 1。

否则 dout 为 0。使能模块的时序仿真波形如图 6.18 所示。

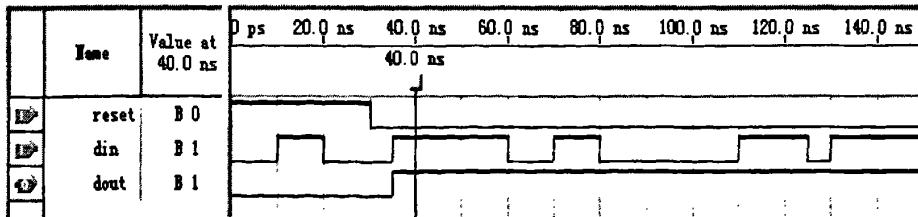


图 6.18 使能模块的时序仿真波形

4. 两种方法的对比

前述的第一种方法是参照常用的插入导频法的思想、原理来实现的，结构上较为复杂，该种帧同步信号提取电路主要包括分频器、识别器、自动门限、状态触发器几部分，是较为常用的一种方法。而第二种方法是根据本系统的特点所采用的一种方法，它主要主包括比较器、计数器以及使能模块三部分，结构较为简

单，比较容易理解。

6.1.2 节点解串器单元设计

节点解串器单元包括数据控制模块与控制总线模块两大部分。控制总线模块中连接的总线为：接收控制总线为 9 位，其中 1 位是数据有效位，8 位是数据地址位用来控制接收的节奏。数据控制模块中接收数据总线为 32 位数据线，用来传送接收来至集中器的数据信号。它们都是单向传输总线。

数据有效位为 1 时，传送的 8 位数据地址及 32 位数据有效。

数据有效位为 0 时，传送的 8 位数据地址及 32 位数据无效。

数据地址位的各位功能如图 3.2 所示。

6.1.2.1 数据控制模块

节点解串器需要将接收的来自集中器的数据进行串/并转换后，发送给语音、数据、图象、计算机四类节点控制单元。来自集中器的数据首先要经过简单的处理然后通过总线发送给各类节点控制单元。因为本设计中来自集中器的数据首先经过了一个解串器芯片来完成串/并转换，而解串器芯片解串后的数据是 24 位，本系统中规定的节点解串器部分的数据总线为 32 位的，所以要先进行简单的处理，首先应该把 24 位的数据转换为 32 位。其顶层原理图如图 6.19 所示。

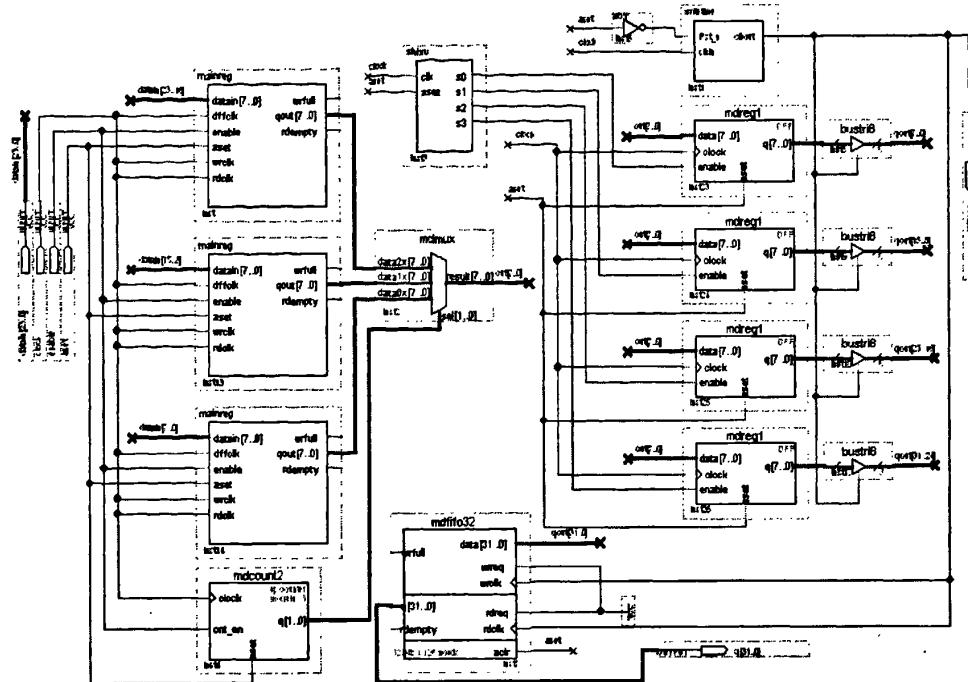


图 6.19 数据控制模块顶层原理图

从图中可以看出数据控制单元主要由接收寄存器 mainreg、3 选 1 数据选择器 mdmux、计数器 mdcount2、发送寄存器 mdreg1、发送寄存器时序控制模块 shixu、8 位三态门 bustri8、8 位三态门时序控制模块 writetime 以及一个先进先出的存储器 mdfifo32。接收寄存器共有三个，分别接收数据 datain[23..0]的低 8 位 datain[7..0]、中间 8 位 datain[15..8]、高 8 位 datain[23..16]，然后 3 选 1 数据选择器在计数器 mdcount2 的控制下，顺序输出低 8 位 datain[7..0]、中间 8 位 datain[15..8]、高 8 位 datain[23..16]，四个发送寄存器在发送寄存器时序控制模块的控制下，也顺序的接收来自 3 选 1 数据选择器的输出数据。每一个发送寄存器都要连接一个 8 位三态门，8 位三态门通过时序控制模块来实现开、关。从而将数据顺序的存入先进先出的存储器 mdfifo32。mdfifo32 为 32bits × 128words，存储深度为两个帧，用于缓存数据。

下面对各个主要部分进行详细的介绍。

(1) 接收寄存器 mainreg: 主要用来分别接收数据 datain[23..0]的低 8 位数据 datain[7..0]、中间 8 位数据 datain[15..8]、高 8 位数据 datain[23..16]。其内部具体实现方式如图 6.20 所示。

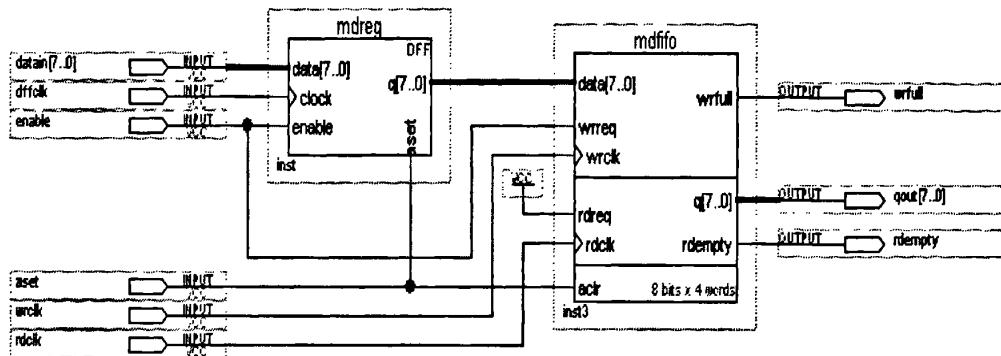


图 6.20 接收寄存器内部结构图

(2) 发送寄存器时序控制模块 shixu: 主要用来控制接收寄存器顺序地接收来自 3 选 1 数据选择器 mdmux 的输出数据。其内部具体实现方式如图 6.21 所示。

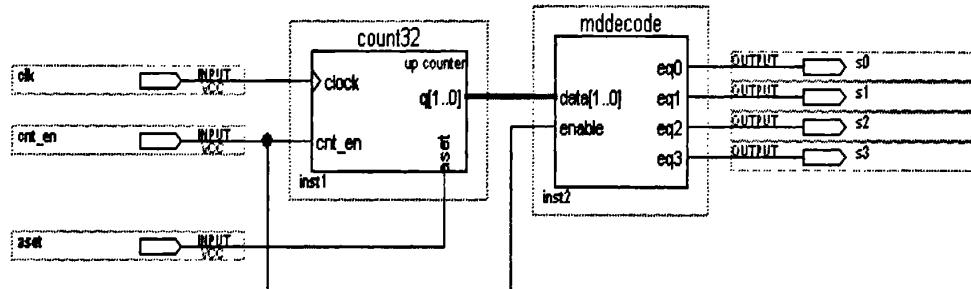


图 6.21 发送寄存器时序控制模块

其时序仿真波形如图 6.22 所示。

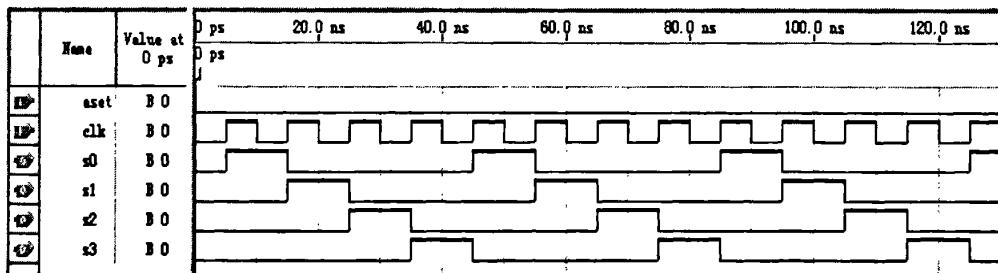


图 6.22 发送寄存器时序控制模块仿真波形图

6.1.2.2 控制总线模块

控制总线部分如图 3.2 所示，当图中所示的第 0 位为 1 时，指示第 XXXXXX 帧。第 0 位为 0 时，XXXXXX 指示为数据在帧中的位置。由图 2.4 宽带综合数据光同步网下行帧结构可知，一个时隙由 4 个二级复帧组成，每个二级复帧由 4 个

初级复帧组成,而每个初级复帧又由256个分帧组成,所以共有16个256byte,即16个分帧。而数据总线为32位,即一次传输4byte,传输完一个分帧256byte共需64次。

当开始传送每个分帧时,数据地址位最高位即0位置1,而低6位指示该分帧为1~16个分帧的第n个。而在传输每个分帧的过程中,数据地址位最高位置0,低6位XXXXXX指示为传输的32位数据是该帧中的第n个32位(因为一个分帧为256byte,数据总线为32位,即一次传输4byte,传输完一个分帧256byte共需64次。所以在每帧的传输过程中,将数据地址位最高位置0,低6位XXXXXX则表示传输的32位数据为该帧中64个32位中的第n个32位)。

控制总线模块的顶层原理图如图6.23所示。

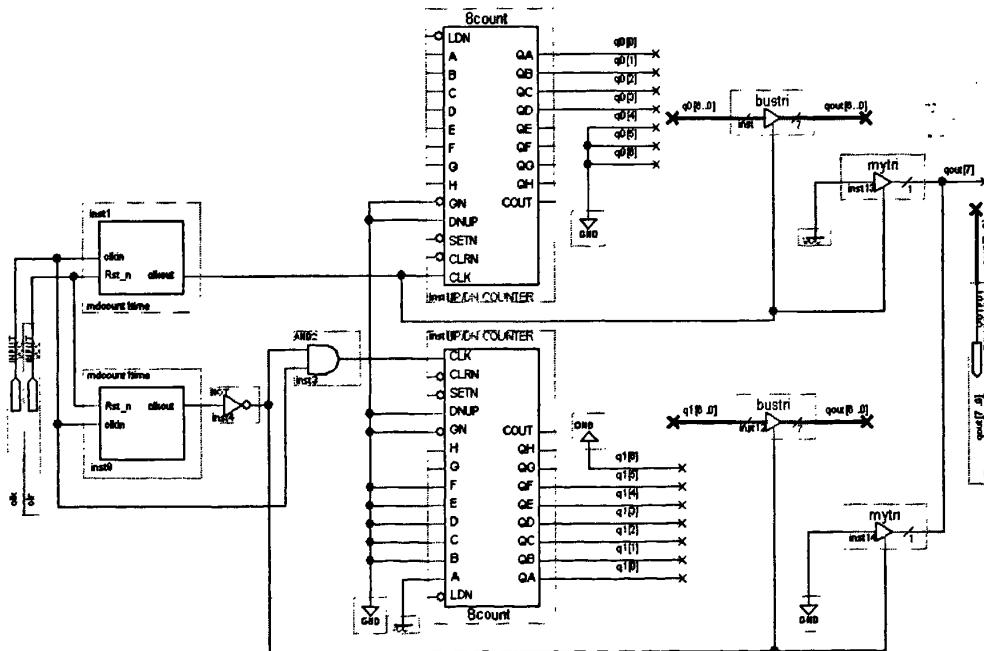


图 6.23 控制总线模块的顶层原理图

从图6.23可以看出,控制总线部分主要包括2个8位计数器、2个时序模块用来产生计数器的计数时钟、2个七位三态门、2个一位三态门。由以上分析可知,当开始传送每个分帧时,数据地址位最高位即0位置1,而低6位指示该分帧为1~16个分帧的第n个,对此使用计数器inst18来计数,inst18为4位,计数范围为0~15。而在每帧的传输过程中,将数据地址位最高位置0,低6位XXXXXX则表示传输的32位数据为该帧中64个32位中的第n个32位,设计中使用计数器inst19

来计数, inst19 为 6 位, 计数范围为 0~63。控制总线模块的时序仿真波形如图 6.24 所示。

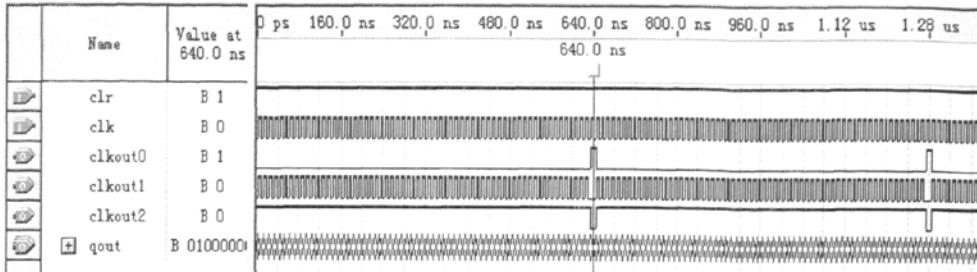


图 6.24 控制总线模块的时序仿真波形图

6.1.3 锁相环模块

图 6.1 节点解串器模块顶层原理图中, 锁相环 mdpll 用来进行倍频。锁相环参数如下设置: 时钟倍频比和分频比均为 16, 相移为 0, 时钟占空比 50%。因为系统设计中节点解串器部分使用的时钟为 16.384MHz, 而下行的数据流为 262.144Mbps, 所以要进行 16 倍频。得到的锁相环如图 6.25 所示:

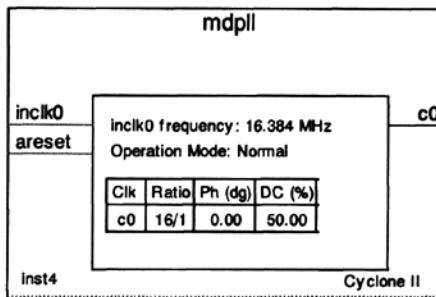


图 6.25 锁相环模块图

6.2 节点成串器模块设计

节点成串器将来自各类节点控制单元的数据封装成一定的帧格式, 然后发送给集中器。各类节点控制单元发送来的数据是并行的数据, 节点成串器就是要完成并/串转换后, 将串行的数据发送给集中器。当各类节点控制单元要发送数据时, 首先会申请, 即发一个中断请求信号, 节点成串器在收到中断请求信号以后会发出一个应答信号来响应中断, 然后再进行数据的传输。若各类节点控制单元同时

申请,则根据中断优先级来响应中断。所以在传输数据前需要有一个“握手”的过程。节点成串器模块的顶层原理图如图 6.26 所示。

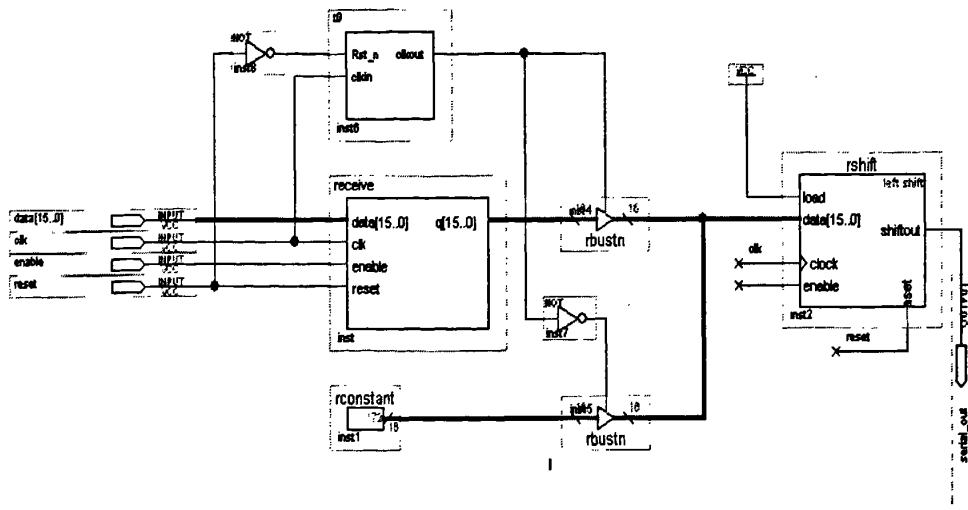


图 6.26 节点成串器顶层原理图

从图中可以看出, rconstant 为帧同步头模块, 本系统上行采用 2.048Mb/s 基本建构, 其帧同步头为 10101100, 所以节点成串器将各类节点控制单元的数据封装成帧时需要加上同步头即 10101100; receive 为接收寄存器模块, 用于接收来自各类节点控制单元的 16 位的数据; t0 为时序模块, 用于控制 rbustri 三态门的通断; rshift 为成帧模块, 将来自节点各类控制单元的数据封装成一定的帧格式, 然后发送给集中器; rbustri 为 16 位的三态控制门。

其工作过程为: receive 接收来自各类节点控制单元的 16 位数据, 同时 rconstant 生成帧同步头, 在 t0 时序模块的控制下, rbustri 三态门开启, 将帧同步头以及 16 位数据传送给 rshift, 由 rshift 完成数据的成帧任务。

6.3 本章小结

本章主要介绍了宽带综合数据光同步网节点数据管理器内部功能模块的研究与设计。其中主要介绍了节点解串器模块与节点成串器模块的设计, 并分别对两部分进行了详细的阐述。

第 7 章 系统板级设计与系统调试

7.1 系统板级设计

7.1.1 PCB 布局设计

在电路设计中, PCB 布局是一个重要的环节。布局结果的好坏将直接影响布线的效果, 影响到电路使用效果, 因此可以说合理的布局是电路设计成功的第一步。布局不是简单地将各元件的位置作相应的调整, 而是要充分考虑元件之间的电磁特性和频率特性, 尽量避免元件之间的电磁干扰并充分利用印刷电路板的硬件资源。

布局有两种方式, 一种是自动布局, 另一种是交互式布局。一般是在自动布局的基础上用交互式布局进行调整, 在布局时还可根据走线的情况对门电路进行再分配, 将两个门电路进行交换, 使其成为便于布线的最佳布局^[46]。在布局完成后, 还可对设计文件及有关信息进行返回标注于原理图, 使得 PCB 板中的有关信息与原理图相一致, 以便在今后的建档、更改设计能同步起来。同时对模拟的有关信息进行更新, 使得能对电路的电器性能及功能进行板级验证^[46]。

整个系统的电路如图 7.1 所示。板子的整体尺寸大小为 133mm×179mm。主要包括 FPGA 芯片 CycloneII EP2C5T144C6、配置芯片 EPICS4、电源、晶振电路、光模块以及 PCI 插槽这几部分组成。所有元器件的布局较均衡, 疏密有序, 基本符合 PCB 制造工艺要求。

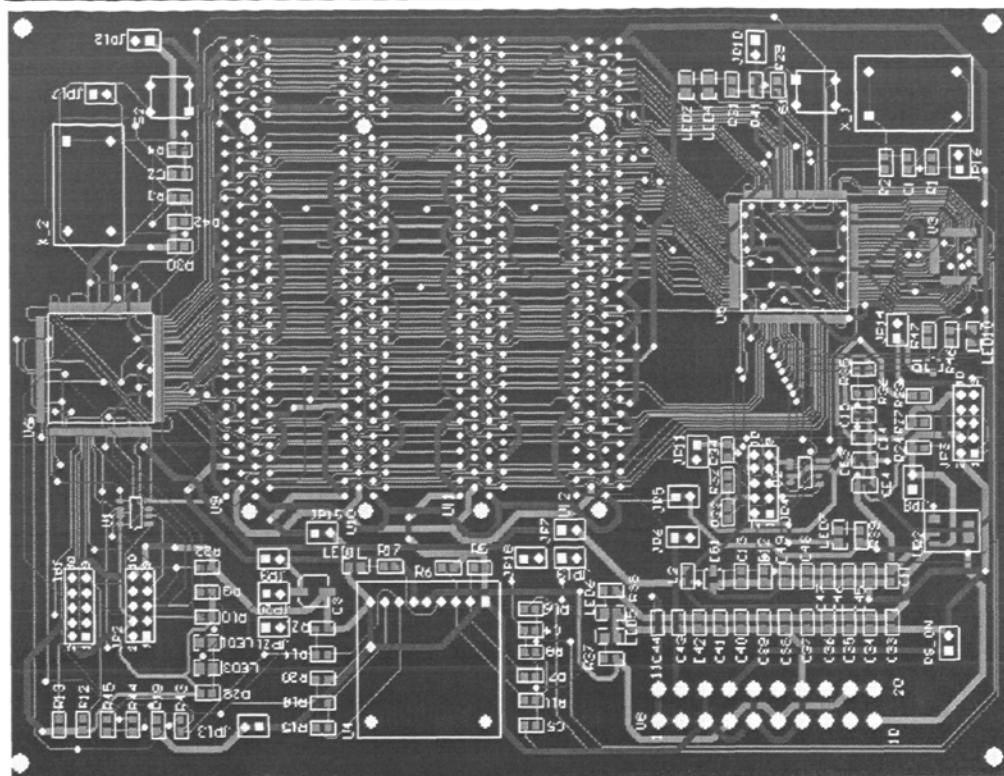


图 7.1 系统电路图

7.1.2 电路板稳定性设计

为了使电路板能稳定的工作在所需的环境下，在系统设计中，应充分考虑并满足抗干扰性的要求，避免在设计完成后再去进行抗干扰的补救措施。形成干扰的基本要素有三个^[46]：

(1) 干扰源, 指产生干扰的元件、设备或信号。如: 雷电、继电器、可控硅、电机、高频时钟等都可能成为干扰源。

(2) 传播路径, 指干扰从干扰源传播到敏感器件的通路或媒介。典型的干扰传播路径是通过导线的传导和空间的辐射。

(3) 敏感器件，指容易被干扰的。如：A/D、D/A 变换器、CPU、数字 IC 弱信号放大器等。

系统设计中的抗干扰设计的基本原则是：抑制干扰源，切断干扰传播路径，提高敏感器件的抗干扰性能。

(1) 抑制干扰源

抑制干扰源就是尽可能的减小干扰源的 du/dt , di/dt 。这是抗干扰设计中最优先考虑和最重要的原则, 常常会起到事半功倍的效果。减小干扰源的 du/dt 主要是通过在干扰源两端并联电容来实现。减小干扰源的 di/dt 则是在干扰源回路串联电感或电阻以及增加续流二极管来实现。

抑制干扰源所采取措施有: 电路板上每 IC 要并接一个 $0.01\mu F$ — $0.1\mu F$ 高频电容, 以减小 IC 对电源的影响。注意高频电容的布线, 连线应靠近电源端并尽量粗短, 否则, 等于增大了电容的等效串联电阻, 会影响滤波效果。布线时避免 90 度折线, 减少高频噪声发射。

(2) 切断干扰传播路径

按干扰的传播路径可分为传导干扰和辐射干扰两类。所谓传导干扰是指通过导线传播到敏感器件的干扰。高频干扰噪声和有用信号的频带不同, 可以通过在导线上增加滤波器的方法切断高频干扰噪声的传播, 有时也可加隔离光藕来解决。电源噪声的危害最大, 要特别注意处理。所谓辐射干扰是指通过空间辐射传播到敏感器件的干扰一般的解决方法是增加干扰源与敏感器件的距离, 用地线把它们隔离和在敏感器件上加屏蔽。

切断干扰传播路径的本系统采用措施有: 充分考虑电源对 FPGA 的影响。针对 FPGA 对电源噪声很敏感, 利用磁珠和电容组成滤波电路, 给电源加滤波电路, 以减小电源噪声对 FPGA 的干扰。使用有源晶振并和 FPGA 引脚尽量靠近, 用地线把时钟区隔离起来, 晶振外壳接地并固定。

(3) 提高敏感器件的抗干扰性能

提高敏感器件的抗干扰性能是指从敏感器件这边考虑尽量减少对干扰噪的拾取, 以及从不正常状态尽快恢复的方法以及从不正常状态尽快恢复的方法。提高敏感器件抗干扰性能的常用措施有: 布线时尽量减少回路环的面积, 以降低感应噪声。对于外围板的布线, 电源线和地线要尽量粗。这些措施除减小压降外, 更重要的是降低耦合噪声。对于 FPGA 闲置的 I/O 口, 在系统设定时为三态。其它 IC 的闲置端在不改变系统逻辑的情况下接地或接电源。在速度能满足要求的前提下, 尽量降低 CPU 晶振和选用低速数字电路。IC 器件尽量直接焊在电路板上少用 IC 座。

7.1.3 电平兼容性设计

在混合电压系统中，不同电源电压的逻辑器件互相接口时存在以下几个问题：

(1) 加到输入和输出引脚上允许的最大电压限制问题。器件对加到输入或者输出脚上的电压通常是有限制的。这些引脚有二极管或者分离元件接到 V_{cc}。如果接入的电压过高，则电流将会通过二极管或者分离元件流向电源。例如在 3.3V 器件的输入端加上 5V 的信号，则 5V 电源会向 3.3V 电源充电。持续的电流将会损坏二极管和其它电路元件。

(2) 接口输入转换门限问题。5V 器件和 3.3V 器件的接口有很多情况，同样 TTL 和 CMOS 间的电平转换也存在着不同情况。驱动器必须满足接收器的输入转换电平，并且要有足够的容限以保证不损坏电路元件。分析各种逻辑电平信号的电特性。在本系统中，存在不同电源电压的逻辑器件互相接口问题。CycloneII EP2C5T144C6 是支持多种电平标准如 LVTTL、LVCMS 等，但系统中的光模块为 LVDS(低压差分信号)电平标准，所以在接光模块时需要注意。此时应该将电压设为 2.5V，并且布线时要等长布线等等。

7.2 系统测试

在对该系统的硬件电路设计完成之后，按照设计原理图制作出 PCB 板，将所有元器件焊接上去后，将系统固件下载到主芯片中，开始对该系统进行总体连接和调试。

7.2.1 硬件调试

在电路板元件装配之前，应该对照 PCB 图进行检查，看看设计还有没有失误的地方。用万用表检查是否有电源布线短路到地的现象，电源和地是否有开路。在焊接时按照模块化的焊接方式比较合理。首先焊接电源模块，然后检查电解电容是否有焊反再上电测试，分别测试 12V 电源、5V 电源、3.3V 电源和 1.2V 内核电源是否正常。然后在焊接 FPGA 模块和 JTAG 下载电路，然后在上电之前，应该仔细检查是否有短路、开路、虚焊、漏焊，经检测无误后上电，通过 JTAG 口下载程序，如果能下载说明 JTAG 电路正常。然后在检测 FPGA 各个管脚输出是否正常，如果不正常要分析是硬件有问题还是软件有问题。

然后在焊接配置芯片 EPIC4，将程序下载到 EPIC4 中，不仅要看能否下载更要看能否配置启动，如果能下载不能配置启动，就要看配置的管脚是否连接正常还要看彼此之间的时序是否正确，需不需要接上拉电阻等。在焊接存储模块，通过对其读写去验证存储块是否好用。在焊接外部接口模块后，也需要下载程序验证，也可以万用表测试管脚是否正常。对于一些时序要求比较严格的器件，特别要检查相关的振荡及时序电路。

7.2.2 软件调试

在确定硬件正常的情况下，接下来进行软件调试。在 QuartusII 中对所设计的模块进行波形仿真，通过比较波形来分析是否有误差，误差的产生是本身设计的问题还是波形输入的问题就要进一步分析。也可通过编写模块的 Test Bench 的测试文件在 Modelsim 中进行仿真。当仿真通过后，利用 Quartus II 中的 Signal Tap II 逻辑分析仪把模块下载到 FPGA 中运行，观察所得结果是否和预料的相同。

结 论

宽带综合数据光同步网是一种实时性很强的全业务传输的网络，它提高了控制网络的性能，能够更好的满足工业控制网络的新需要。本论文首先对国内外工业控制网络发展状况及趋势进行研究，在此基础上详细的介绍了宽带综合数据光同步网以及节点数据传输管理器，并对其应用范围、网络结构和特点进行了阐述。论文针对典型控制网络的模型、协议、特点进行分析，并借鉴其特点，同时结合本网络的需要，研究设计了宽带综合数据光同步网节点数据管理器及其内部功能模块。由于本网络是一个崭新的网络且网络模型结构复杂，设计上还不太成熟，因此本课题只完成其中一部分功能，主要是对该模型的可行性和在产品选型上做进一步的证明，为以后网络模型设计的深化做了实践。本论文的创新点及主要工作如下：

1. 广泛查阅国内外相关资料，研究相关网络，对工业控制网络的发展现状及存在问题进行分析。
2. 在此基础上，有针对性的对各种典型工业控制网络的特点、协议进行研究分析，借鉴其特点，结合宽带综合数据光同步网的要求，进行了节点数据管理器的设计。
3. 对宽带综合数据光同步网节点数据管理器进行了硬件设计研究，采用 ATX 电源为系统供电，并使用 PCI 插槽作为总线与各类节点控制单元进行通信，根据本系统的特点，对 PCI 总线信号重新进行了定义。
4. 对宽带综合数据光同步网节点数据管理器内部功能模块进行了研究设计。采用 Altera 公司推出的低价位、高性能 CycloneII 系列 FPGA 器件 EP2C5 系列芯片 EP2C5T144C6 为主芯片，利用 EP2C5T144C6 丰富的资源配置使用 Altera 公司的 QuartusII 5.0 软件开发平台及 Protel DXP 2004 进行节点数据管理器开发电路的研究与设计，并进行仿真，对开发电路进行测试、验证。

宽带综合数据光同步网是刚刚提出的一种网络模型，本文对用户节点部分的解串器与成串器虽然取得了一定的效果，但是对其研究尚属初级阶段，只是一个

初步的研究，需要考虑的问题还很多，有些功能还需理论探讨及改进实现。节点数据管理器内部功能模块的设计仍需进一步深入及扩充。

宽带综合数据光同步网的最终目的是完成用户节点部分对不同速率的数据如语音、数据、图像、计算机数据等复接成帧，并把下行高速数据流中的时钟提取出来做为上行的时钟，可使全网在同一个时钟的控制下传输数据。节点和集中器之间通过光纤传输数据，减少传输过程中对数据的干扰，可以实现真正的光同步网，使其在工业控制方面具有很强的优势。

宽带综合数据光同步网相对于其他工业控制网络来说具有更高的实时性，特别适合进行有实时性要求的语音、数据、图像、计算机数据等信息的传输。采用独特的系统上、下行数据帧结构设计，巧妙的将语音、数据、图像、计算机数据融为一体，发挥其强大一网融多网的通信功能，节省了多系统的运作投资、也减少了多系统的误码率，向着新型控制网络的要求方向发展，可被应用于工厂自动化、企业管理、楼宇自动化、舰船指挥等系统。宽带综合数据光同步网是一种概念全新的网络，具有广阔的应用前景。

参考文献

- [1] 席亚宾, 马永光, 林永君. 基于 Internet 的工业控制网络. 电力系统通信. 2004. (12): 27-29
- [2] 高素萍. 工业控制网络体系结构的发展与实现. 微计算机信息. 2005. (8): 24-26
- [3] 杨清宇, 施仁. 基于因特网的工业控制网络体系结构研究. 信息与控制. 2002. (5): 466-472
- [4] 贾东耀, 汪仁煌. 工业控制网络结构的发展趋势. 工业仪表与自动化装置. 2002. (5): 12-14
- [5] 傅周兴, 王枫, 张莉. 工业控制网及企业综合信息网的构建. 电气传动自动化. 2002. (2): 42-44
- [6] 凌志浩. 现场总线与工业以太网. 北京: 机械工业出版社, 2006. 1-3
- [7] 刘泽祥. 现场总线技术. 北京: 机械工业出版社, 2005. 1-3, 11-13
- [8] 马世平. 现场总线标准的现状和工业以太网技术. 机电一体化. 2007. (3): 6-8
- [9] 朱凤娟. 以太网技术在城域网中的应用. 通信管理与技术. 2007. (4): 35-37
- [10] 冯冬芹, 黄文君. 工业通信网络与系统集成. 北京: 科学出版社, 2005. 168-174
- [11] 陈在平, 岳有军. 工业控制网络与现场总线技术. 北京: 机械工业出版社, 2006. 12-14, 162-176
- [12] 于仲安, 严暮秋. 工业以太网技术的应用探讨. 低压电器. 2006. (1): 43-46
- [13] 夏锋, 孙优贤. 工业以太网应用性能分析. 电气自动化. 2004. (2): 40-43
- [14] Douglas E. Comer 著. 张建忠, 陶智华等译. 吴功宜审校. 网络处理器与网络系统设计. 北京: 机械工业出版社, 2004. 21-23
- [15] 余永权, 汤荣江. 计算机接口与通信. 广州: 华南理工大学出版社, 2004. 54-58
- [16] 廖日坤. CPLD/FPGA 嵌入式应用开发技术白金手册. 北京: 中国电力出版社, 2005. 2-5,
- [17] 王诚, 吴继华, 范丽珍, 薛宁, 薛小刚编著. Altera FPGA/CPLD 设计 (基础篇). 北京: 人民邮电出版社, 2005. 1-9, 75-116, 187-202

-
- [18] 李洪伟,袁斯华. 基于 QuartusII 的 FPGA/CPLD 设计. 北京:电子工业出版社, 2006. 7-18
 - [19] 王冠, 黄熙, 王鹰编著. Verilog HDL 与数字电路设计. 北京: 机械工业出版社, 2006. 1-9
 - [20] 杜建国编著. Verilog HDL 硬件描述语言. 北京: 国防工业出版社, 2004. 1-10
 - [21] 陈耀和著. VHDL 语言设计技术. 北京: 电子工业出版社, 2004. 2-12
 - [22] 曾繁泰, 陈美金著. VHDL 程序设计. 北京: 清华大学出版社, 2000. 3-8
 - [23] 贾树行, 褚海燕. ATX 电源原理与维修实例. 电脑维护与应用. 2005. (1): 44
 - [24] 井中月. 打开心扉看 ATX 电源. 电脑维护与应用. 2005. (3): 12-14
 - [25] 一支笔. 电脑动力之源——全面了解 ATX 电源. 电脑. 2004. (10): 111-115
 - [26] 徐光辉, 程东旭, 黄如等编著. 徐志军审. 基于 FPGA 的嵌入式开发与应用. 北京: 电子工业出版社, 2006. 24-30
 - [27] Cyclonell DataSheet. Altera 公司. www.altera.com.cn
 - [28] Serial Configuration Devices DataSheet. Altera 公司. www.altera.com.cn
 - [29] NTR-2232 DataSheet. 成都网动光电子技术有限公司. www.neton.com.cn
 - [30] DS90C124 DataSheet. 美国国家半导体公司. www.national.com
 - [31] 龚向阳, 金跃辉, 王文东, 阙喜戎编著. 程时端审校. 宽带通信网原理. 北京: 北京邮电大学出版社, 2006. 313-314
 - [32] 陈文新. 帧同步信号及特征码提取电路的设计. 空间电子技术. 1997. (2): 201-205
 - [33] 毕成军, 陈利学, 孙茂一. 基于 FPGA 的位同步信号提取. 现代电子技术. 2006. (20): 121-123
 - [34] 杜勇, 江伟林. 用 FPGA 实现的位同步电路. 长江大学学报. 2004. (4): 64-66
 - [35] 黄敏. 位同步数字锁相环的原理与应用. 地震地磁观测与研究. 2001. (3): 36-38
 - [36] 徐燕玲, 董公昌, 胡淑巧, 赵文江. 基于现场可编程门阵列的位同步时钟提取技术研究. 探测与控制学报. 2006. (2): 61-64
 - [37] 吉翠钗. 高速 (6Mbit/s) 位同步器的研究与实现. 电子科技大学硕士学位论文. 2005. 20-22

-
- [38] 秦文兵, 罗来源, 向闻. 一种基于 FPGA 的硬件开环位同步电路设计与实现. 遥测遥控. 2006. (5): 43-46
 - [39] 段吉海, 黄智伟编著. 王毓银主审. 基于 CPLD/FPGA 的数字通信系统建模与设计. 北京: 电子工业出版社, 2004. 141-146, 149-161
 - [40] 陈惠珍, 包天珍. 一种基于 FPGA 的帧同步提取方法的研究. 电子技术应用. 2003. (10): 70-72
 - [41] 管立新, 沈保锁, 柏劲松. 帧同步系统的 FPGA 设计. 微计算机信息. 2006. (9): 177-179
 - [42] 韩红霞, 曹立华, 刘帅师. 基于 FPGA 的光纤通信系统中帧同步头检测设计. 电光与控制. 2006. (4): 90-92
 - [43] 吴玉成, 许太火, 王黎明. 帧同步电路的设计. 现代电子技术. 2003. (4): 69-72
 - [44] 聂荣等编著. 实例解析 PCB 设计技巧—基于 Protel DXP. 北京: 机械工业出版社, 2006. 81-120
 - [45] 姜雪松, 陈绮, 许灵军, 范博. 印制电路板设计. 北京: 机械工业出版社, 2005. 55-57
 - [46] 郭银景, 吕文红, 唐富华, 杨阳编著. 电磁兼容原理及应用. 北京: 清华大学出版社, 2004. 53-81, 120-166, 207-141
 - [47] 雪茗斋电脑教育研究室编著. Protel DXP 电路设计制板入门与提高. 北京: 人民邮电出版社, 2004.
 - [48] 王诚, 吴继华, 范丽珍, 薛宁, 薛小刚编著. Altera FPGA/CPLD 设计 (高级篇). 北京: 人民邮电出版社, 2005.
 - [49] 杨恒. FPGA/CPLD 最新实用技术指南. 北京: 清华大学出版社, 2005.

攻读硕士学位期间发表的论文及获得的科研成果

- [1] 王婧, 李斌. 无源光网络(PON)技术研究. 电子技术. 2007年第5期. 已录用.
- [2] 宋开鑫, 李斌, 王婧, 靖文, 张嘉春, 孙新立. 基于Cyclone II的高速异步串行接口的实现. 大众科技杂志社. 2008年第1期. 已录用.

致 谢

在硕士研究生学习生活即将结束之际，借此答辩的机会，我向所有帮助过我的老师和同学致以诚挚的谢意。

感谢我的导师李斌副教授，本文的选题到论文的撰写与修改，自始至终都得到了导师的悉心指导。导师渊博的知识、敏锐的思维、严谨的治学态度使我受益匪浅，导师循循善诱的教导和不拘一格的思路给予我无尽的启迪，这些宝贵学术思想将成为我人生难得的精神财富。在我两年多的学习生活中，得到导师的亲切关怀与指导，在此期间取得的每一点进步无不倾注了导师的心血。导师高度的敬业精神和诲人不倦的工作作风，给我留下了深刻的印象，导师严谨细致、一丝不苟的作风一直是我工作、学习的榜样。在此，我向辛勤培育我的李斌副教授和王洪源教授致以崇高的敬意和深深的感谢。

感谢周围的老师和项目组的张嘉春、孙新立、宋开鑫、靖文等同学在多方面给予的热心帮助，还要感谢我的好朋友张燕、杨悦平在学习和生活中给予我的帮助和支持，同窗之间的友谊永远长存。在此，我向所有帮助过我的老师和同学再次表示感谢。