



## 独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

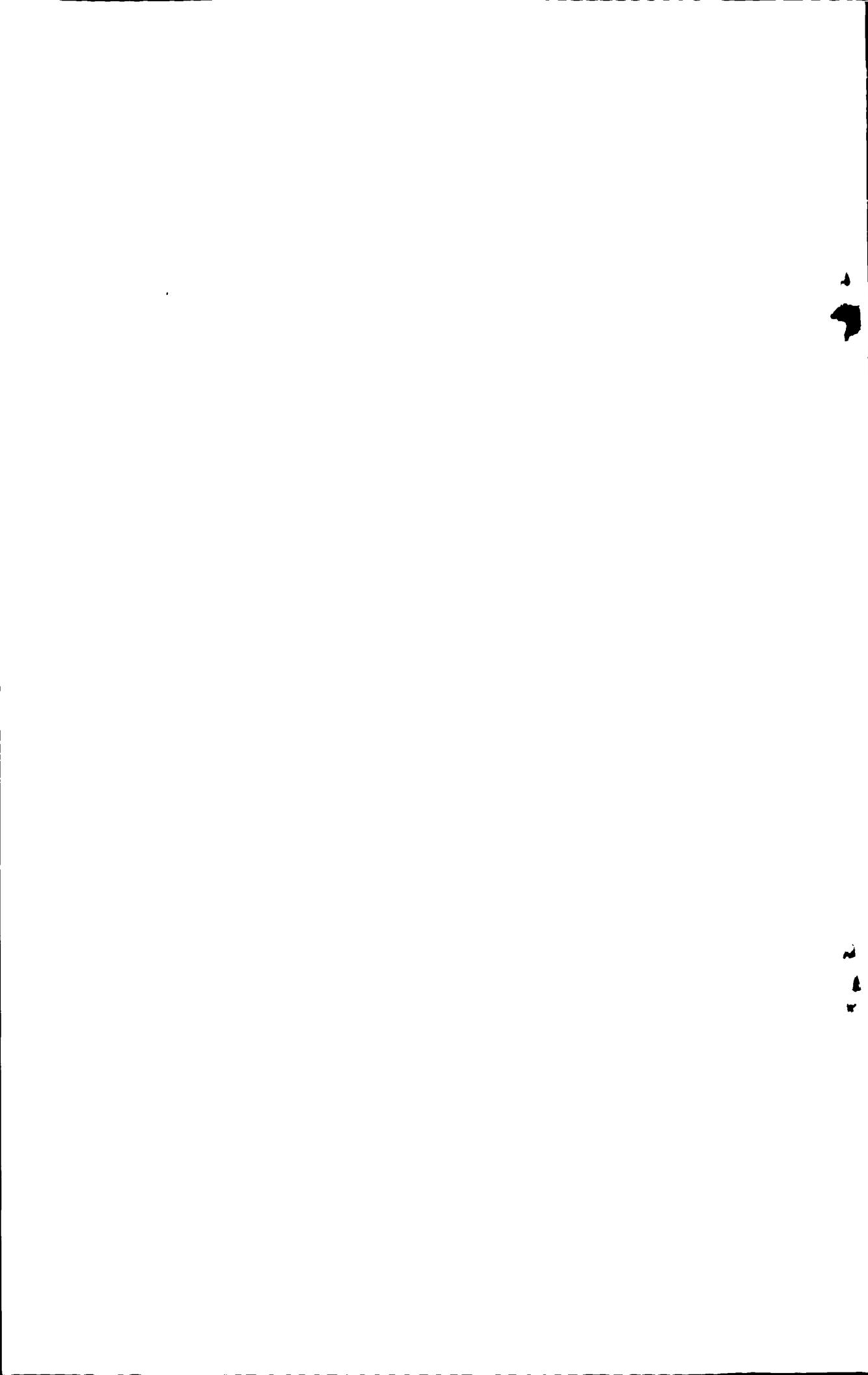
签名: 徐木 日期: 2010年6月4日

## 论 文 使 用 授 权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后应遵守此规定)

签名: 徐木 导师签名: 詹志琴  
日期: 2010年6月4日



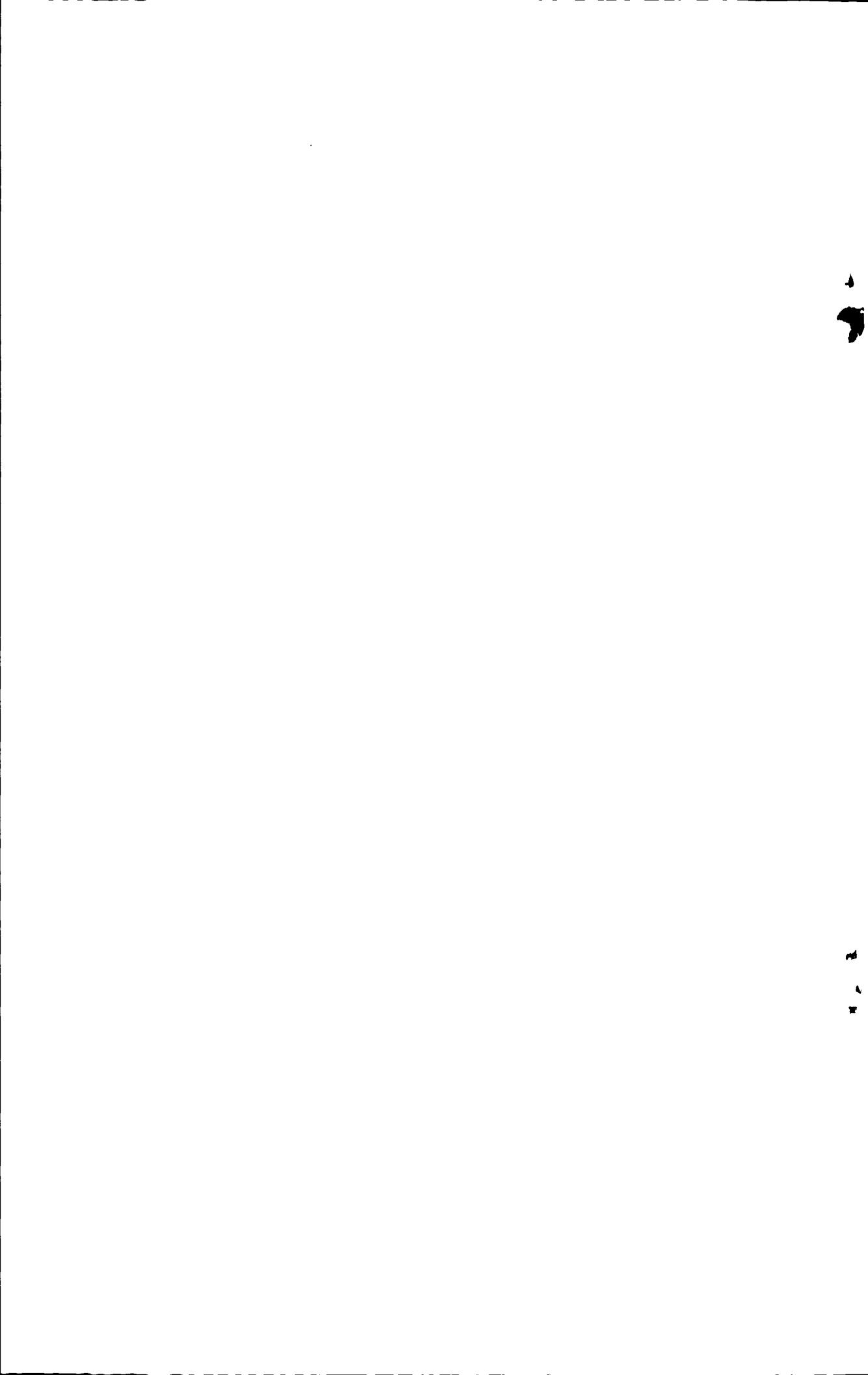
## 摘要

模拟集成电路的测试是基于规范驱动的，通常选用直流电压和直流电流测试，测试的基本方法是加电压测电流（FVMI）和加电流测电压（FIMV）。因此，能够提供恒定电流和电压并自动完成电流、电压测试的硬件设备是模拟集成电路测试技术的关键，本论文就是研究用于模拟集成电路测试的恒流恒压源。文中，恒流恒压电路由集成运放实现，通过功率放大器提供负载需要的电压和电流，用测量放大器检测输出电流和电压信号，反馈回输入端，构成负反馈，从而稳定输出电压或电流。电流或电压的施加值由计算机程控，通过高精度 D/A 转换器输出；被测 DUT 的电流和电压的测量是通过高精度 A/D 转换器进行采样。整个硬件电路由可编程逻辑器件 FPGA 实现。

本文设计的恒流恒压源能够提供两个独立的施加和测量通道，最大电压范围是±16v，最大电流范围是±400mA，具有 4 档程控电压量程和 7 档程控电流量程，电压施加和测试精度可达 0.1%，电流施加和测试精度为 0.2%。同时，该模块具有窗口比较功能和钳位功能，当用户不关心具体测试数据而只需要知道测试通过与否时，可以利用窗口比较器快速得到测试结果；当被测 DUT 发生短路或其他异常导致电流或电压过高时，钳位电路会将输出电压或电流限制在一个固定值上，以保护器件不被损坏。该模块另外一个最显著的特征是浮地测量功能，可以根据被测信号的大小改变参考电平。浮地测量的功能通过隔离实现，电源的隔离由 DC/DC 模块完成，接口信号的隔离通过光电耦合器实现。

本论文结构安排如下：第一章是绪论，首先介绍了课题的背景及来源；第二章介绍了系统方案设计并对方案进行了原理分析和论证；第三章研究浮地测量技术，并设计出具体电路；第四章详细介绍了各部分硬件电路及控制电路的设计，并对负反馈施加环路进行了稳定性分析、设计相位补偿电路；第五章介绍驱动程序及调试软件的设计；第六章给出调试数据，对数据进行误差分析，采用最小二乘法进行修正，修正后重新测试并进行精度考核；论文最后是结论和展望。

关键词：模拟集成电路测试，恒流恒压源，浮地测量。



## Abstract

Analog IC test is based on the standard-driven, so DC voltage and current test is being widely used in analog IC testing. The two most common methods of analog IC testing are FVMI(force voltage and measure current) and FIMV(force current and measure voltage). Therefore, the equipment which could force constant current and voltage to DUT (device under test) and could measure the voltage and current of DUT is critical for analog IC test technology. This article is dedicated to inventing such voltage and current source. In the article, constant current and voltage circuit consists of operational amplifier (OPA), the power OPA provide high voltage and current that DUT required, force current and voltage are measured by instrument OPA and feeded back to the input port in order to stabilize the output. The output value (current or voltage) is determined by the computer and converted to analog signal by high-precision D/A converter. DUT's current and voltage is sampled by high-precision A/D converter. In this article a FPGA (field programmable gate array) is used to accomplish the control function.

This voltage and current source can provide dual independent channel, each channel is capable of forcing and measuring up to  $\pm 16\text{v}$  and  $\pm 400\text{mA}$  with 4 programmable voltage range and 7 programmable current range. The accuracy of voltage forcing and measuring is 0.1% and the accuracy of current is 0.2%. Comparator outputs are provided per channel for device go no-go testing and used in the situation that the users merely care about test speed but not the specific test data. Meanwhile, the clamp circuit will limit the output voltage or current at a fixed value when they are abnormal that caused by a DUT short circuit or other fault in order to protect the device. In additional, one of the most significant features of the module is floating sense. This module is controlled by a system ground referenced digital interface, but the main output circuit is floating ground. This function is carried out through the DC / DC converter combined with the optocoupler.

This paper is organized as follows: The first chapter is an introduction; it introduces the background and source of the project. The second chapter describes the

## ABSTRACT

---

blueprint of design and analysis the feasibility of the blueprint. The third chapter researches the float measuring technology and give out detailed circuit. The fourth chapter introduces the various parts of hardware design as well as the FPGA control logic circuit, analyses the stability of the feedback circuit and designs a phase compensation circuit for it. The fifth chapter describes the drivers and debugging software design. The sixth chapter gives out debugging data, analyses data error and adjusts the software using the least square method. In the last of the paper we give out the conclusions and outlook for further study.

**Key Words:** analog IC test, constant current and voltage source, floating sense

## 目录

第一章 绪论 .....	1
1.1 集成电路测试概述 .....	1
1.1.1 集成电路测试的定义 .....	1
1.1.2 集成电路测试的种类 .....	1
1.1.3 模拟集成电路测试 .....	2
1.2 课题背景 .....	2
1.2.1 国内外集成电路产业发展概况 .....	2
1.2.1.1 国外集成电路产业发展概况 .....	2
1.2.1.2 国内集成电路产业发展现状 .....	3
1.2.2 国内外集成电路测试系统的发展现状 .....	4
1.2.2.1 国外集成电路测试技术发展概况 .....	4
1.2.2.2 国内集成电路测试技术发展概况 .....	5
1.3 课题来源及主要研究工作 .....	6
1.3.1 课题来源 .....	6
1.3.2 课题研究意义 .....	6
1.3.3 论文研究内容 .....	6
第二章 方案设计及原理分析 .....	8
2.1 CEF-100 集成电路测试仪介绍 .....	8
2.1.1 CEF-100 集成电路测试仪功能 .....	8
2.1.2 CEF-100 集成电路测试仪组成结构 .....	8
2.2 IAB 板的功能及其指标要求 .....	10
2.3 IAB 板总体方案设计 .....	11
2.4 总体方案论证及工作原理分析 .....	14
2.4.1 加压测流方式 (FVMI) .....	14
2.4.2 加流测压方式 (FIMV) .....	16
2.5 小结 .....	17
第三章 浮地测量技术的研究与实现 .....	18
3.1 浮地技术的概念及意义 .....	18

## 目录

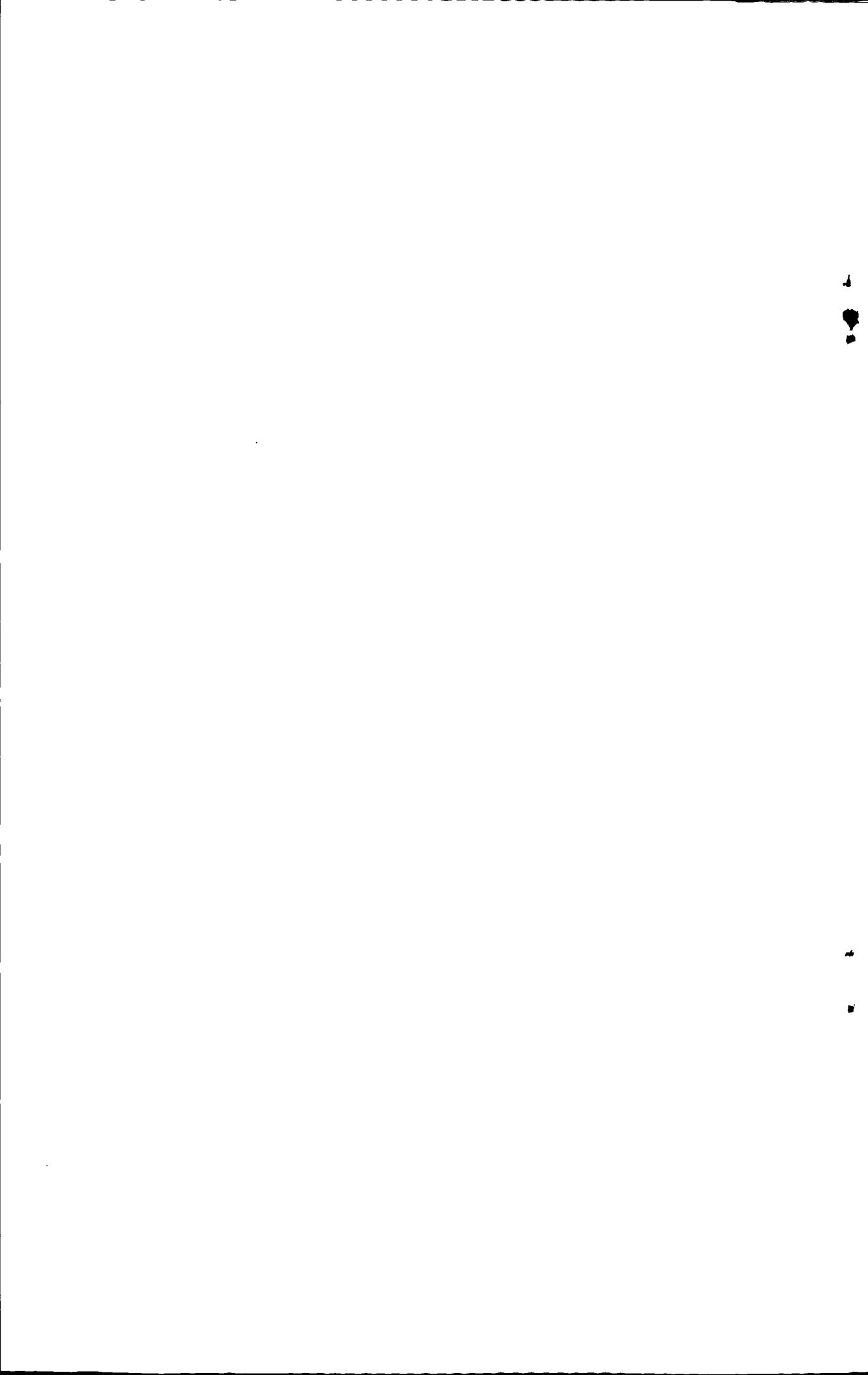
---

3.2 浮地技术的实现 .....	19
3.2.1 电源隔离 .....	19
3.2.2 数字接口信号的隔离 .....	20
3.2.3 被测模拟信号的隔离 .....	21
3.3 IAB 板中浮地测量的设计 .....	21
3.3.1 IAB 板电源隔离及滤波设计 .....	21
3.3.1.1 有源滤波器的设计 .....	22
3.3.1.2 LC 滤波器的设计 .....	23
3.3.2 IAB 板信号隔离设计 .....	24
3.3.2.1 光电隔离输入驱动设计 .....	24
3.3.2.2 光电隔离输出设计 .....	25
3.4 小结 .....	27
<b>第四章 硬件电路设计 .....</b>	<b>28</b>
4.1 D/A 转换电路的设计 .....	28
4.1.1 LTC1595 工作原理 .....	28
4.1.2 LTC1595 电流电压转换设计 .....	29
4.1.3 LTC1595 三线 SPI 接口控制逻辑设计 .....	31
4.2 A/D 采样电路设计 .....	32
4.2.1 ADS7809 特点及工作原理 .....	32
4.2.2 ADS7809 硬件电路设计 .....	33
4.2.3 ADS7809 控制逻辑的设计 .....	34
4.3 电流电压施加测量电路设计 .....	36
4.4 电流电压施加电路稳定性分析 .....	37
4.4.1 运放的频率特性 .....	37
4.4.2 运放自激振荡的原因及条件 .....	38
4.4.3 反馈放大器稳定性判据 .....	39
4.4.4 IAB 板施加电路模型及稳定性 .....	40
4.4.5 补偿电路设计 .....	41
4.5 FPGA 控制电路设计 .....	42
4.5.1 FPGA 控制电路的硬件设计 .....	43
4.5.1.1 FPGA 芯片选择 .....	43
4.5.1.2 FPGA 电源设计 .....	43

## 目录

---

4.5.1.3 EP1C6Q240 主动下载电路设计 .....	44
4.5.2 控制逻辑设计 .....	45
4.5.2.1 顶层模块设计 .....	45
4.5.2.2 地址译码模块设计 .....	46
4.5.2.3 IO 读写电路的设计 .....	46
4.5.2.4 D/A 和 A/D 转换逻辑 .....	48
4.6 小结 .....	48
<b>第五章 驱动程序和调试软件设计 .....</b>	<b>49</b>
5.1 I/O 接口层设计 .....	50
5.2 仪器驱动层程序设计 .....	51
5.3 应用层软件设计 .....	54
5.4 小结 .....	55
<b>第六章 系统调试、误差分析及校准 .....</b>	<b>56</b>
6.1 IAB 模块的调试平台及调试方法 .....	56
6.1.1 调试平台的搭建 .....	56
6.1.2 调试方法介绍 .....	56
6.1.2.1 FVMI (加压测流) 调试 .....	57
6.1.2.2 FIMV (加流测压) 调试 .....	57
6.2 测试结果及静态误差分析 .....	58
6.3 静态误差校准 .....	59
6.4 动态性能分析 .....	63
6.5 小结 .....	63
结论与展望 .....	64
致谢 .....	65
参考文献 .....	66
攻硕期间取得的研究成果 .....	68



# 第一章 绪论

## 1.1 集成电路测试概述

### 1.1.1 集成电路测试的定义

集成电路测试是对集成电路或模块进行检测，通过测量集成电路的输出响应并和预期输出比较，从而确定或评估集成电路元器件功能和性能的过程，是验证设计、监控生产、保证质量、分析失效及指导应用的重要手段<sup>[1]</sup>。

集成电路测试的基本模型如图 1-1 所示。

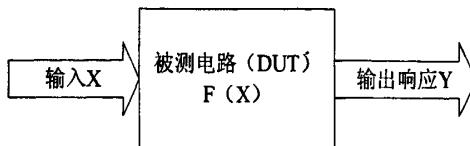


图 1-1 集成电路测试的基本模型

被测电路 DUT (Device Under Test) 可作为一个已知功能的实体，测试依据原始输入 X 和网络功能集 F (X)，确定原始输出响应 Y，并分析 Y 是否表达了电路网络的实际输出。因此，测试的基本任务是生成测试输入，将测试输入应用于被测器件，然后分析输出的正确性。

### 1.1.2 集成电路测试的种类

集成电路的测试，按不同标准的可以有分成不同的种类。

按测试目的可以分成验证测试、生产测试、验收测试和使用测试<sup>[2]</sup>。验证测试是验证 IC 功能的正确性，在器件进入量产之前进行，目的是验证设计是否正确，是否满足了规范中的所有要求；生产测试是 IC 制造生产后的测试，包括晶片测试（中间测试）和封装芯片测试（成品测试）；验收测试是系统制造商在系统集成之前，对所购买的器件进行入厂测试；使用测试是在器件使用期间进行的测试，包括对器件进行各类可靠性实验后的评价测试，系统使用过程出现故障时对故障芯片的检测和定位。

按测试内容可以分为参数测试、功能测试和结构测试。参数测试包括 DC (电压、电流测试)、AC (延时) 测试、 $I_{DDQ}$  测试、三态测试等；功能测试是对芯片内

部电路的行为测试，对于数字电路，包括逻辑功能测试、门级结构测试、延迟测试等，对于模拟电路，主要是基于器件规范的测试；结构测试是以故障模型为核心的测试，即大多数测试产生和测试评估算法都基于某种故障模型。

按测试器件的类型可以分为数字电路测试、模拟电路测试、混合电路测试、存储器测试和 SOC 测试等。

### 1.1.3 模拟集成电路测试

模拟集成电路测试的一个很重要的特点是在模拟集成电路的设计和生产过程中有一个特别强调的诊断过程。当芯片第一个原型完成后，如果整体性能达不到预期要求，常常需要一个复杂的诊断过程，以修改电路设计或参数，或者改进生产工艺以满足设计要求，在生产活动前期，仍然需要诊断测试，不断修改参数，以提高产品合格率，这样一直持续到稳定并大量投产。此时，诊断过程被常规产品测试代替。常规产品测试分别在两个阶段进行，即芯片封装前（中测）和封装后（成测），中测的目的是挑选合格芯片，送去封装<sup>[3]</sup>。

模拟集成电路的测试方法是基于规范驱动的，测试的依据是电路规范（芯片技术资料里面注明的一些技术指标）。测试时，首先分析哪些规范是必须测试的，然后设计测试电路，在规定的条件下对这些规范进行测试。

模拟芯片在测试过程中，由于探针的寄生参数影响动态参数的测试，所以常常只选择直流电压和电流进行测试。直流电压和电流测试的基本方法是加电压测电流（FVMI）和加电流测电压（FIMV）<sup>[4]</sup>。加电压测电流是在模拟芯片的某一个引脚上施加一个恒定电压，然后在相应的输出引脚测试响应电流；加电流测电压是在芯片的引脚施加一个恒定电流，然后测试其输出响应的电压。可见，要完成模拟芯片的测试，必须要有能够实现恒流恒压施加和测试的资源。本论文研究的就是这种恒流恒压源。

## 1.2 课题背景

### 1.2.1 国内外集成电路产业发展概况

#### 1.2.1.1 国外集成电路产业发展概况

自 1965 年发明第一块集成电路以来，全球半导体行业一直处于高速发展的时期，尤其是上世纪最后十年，半导体行业的发展势头更是迅猛，推动着信息产业

的高速发展。进入 21 世纪，信息产业已成为世界经济中规模最大、发展最为迅猛的产业，而集成电路产业是信息产业发展的基础、粮食、龙头与核心，以计算机和通讯为依托的“网络”，其生存和每一步发展都离不开集成电路芯片技术的支持与更新，用美国经济学家罗伯特·丹玛斯的话来说：“互联网事实上是一种全球范围的半导体网。”

近年来，以 IC 为主体的全球半导体产业的发展依赖于世界经济的成长。据 Isuppli 提供的数据，全球 IC 产业虽然经过 2001 年的下跌，但其销售规模在总体上仍然是快速增长趋势。2000 年全球半导体产业市场规模为 2082 亿美元，2005 年达到 2357 亿美元，预计到 2010 年将达到 4247 亿美元。

从技术趋势看，半导体行业的发展速度也非常迅速。目前国际 IC 产品的加工工艺不断提升，芯片尺寸由 8 英寸到 12 英寸，并正在向 18 英寸进军；线宽不断减少，由  $0.25\text{ }\mu\text{m}$  到  $0.13\text{ }\mu\text{m}$  再到  $90\text{nm}$ 、 $65\text{nm}$ 、 $45\text{nm}$ ，甚至有少数公司已经推出  $32\text{nm}$  的处理器；集成规模越来越大，功能也越来越复杂，超大规模集成电路、数模混合集成电路和 SOC 芯片不断推出<sup>[5]</sup>。SOC 系统将成为 IC 发展一个不可替代的趋势。

### 1.2.1.2 国内集成电路产业发展现状

集成电路作为信息产业的基础和核心，是国民经济和社会发展的战略性产业，在推动经济发展、社会进步、提高人民生活水平以及保障国家安全等方面发挥着重要作用，已成为当前国际竞争的焦点和衡量一个国家或地区现代化程度以及综合国力的重要标志。国家信息产业部发布的“集成电路产业‘十一五’专项规划”中指出：“十一五”期间，大力发展战略性新兴产业，尽快建立一个自主创新能力不断提高、产业规模不断扩大的产业体系，对于保障信息安全、经济安全，增强国防实力，以及推动社会进步，提高人民生活水平，具有极其重要的战略意义和现实意义。我国集成电路行业的具有以下特点：

产业和市场规模迅速扩大。1998 年我国集成电路产量达到 22.2 亿块<sup>[6]</sup>，销售规模为 58.5 亿元，2004 年产量达到 235.4 亿块，销售规模为 949.47 亿元，2007 年产量达到 416.6 亿块，销售规模为 191.84 亿元，预计到 2010 年我国集成电路的年产量将达到 800 亿块，销售规模突破 3000 亿元。12 年间产量和销售额分别扩大 36 倍与 51 倍之多，销售额增速远远高于同期全球年均增速。我国集成电路市场规模成为全球仅次于美国的第二大集成电路市场。

产业结构日趋合理。我国集成电路产业已初步形成了设计、芯片制造和封装测试三业并举、较为协调的发展格局。设计业和芯片制造业在产业中的比重显著提高，由 2000 年的 31% 提高到 2007 年的 49.8%，封装与测试比重由同期的 69% 下降到 50.2%，较为合理的产业结构初步形成。

技术水平快速提升。随着技术创新能力的提升，涌现出一批自主开发的 IC 产品。产品设计能力达到 0.18 微米，少数已经达到 65nm 的先进水平；集成电路芯片生产线工艺水平达到 12 英寸 0.13 微米，先进加工工艺已达到 80nm，甚至 65nm；封装测试水平从低端迈向中高端，在 SOP、PGA、BGA、FC 和 CSP 以及 SiP 等先进封装形式的开发和生产方面取得了显著成绩<sup>[7]</sup>。

骨干企业迅速成长。近几年来，本土 IC 设计企业迅速发展，在地域上相对集中在京津、苏浙沪、粤闽地区。2007 年位居销售额前五位的企业分别是中国华大集成电路、深圳海思半导体、上海展讯通信、大唐微电子、珠海炬力集成电路。这些本土“巨头”的业务范围主要集中在智能卡、多媒体、通信卡等低端业务上。

## 1.2.2 国内外集成电路测试系统的发展现状

### 1.2.2.1 国外集成电路测试技术发展概况

集成电路测试是保证集成电路性能、质量的关键手段之一，集成电路测试技术是发展集成电路产业的三大支撑技术之一。因此，集成电路测试仪（或测试系统）作为一个测试门类受到很多国家的高度重视。40 年来，随着集成电路发展到第四代，集成电路测试仪也从最初测试小规模集成电路发展到测试中规模、大规模和超大规模集成电路，到了八十年代，超大规模集成电路测试仪进入全盛时期。集成电路测试仪的发展过程可以粗略地分为四个时代<sup>[8]</sup>。

第一代始于 1965 年，测试对象是小规模集成电路，可测管脚数达 16 只。用导线连接、拨动开关、按钮插件、数字开关或二极管矩阵等方法，编制自动测试序列，仅仅测量 IC 外部管脚的直流参数。

第二代始于 1969 年，此时测试仪由计算机控制，测试对象扩展到中规模集成电路，可测管脚数 24 个，不但能测试 IC 的直流参数，还可用低速图形测试 IC 的逻辑功能，这是一个飞跃。

第三代始于 1972 年，这时的测量对象扩展到大规模集成电路（LSI），可测管脚数达 60 个，最突出的进步是把功能测试图形速率提高到 10MHz。从 1975 年开始，测试对象为大规模、超大规模集成电路（LSI/VLSI），可测管脚剧增到 128 个，功

能测试图形速率提高到 20MHz。不但能有效地测量 CMOS 电路，也能有效地测量 TTL、ECL 电路。此时作为独立发展的半导体自动测试设备，无论其软件、硬件都相当成熟。

1980 年测试仪进入第四代，测量对象为 VLSI，可测管脚数高达 256 个，功能测试图形速率高达 100MHz，测试图形深度可达 256K 以上。测试仪的智能化水平进一步提高，具备与计算机辅助设计（CAD）连接能力，自动生成测试图形向量，并加强了数字系统与模拟系统的融合。有些系统实现了与激光修调设备连机工作，对存储器、A/D、D/A 等 IC 芯片进行修正。

从 1970 年仙童（Fairchild）公司形成 Sentry 系列以来，继而形成系列的还有泰克（Tektronix）公司的 3200 系列，泰瑞达（Teradyne）公司的 A380 系列、A300 系列、日本安藤电气（Ando Electron）的 8000 系列、爱德万（Aduantest）的 T3100、T320、T3700 系列以及美国 Megatest 公司的 Q-11 系列，都取得较好的效益<sup>[8]</sup>。

现在，测试仪的功能测试速率已达 500MHz 以上，可测管脚数多达 1024 个，定时精度±55ps，测试仪的发展速度是惊人的。

### 1.2.2.2 国内集成电路测试技术发展概况

我国在 70 年代初就开始了集成电路测试仪的研制工作，80 年代后期国产集成电路测试仪的水平，特别是自行设计能力有较大提高，测试理论、测试方法、测试系统的研究试验工作受到国家重视，初步形成一支科研、设计、制造的技术队伍。国内研制制造集成电路测试仪的研究所与工厂主要有中国科学院计算技术研究所、半导体所、北京自动测试技术研究所、光华无线电仪器厂（767 厂）、北京无线电仪器厂、北京科力公司等。1986 年中科院计算技术研究所研制成功 ICT-2 LSI/VISI 综合测试系统，功能测试速率 10MHz/20MHz，通道数 48（128），OTA（系统总定时精度）±2ns。1987 年北京自动测试技术研究所研制成功 BC3170 存储器测试系统，功能测试速率 20MHz，通道数 32 个。同期光华无线电仪器厂推出 GH3123 型集成电路自动测试仪，北京自动测试技术研究所 BC3110X 型集成电路测试仪研制成功。这两种采用 CAT 技术的中小规模集成电路测试系统，标志着国产中小规模集成电路测试仪的技术水平进入新的发展时期和走向实用阶段。继而北京科力公司研制和生产测试速率 12.5MHz、64 通道大规模数字集成电路测试系统。此后不久，光华无线电仪器厂又研制成功功能测试速率为 10MHz 的 16M 位 RAM 存储器测试仪，大规模测试系统获得长足的发展。1996 年，由北京自动测试技术研究所、

国营光华无线电仪器厂、中科院计算技术研究所联合研制成功 3190 数字集成电路大型测试系统，测试速率 40MHz，通道数 64 个，定时精度±750ps，达到八十年代中后期国际先进水平，国产集成电路测试仪上了一个新台阶<sup>[9],[10],[11]</sup>。

国产集成电路测试仪虽有一定发展，但与国际水平仍存在较大差距。市场上各种型号国产测试仪，中小规模占 80%，只有少数采用计算机辅助测试。大规模 IC 测试系统 ICT-2、BC3170、3190 类大系统，由于价格、可靠性、实用性等因素导致没有实用化。因此，大规模 IC 测试系统主要依靠进口解决国内的科研、生产与应用测试。

### 1.3 课题来源及主要研究工作

#### 1.3.1 课题来源

广东科威（肇庆）半导体有限公司合作研究项目

#### 1.3.2 课题研究意义

随着我国半导体行业的快速发展，许多国际 IC 公司都将封装测试产业转向了我国，同时，我国本土资本也大量涌向 IC 封装测试产业。然而，由于国内集成电路测试技术相对落后，测试仪器功能较少，测试精度较低，很多企业不得不选择购买国外的测试设备，而国外的 IC 测试设备价格昂贵，动辄几十万，甚至上百万，这让很多中小规模的企业望而止步，所以 IC 测试设备已经成了制约这些企业发展的一个瓶颈因素。

本论文通过研究模拟集成电路的测试方法，设计出高精度的恒流恒压源，该模块具有电流电压施加和测试功能。再把该模块配备在 CEF-100 集成电路测试仪中，可以实现 56 引脚的模拟集成电路的直流参数测试。CEF-100 集成电路测试仪通过与生产线上的分选装置配合，可以实现模拟 IC 的在线自动测试和分选，测试速度可达 2400 只/小时。这对于我国半导体行业尤其是集成电路测试行业的发展将起到积极的推动作用。

可见，本论文的研究具有很好的科技意义和经济意义。

#### 1.3.3 论文研究内容

本论文的研究目标是设计一个具有两个独立通道的高精度恒流恒压模块，该模

块的地电位浮置，每个通道具有施加和测试功能，可实现双向四象限工作，电压施加和测试精度为 0.1%，电流施加和测试精度为 0.2%，分辨率为 16 位。论文具体研究工作包括以下几个方面：

- (1)、研究模拟集成电路直流参数的测试方法。
- (2) 研究浮地测量技术及其实现。
- (3)、研究恒流恒压源的工作原理，设计恒流恒压模块的硬件电路。
- (4)、设计硬件驱动函数。
- (5)、设计调试应用软件，组建调试平台，完成模块的调试工作。
- (6)、进行误差分析和精度校准。

## 第二章 方案设计及原理分析

本论文设计的恒流恒压源是用于模拟集成电路测试，它是课题组研制的 CEF-100 集成电路测试仪的一个子模块，在设计该模块的时候，先要对 CEF-100 集成电路测试仪有个总体的认识和了解。所以，这里先介绍 CEF-100 集成电路测试仪的基本组成和结构。

### 2.1 CEF-100 集成电路测试仪介绍

#### 2.1.1 CEF-100 集成电路测试仪功能

CEF-100 集成电路测试仪是课题组为广东某半导体有限公司研制的用于生产线的 IC 自动测试仪器，它具有以下功能：

- 1) 测试模拟集成电路、数字集成电路及数模混合集成电路。如运算放大器、集成稳压器、电压比较器、模拟开关及 TTL, ECL, CMOS 数字电路和一定范围的专用集成电路。
- 2) 测试 IC 器件的直流、交流及动态参数。如：开路/短路测试、输出驱动电流电压测试、漏电电源测试、电源电流测试、转换电平测试、精密运放的偏移电压、偏移电流、增益带宽积等，具有良好的稳定性和测试精度。
- 3) 系统可提供多达 56 管脚的模拟 IC 测试和 32 管脚的数字 IC 测试能力。
- 4) CEF-100 集成电路测试仪可以与生产现场的分选设备配合使用，共同完成集成电路的自动测和分选工作。

#### 2.1.2 CEF-100 集成电路测试仪组成结构

CEF-100 集成电路测试仪的硬件功能框图如图 2-1 所示。由图 2-1 可以看出，整个硬件系统由接口、模拟和数字三大部分组成。接口部分包括 PCI 接口板、系统控制板和矩阵式继电器板 MRB (Matrix and Relay Board)；模拟部分包括大功率模拟板 PAB (Power Analog Board)、多通道模拟板 MAB (Multiple-channel Analog Board) 和带隔离的模拟板 IAB (Insulated Analog Board)；数字部分包括数字电路测试板 DTB (Digital-circuit Testing Board) 和时间频率测试板 TFB (Time and

Frequency Testing Board)。

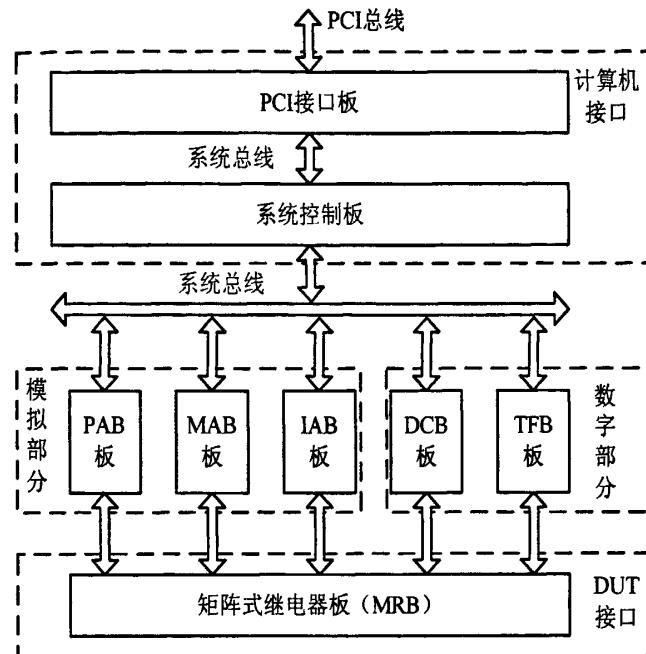


图 2-1 集成电路测试仪硬件框图

本论文设计的恒流恒压模块就是这里的带隔离的模拟板 IAB，在论文的后续部分，都以 IAB 板叙述。

**PCI 接口板和系统控制板。** PCI 接口板的作用是实现计算机和测试仪的通信，以完成计算机对测试仪的自动控制。它将计算机的 PCI 总线转换成测试仪的内部总线，提供给系统子模块使用，以完成系统控制和数据传输。

系统控制板具有两个主要部分：电源监控电路和 PHI 控制电路。电源监控电路主要用于电源保护，如果任何一组电源发生故障，系统将在两秒之后关掉电源并将故障信号锁存；PHI 控制电路是用于测试仪和生产现场的分选设备通信，它提供两路标准的 TTL 信号给分选设备的两个站点并行测试使用，协调测试仪和分选设备的工作，共同完成芯片的测试和分选工作。

**大功率模拟板 PAB。** 大功率系统板 PAB 具有两个独立通道，每个通道可单独编程，能提供和测量最大±32V 的电压和±1A 的电流，电压施加和测量精度为 0.3%，电流施加和测量精度为 0.5%。为了防止负载短路或开路造成的电流过大或电压过高的情况，PAB 板具有电流钳位和电压钳位的功能。

**多通道模拟板 MAB。** MAB 板具有 8 个独立通道，每个通道可单独编程，能提供和测量最大±12V 的电压和±300mA 的电流。电压施加和测量精度为 0.1%，电

流施加和测量精度为 0.2%。MAB 板也具有电流钳位和电压钳位的功能。

**带光电隔离的模拟板 IAB**。IAB 板是高精度、地电位浮置的资源板，具有 2 个独立通道，每个通道可单独编程，能提供和测量最大  $\pm 16v$  的电压和  $\pm 400mA$  的电流。电压施加和测量精度为 0.1%，电流施加和测量精度为 0.2%。IAB 板也具有电流钳位和电压钳位的功能。IAB 板参考地电位浮置，输入输出采用光电隔离。

**数字电路测试板 DTB**。DTB 用于数字电路测试，它负责产生 DUT 的输入测试向量和分析器件的输出向量。同时 DTB 板提供两个精密测试通道，每个通道能实现  $+7V/-5V$  和  $\pm 40mA$  的驱动和测量功能，用于数字电路直流参数测试。

**时间频率测试板 TFB**。TFB 提供继电器控制信号和时间频率测量功能，包括脉冲宽度、脉冲周期、频率、传输延迟、上升/下降时间的测量。

**矩阵式继电器板 MRB**。继电器板用于将上述各资源板提供的测试资源分配到被测芯片的各个引脚，实现资源和引脚的柔性连接，在测试过程中可以改变这些连接关系。继电器板有两个测试站点，每个站点由 64 个继电器组成矩阵形式，由 8 条行线和 8 条列线组成，可配置成 3 种类型：两个  $8*4$  矩阵；一个  $16*4$  矩阵；一个  $8*8$  矩阵。

## 2.2 IAB 板的功能及其指标要求

如上所述，CEF-100 系统有三种模拟测试板（大功率板 PAB、多通道板 MAB 和带隔离的 IAB 板），IAB 板区别于其它两种模拟板最显著的特征是可以实现浮地测量。在测试较大共模电压时（超过其量程  $\pm 16v$ ），可以在 IAB 板的浮地端接入一个偏置电平  $V_{ref}$ ，被测电压的量程可以达到  $V_{ref} \pm 16v$ ，这样大大扩展了整个系统的测试共模电压的范围，以满足不同芯片的测试需求，使系统应用范围更加广泛。

IAB 板的特点如下：

- 1) 参考地电位浮置，能够实现浮地测量。
- 2) 2 个独立通道，每个通道可单独编程，能提供和测量最大  $\pm 16v$  的电压和  $\pm 400mA$  的电流。
- 3) 7 档电流测量/驱动量程，分别为  $2\mu A$ ,  $20\mu A$ ,  $200\mu A$ ,  $2mA$ ,  $20mA$ ,  $200mA$ ,  $400mA$ 。
- 4) 4 档电压测量/驱动量程，分别为  $2v$ ,  $4v$ ,  $8v$ ,  $16v$ 。
- 5) 具有电流钳位功能，钳位电流可编程，分别为： $2\mu A$ ,  $20\mu A$ ,  $200\mu A$ ,  $2mA$ ,  $20mA$ ,  $200mA$ ,  $400mA$ 。

6) 具有电压钳位功能，钳位电压可编程，分别为： 2v , 4v, 8v, 16v。

IAB 板设计指标如表 2-1 和表 2-2 所示。

表 2-1 IAB 板电压量程及精度

量程	最小值	最大值	分辨率	施加精度 (FS)	测试精度 (FS)
16V	-16V	+16V	500μV	0.1%	0.1%
8V	-8V	+8V	250μV	0.1%	0.1%
4V	-4V	+4V	125μV	0.1%	0.1%
2V	-2V	+2V	62.5μV	0.1%	0.1%

表 2-2 IAB 板电流量程及精度

量程	最小值	最大值	分辨率	施加精度 (FS)	测试精度 (FS)
400mA	-400 mA	+400 mA	12.5nA	0.2%	0.2%
200mA	-200 mA	+200 mA	6.25nA	0.2%	0.2%
20mA	-20 mA	+20 mA	625 nA	0.2%	0.2%
2mA	-2 mA	+2 mA	62.5 nA	0.2%	0.2%
200uA	-200 uA	+200 uA	6.25 nA	0.2%	0.2%
20 uA	-20 uA	+20 uA	0.625 nA	0.2%	0.2%
2 uA	-2 uA	+2 uA	0.0625nA	0.2%	0.2%

IAB 板有 10 种工作模式，如表 2-3 所示。

表 2-3 IAB 板工作模式

FV	施加电压	FVMV	施加电压并测量电压
FI	施加电流	FIMV	施加电流并测量电压
MV	测量电压	FIMI	施加电流并测量电流
TV	测量并判读电压	FVTI	施加电压并判读电流
FVMI	施加电压并测量电流	FITV	施加电流并判读电压

## 2.3 IAB 板总体方案设计

IAB 板的最主要的特点是具有浮地测量的功能，要实现浮地测量，就要把测量电路同其它模块隔离开来。对测量电路的隔离，包括两个部分：测量电路电源

部分的隔离；测量电路与系统其他电路接口信号的隔离。对电源的隔离可以采用 DC-DC 模块来实现；接口信号的隔离可以用光电开关实现。

IAB 模块的输出电压或电流值的大小是由计算机给定，计算机给出的是数字信号，而 IAB 模块的最终输出是模拟的电压或电流，因此，需要用到 D/A 转换器进行数模信号的转换。同样，被测电压或电流是模拟信号，该信号最终要送到计算机进行测量，这里要用到 A/D 转换器对模拟信号进行采样，并转换成计算机能够识别的数字信号。

IAB 板的核心是电压电流施加和测量电路，即恒流恒压电路。恒流恒压电路的实现有两种方案：用大规模集成芯片实现或用集成运放加负反馈技术实现<sup>[12]</sup>。

大规模集成测试芯片如 AD 公司的 AD5522。AD5522 是 AD 公司于 2006 年推出的管脚参数测试器件，该芯片提供 4 个测试通道，每个通道能够单独编程，其提供和测量的电压范围是±11V，电流范围为±4 mA，如果需要增加电流量程，需要外接电流取样电阻或功率放大器。AD5522 可实现多种工作模式：施加电压测电流 (FVMI)、施加电流测电压 (FIMV)、施加电压测试电压 (FVMV) 等。AD5522 片内还集成了电流钳位和电压钳位电路，可以防止因负载短路或开路时造成的电流过大或电压过高的情况，保护器件和测试电路。同时，AD5522 片内集成窗口比较器，在用户不需要具体测试数据而只关心测试通过与否的情况下，可以通过窗口比较器快速得到测试结果。AD5522 内部还集成了 D/A 转换器，采用 AD5522 实现恒流恒压电路，设计简单，芯片测试速度快，测试精度高，稳定度好。但是，AD5522 的电流电压量程比较小，它更适合于数字芯片的直流参数测试，而不适合作为测试模拟电路所用的恒流恒压源。

用集成运放实现恒流恒压源，就是把施加信号经控制放大器调节，然后用功率放大器放大后输出给负载，再用测量放大器检测施加的电压或电流信号，并把检测的信号反馈回输入端，构成负反馈电路，从而起到稳定输出的目的，实现恒流、恒压输出<sup>[13]</sup>。这种方法可以根据设计指标选择放大器的种类，以达到要求的电压、电流指标。本论文采用这种方式实现恒流恒压源。但是，负反馈容易带来附加相移，给电路的稳定性造成影响，在设计中要注意考虑<sup>[14]</sup>。

IAB 板的工作模式中要求有电压电流判读的功能。所谓电压电流判读的功能就是在用户不需要具体测试数据而只关心测试通过与否的情况下，可以通过窗口比较器快速得到测试结果。窗口比较功能可以由软件实现也可以由硬件实现<sup>[15]</sup>。软件实现窗口比较，就是把被测信号经过 A/D 采样后送回计算机，由计算机软件将测量值和某一个设定的值比较，给出比较结果；硬件实现窗口比较，就是被测

信号不经过 A/D 采样，而是直接送到一个比较器，比较器的比较电平由计算机通过 D/A 转换器提供，当被测信号值小于比较电平，比较器输出为 0，反之比较器输出 1。软件比较需要经过 A/D 采样，测试速度慢，与用户需求相违背；硬件比较速度快，实时性好，本论文采用硬件比较。

IAB 板协调有序的工作，要在一定的逻辑控制下才能实现。随着 ASIC 技术的发展，可编程逻辑器件因其体积小，设计灵活，设计可反复修改等诸多优点，已经完全取代了传统的分立器件构成的逻辑控制电路。可编程逻辑器件主要的两种类型是 FPGA（Field Programmable Gate Array，现场可编程门阵列）和 CPLD（Complex Programmable Logic Device，复杂可编程逻辑器件）。FPGA 的集成度远高于 CPLD，且 FPGA 是触发器密集型的器件，具有大量的触发器资源，而 CPLD 是组合逻辑密集型的器件，触发器资源较少<sup>[16]</sup>。所以，CPLD 只适合简单的组合逻辑控制，而 FPGA 可用于各领域中较为复杂的设计，本论文采用 FPGA 作为控制芯片。

IAB 板的系统总线由 PCI 接口板提供，PCI 接口板将计算机的 PCI 总线转换成 CEF-100 测试系统的内总线，供系统各子模块使用。PCI 接口板由项目组其他同学完成，本论文设计的前提是直接使用转换后的系统内总线。

综合以上讨论，得出 IAB 板的总体设计方案如图 2-2 所示（单通道）。

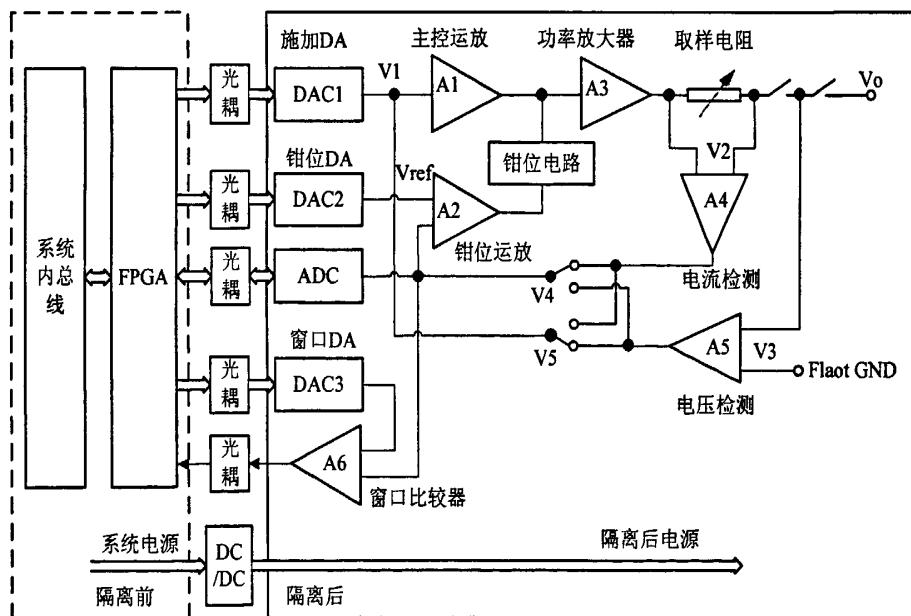


图 2-2 IAB 板的总体功能框图

由图 2-2 可以看出，整个 IAB 板的硬件系统被光电开关和 DC/DC 模块隔离成两大部分。隔离前端由总线接口电路和 FPGA 控制电路组成，其功能是完成数据

和控制指令的传输，实现系统的总体控制。

隔离后端电路包括电流电压施加电路，电流电压测量电路，窗口比较电路和钳位电路。电流电压施加电路由 DAC1（数模转换器）、运算放大器（A1、A3）、电流取样电阻和反馈回路组成，其作用是产生高精度恒定电流电压源；测量电路由电流/电压测量放大器（A4、A5）、电压/电流选择开关、和 A/D 转换器组成，其功能是对被测量进行取样、检测和 A/D 转换，然后将 A/D 转换的结果送入计算机处理；窗口比较电路由 DAC3（数模转换器）窗口比较器 A6 组成，当用户不关心具体测试数据，只关注测试是否通过时，可以利用窗口比较电路快速完成测试，获得测试结果。

## 2.4 工作原理分析

如表 2-3 所示，IAB 板要求具有 10 种工作模式，下面分析图 2-2 所设计的方案的是如何实现这些功能的。由于 10 种工作模式中最基本的是 FV、FI、MV、MI，其他工作模式都是这几种模式的组合，所以这里以 FVMI 和 FIMV 为例，分析其工作原理。

### 2.4.1 加压测流方式 (FVMI)

当 IAB 板工作在加压测流 (FVMI) 模式时，要求所施加的电压是可调恒压源，并能够测量出流过负载的电流值，同时，为了防止负载出现短路而烧坏器件，要求此模式下要具有电流钳位的功能。为实现这些功能，通过可编程逻辑控制器件 FPGA 控制电压/电流选择开关，使图 2-2 中的  $V_5$  和  $V_3$  接通， $V_4$  和  $V_2$  接通，电路结构如图 2-3 所示(为方便讨论，只画出施加和测量电路，总线和电源部分没有画出来)。

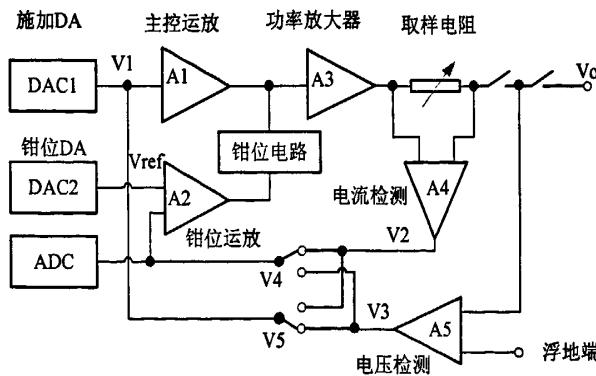


图 2-3 加压测流工作模式

### 1) 施加电压

图 2-3 中, 要施加的电压值由程序给定, 该电压通过 D/A 转换器 DAC1 转换成相应的模拟电压, 然后经过主控放大器 A1 和功率放大器 A3 输出。输出电压经过电压测量放大器 A5 负反馈到 A1 的输入端。根据运算放大器的特点可得:

$$V_1 = V_5 = V_3 = K_1 V_o \quad (2-1)$$

从而有:

$$V_o = \frac{V_1}{K_1} \quad (2-2)$$

其中  $V_o$  是输出电压,  $K_1$  是电压测量放大器 A5 的放大倍数, 可见,  $V_o$  由数模转换器的输出电压  $V_1$  和电压测量放大器 A5 的放大倍数决定, 不受外接负载的影响, 从而实现了恒压源的功能。

### 2) 测试电流

由图 2-3 可知, 电流取样电阻上的电压值经过电流检测放大器放大以后送入 A/D 采样,  $V_4$  的值经过 A/D 转换后送计算机进行测量。此时有:

$$V_4 = V_2 = K_2 R_i I \quad (2-3)$$

从而有:

$$I = \frac{V_4}{K_2 R_i} \quad (2-4)$$

其中  $I$  为被测电流,  $K_2$  为电流测量放大器 A4 的放大倍数,  $R_i$  为电流取样电阻。可见,  $I$  随  $V_4$  成正比例的变化, 只要测量出  $V_4$  的值, 就可以得到被测电流  $I$  的值。

### 3) 电压量程选择

由式 (2-2), 输出电压  $V_o = V_1 / K_1$ , 可见在  $V_1$  固定的情况下, 改变  $K_1$  (电压测量放大器 A5 的放大倍数) 的值, 就可以改变  $V_o$  的值。A5 选用程控增益放大器, 通过模拟开关改变 A5 的反馈电阻, 就可以改变其放大倍数  $K_1$ , 从而选择不同的电压施加量程。

### 4) 电流钳位

电流钳位的功能通过钳位 (DAC2)、钳位运放 (A2) 和钳位电路实现。图中,  $V_{ref}$  是钳位参考电平, 由钳位的电流值  $I_c$  计算得到 ( $V_{ref} = K_2 R_i I_c$ ), 该值由计算机给定, 作为 A2 的一个输入端。反应实际电流大小的电压值  $V_4$  作为 A2 的另外一个输入端, 当实际电流  $I$  小于钳位电流  $I_c$  时,  $V_4$  小于钳位参考电平  $V_{ref}$ , 比较器 A2 不翻转, 钳位电路不工作, 整个电路工作在施加电压的模式; 当负载出现故障使得

实际电流大于钳位电流  $I_c$  时,  $V_4$  的值就大于钳位电平  $V_{ref}$ , 此时比较器 A2 翻转, 钳位电路开始工作, 使输出电流稳定在钳位电流这个值上, 此时电路转换成恒流源电路, 从而实现了电流钳位的功能。

### 2.4.2 加流测压方式 (FIMV)

当 IAB 板工作在加流测压 (FVMI) 模式时, 要求所施加的电流是可调恒流源, 并能够测量出负载两端的电压值, 同时, 为了防止负载出现开路造成电压过大而烧坏器件, 要求此模式下要具有电压钳位的功能。此时, 通过 FPGA 控制电压/电流选择开关, 使图 2-2 中的  $V_4$  和  $V_3$  接通,  $V_5$  和  $V_2$  接通, 接成如图 2-4 所示电路。

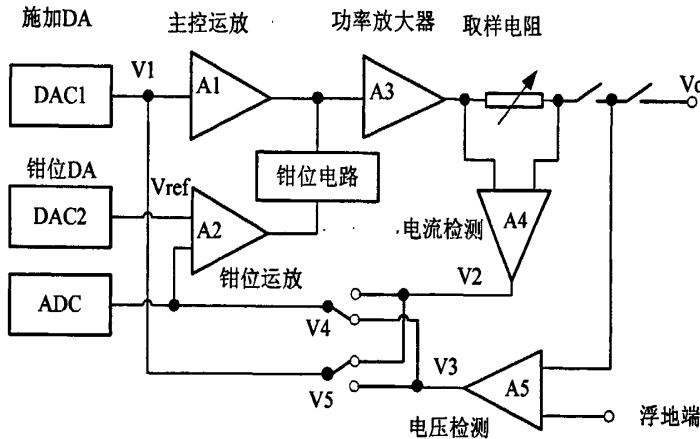


图 2-4 加流测压模式

#### 1) 施加电流

图 2-4 中, 程序给定的电流数据通过 D/A 转换器 DAC1 转换成相应的模拟电压, 然后经过主控放大器 A1 和功率放大器 A3 输出。电流测量放大器 A4 将取样电阻上的电压反馈到控制放大器 A1 的输入端。此时, 根据运算放大器的特点可得:

$$V_1 = V_5 = V_2 = K_2 R_i I \quad (2-5)$$

从而有:

$$I = \frac{V_1}{K_2 R_i} \quad (2-6)$$

其中,  $I$  是输出电流,  $V_1$  是 D/A 输出电压,  $K_2$  为 A4 的放大倍数,  $R_i$  是电流取样电阻。可见, 在取样电阻已知的情况下, 输出电流  $I$  由数模转换器的输出电压  $V_1$  和放大器 A4 的放大倍数决定, 不受外接负载的影响, 从而实现了恒流源的功能。

#### 2) 测试电压

图 2-4 中, 电压检测放大器的电压值经过 A/D 转换器, 然后将转换结果送计算

机进行测量。此时：

$$V_4 = V_3 = K_1 V_o \quad (2-7)$$

从而有：

$$V_o = \frac{V_4}{K_1} \quad (2-8)$$

其中  $V_o$  为被测电压， $K_1$  为放大器 A4 的放大倍数。只要测量出  $V_4$  的值，就可以得到被测电压  $V_o$  的值。

### 3) 电流量程选择

由式 (2-6)，输出电流  $I = V_1 / K_2 R_i$ ，在  $V_1$  和  $K_2$  固定的情况下，改变测量电阻  $R_i$  的值，就可以改变  $I$  的量程。取样电阻的值可以通过继电器切换。

### 4) 电压钳位

电压钳位的功能通过钳位 (DAC2)、钳位运放 (A2) 和钳位电路实现。图中， $V_{ref}$  是计算机给定的钳位参考电压，作为 A2 的一个输入端。反应实际电压大小的电压值  $V_4$  ( $V_4 = K_1 V_o$ ) 作为 A2 的另外一个输入端。当实际电压小于钳位电压时， $V_4$  小于钳位电平  $V_{ref}$ ，比较器 A2 不翻转，钳位电路不工作，电路工作在施加电流的模式；当负载出现故障使得实际电压大于钳位电压时， $V_4$  的值就大于钳位电平  $V_{ref}$ ，此时比较器 A2 翻转，钳位电路开始工作，使输出电压稳定在钳位电流这个值上，此时电路转换成恒压源电路，从而实现了电压钳位的功能。

## 2.5 小结

本论文设计的 IAB 板是 CEF-100 测试系统的一个子模块，所以本章首先介绍了 CEF-100 测试系统的结构及组成，在此基础上分析了 IAB 板的功能及设计指标，给出具体设计方案，并对方案进行原理分选及论证。最后得出结论，本方案能够实现 IAB 板要求的功能。

### 第三章 浮地测量技术的研究与实现

浮地测量功能是 IAB 板的一个显著特征，本章将讨论浮地测量技术的基本原理及硬件实现。

#### 3.1 浮地技术的概念及意义

地是电子技术中一个很重要的概念，其经典定义是：作为电路或系统基准的等电位点或平面。电子技术中常用到的地可分为以下几类：

- (1) 直流地：直流电路零电位参考点。
- (2) 交流地：交流电的零线。此处应把零线和地线区别开。
- (3) 模拟地：模拟电路使用的信号地，如运算放大器、采样保持器、A/D 转换器和比较器的零电位参考点。
- (4) 数字地：也叫逻辑地，是数字电路的零电位参考点。

接地的方法有多种，常用的有单点接地，多点接地，浮地等。

单点接地是指整个电路系统中只有一个物理点被定义为接地参考点，其他各个需要接地的点都直接接到这一点上。在低频电路中，布线和元件之间不会产生太大影响。通常频率小于 1MHz 的电路，采用一点接地。

多点接地是指电子设备中各个接地点都直接接到距它最近的接地平面上(即设备的金属底板)。在高频电路中，由于寄生电容和电感的影响较大，通常常采用多点接地。

浮地，即电路的地与大地无导体连接。浮地不同于虚地，虚地是指没有接地却和地电位相等；浮地的参考电位可以不等于大地的电位。

浮地测量技术是针对系统存在需要检测的对地浮动的差模信号问题(通常这些被测信号与系统信号参考地之间存在一些较高数值的共模信号)而采用的一类信号测量与处理技术，其目的是要将浮动的信号转化或传输到以系统信号地为参考点的信号。例如系统中的两点( $P_1, P_2$ )， $V_{P_1}=500V$ ， $V_{P_2}=501V$ ，则 $V_{COM}$ （共模电压）为 500V， $V_{dif}$ （差模或差分电压）为+1V，这样就可以将较大的共模信号转换成很小的差模信号进行测量。

浮地技术的优点是浮地系统不受大地电性能的影响，它可使功率地（强电地）

和信号地（弱电地）之间的隔离电阻很大，所以能阻止共地阻抗电路性耦合产生的电磁干扰（即共模干扰）。其缺点是浮地系统对地存在着寄生电容，高频干扰信号通过寄生电容仍然可能耦合到浮地系统之中。一个折衷方案是在浮地与公共地之间跨接一个阻值很大的泄放电阻，用以释放所积累的电荷。

## 3.2 浮地技术的实现

浮地测量技术通常是通过隔离来实现的，即把浮地测量电路同系统其他电路隔离开，如图 3-1 所示。

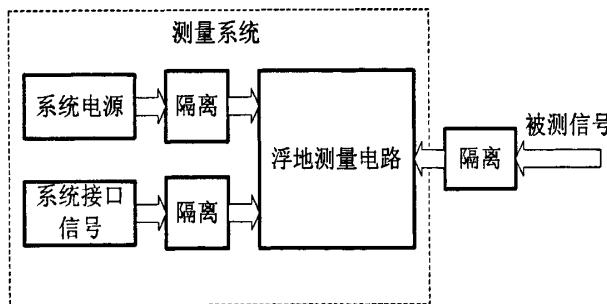


图 3-1 浮地测量技术的实现

图中，浮地测量电路的隔离包括电源的隔离和信号的隔离，对信号的隔离又可以选择隔离浮地测量电路与测量系统的接口信号或者隔离被测信号与浮地测量电路，二者选一即可。前者一般是对数字接口信号的隔离，而后者一般是对模拟信号的隔离。

### 3.2.1 电源隔离

电源隔离通过 DC/DC 隔离模块实现，DC/DC 模块的输出与输入之间的隔离电阻就决定了浮地电路与系统地之间的绝缘电阻。然而，使用 DC/DC 模块必然带来一个附加的问题，就是 DC/DC 模块纹波和噪声电压对测量电路的影响，在设计中必须考虑对 DC/DC 模块的输出电压进行滤波。

纹波是输出直流电压的波动，与 DC/DC 模块的开关动作有关。每一个开、关过程，电能从输入端被“泵到”输出端，形成一个充电和放电的过程，从而造成输出电压的波动，波动频率与开关的频率相同。这就是我们通常所说的开关电源的纹波。

另外，DC/DC 模块的开关管一般选用双极性晶体管或者 MOSFET，不管是哪种，在其导通和截止的时候，都会有一个上升时间和下降时间。这时候在电路中

就会出现一个与开关管上升下降时间的频率相同或者奇数倍频的噪声。同时，由于开关电源中的二极管在反向恢复瞬间，其等效电路为电阻、电容和电感的串联，会引起谐振，从而产生谐振噪声。这两种噪声一般叫做高频噪声，其频率和幅值通常要比纹波大得多<sup>[17]</sup>。图 3-2 为纹波和噪声的示意图。

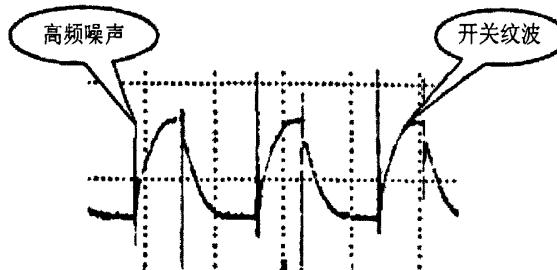


图 3-2 开关电源纹波和噪声示意图

DC/DC 模块的纹波抑制是比较复杂和困难的问题，一般针对不同种类的纹波采用不同的抑制方法。对于低频纹波可以采用增大滤波电容和电感或是有源滤波等方法；对于高频纹波，一般采用多级滤波和 EMI 滤波器。

### 3.2.2 数字接口信号的隔离

浮地测量电路与系统数字接口信号的隔离一般是通过光电耦合开关实现。

光电耦合开关是以光为媒介传输电信号的一种电—光—电转换器件。它一般由两个基本部分组成：发光器件和感光器件。发光器件一般是发光二极管，而感光器件可以是光电二极管或光电三极管。光电耦合器基本原理如图 3-3 所示（以光电三极管为例）：

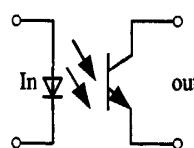


图 3-3 光电耦合器原理图

图 3-3 中，在光电耦合器输入端加电信号使发光二极管发光（光的强度取决于激励电流的大小），此光照射到光电三极管上后，因光电效应会在光电三极管集电极和发射极之间产生电流，这样就实现了电—光—电的转换。光电耦合具有隔离性好、共模抑制比高、信号传输单向性、抗干扰能力强、无触点、寿命长等诸多优点，被广泛用于电路隔离、电平转换、噪声抑制、无触点开关、固态继电器、过流保护、长线传输及数模转换等方面<sup>[18]</sup>。

### 3.2.3 被测模拟信号的隔离

被测模拟信号与测量电路的隔离通常是通过隔离放大器实现的。隔离放大器是一种将模拟信号按比例进行隔离和转换的混合集成电路，常用的隔离放大器有无源型和有源型两种。

无源型隔离放大器一般由输入输出放大器、信号调制解调电路和隔离耦合电路组成<sup>[19]</sup>，如图 3-4 所示。其中，输入输出信号的隔离耦合可以采用光电耦合或变压器耦合的方式。光电耦合由于受到温度的影响，通常需要进行温度补偿后才能正常使用；变压器耦合隔离电压高，隔离阻抗大，因此受到比较广泛的应用。

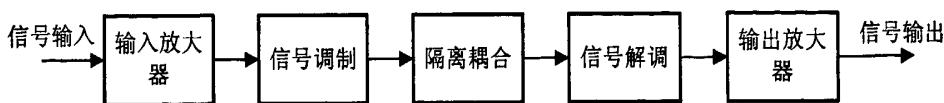


图 3-4 无源型隔离放大器组成框图

有源型隔离放大器是在无源型的基础上集成了 DC/DC 电源，可以提供隔离电源的输出。

隔离放大器将被测信号和测量系统隔离开，能够有效的抑制共模干扰，提高共模抑制比，同时，能够保护仪器设备和人生安全，在工业控制、信号测量和医疗器械信号放大等各个方面获得广泛应用<sup>[19]</sup>。

## 3.3 IAB 板中浮地测量的设计

### 3.3.1 IAB 板电源隔离及滤波设计

IAB 板的隔离部分电路需要用到±24V，±15V，和+5V 的电源，这里选用日本 COSEL 公司的 ZUW 系列 DC/DC 模块，其功率最大为 25W，输出纹波最大值为 120mV，隔离电阻大于 50 兆欧姆。

由于该 DC/DC 模块的纹波最大值为 120mV，所以需要设计纹波衰减电路进行滤波。本文设计了一款有源滤波与无源滤波相结合的纹波衰减电路<sup>[20]</sup>，其原理图如图 3-5 所示。图中，由运算放大器和外围 RC 电路和大功率 MOSFET 管组成有源低通滤波器，用于抑制较低频率的电源纹波；由 L1 和 C1 组成无源 LC 滤波器，用于抑制较高频率的电源纹波和噪声。

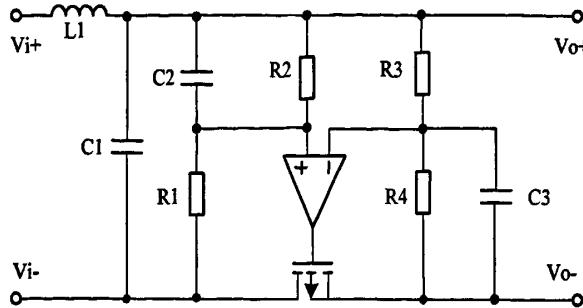


图 3-5 有源加无源纹波衰减电路

### 3.3.1.1 有源滤波器的设计

有源滤波电路由运放、RC 电路和大功率 MOSFET 管组成，其原理图如图 3-6。

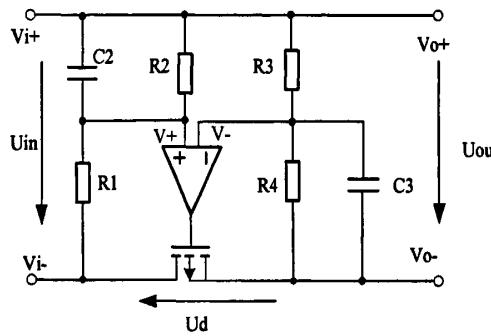


图 3-6 有源滤波原理图

图中，设滤波电路的输入为  $U_{in}$ ，输出为  $U_{out}$ ，滤波器输出  $V_o$  与输入  $Vi$  之间的电压差为  $U_d$ ，运放两个输入端的电位为  $V_+$  和  $V_-$ 。此时有：

$$V_+ = U_{in} \times \frac{R_1}{R_1 + R_2 // X_{c2}} \quad (3-1)$$

$$V_- = U_d + U_{out} \times \frac{R_4 // X_{c3}}{R_3 + R_4 // X_{c3}} \quad (3-2)$$

$X_{c2}$  和  $X_{c3}$  分别是电容  $C_2$  和  $C_3$  的容抗。

根据理想运放虚短的特性，有  $V_+ = V_-$ ，即：

$$U_{in} \times \frac{R_1}{R_1 + R_2 // X_{c2}} = U_d + U_{out} \times \frac{R_4 // X_{c3}}{R_3 + R_4 // X_{c3}} \quad (3-3)$$

由图 3-6，有：

$$U_d = U_{out} - U_{in} \quad (3-4)$$

将式 3-4 代入式 3-3，整理后可以得到：

$$U_{out} = \frac{(R_2 // X_{c2})(R_3 + R_4 // X_{c3})}{(R_1 + R_2 // X_{c2})R_3} U_{in} \quad (3-5)$$

取  $R_1=R_2=R_3=R_4=R$ ,  $C_1=C_2=C$ , 式可以化简为:

$$\frac{U_{out}}{U_{in}} = \frac{1}{1 + j\omega RC} \quad (3-6)$$

式 3-6 即是该有源低通滤波器的频率特性函数, 据此, 可以画出该有源滤波器的对数幅频特性曲线如图 3-7 所示。

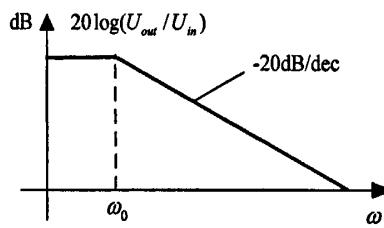


图 3-7 有源滤波器的对数幅频特性

图中,  $\omega_0 = 1/RC$  是截止频率, 当纹波频率高于该频率时, 每增加 10 倍频程, 纹波就衰减 20dB。

### 3.3.1.2 LC 滤波器的设计

上面设计的有源低通滤波器, 如果运放是理想运放, 其增益足够大, 带宽足够宽, 那么, 该电路对高频纹波有很好的抑制作用。但是在实际应用中, 由于运放不可能是理想运放, 其增益和带宽受到一定的限制, 所以这种有源低通滤波器在高频端对纹波的抑制作用不是很理想, 所以在它的前面增加了一级截止频率较高的 LC 低通滤波器, 用来抑制高频段的纹波和噪声。由于该 LC 滤波器主要是用于高频滤波, 所以其截止频率可以做得较高, 滤波电感和电容的参数不是很大, 元件体积可以做得比较小。

本文设计的纹波抑制器就是将有源滤波和无源滤波相结合, 从而实现较宽频带的纹波的滤除。图 3-8 为 122KHz 的输入与输出电压的纹波波形。滤波前的纹波电压峰-峰值约为 170mV, 滤波后纹波电压峰-峰值约为 7mV, 可见, 纹波电压得到了很好的抑制。

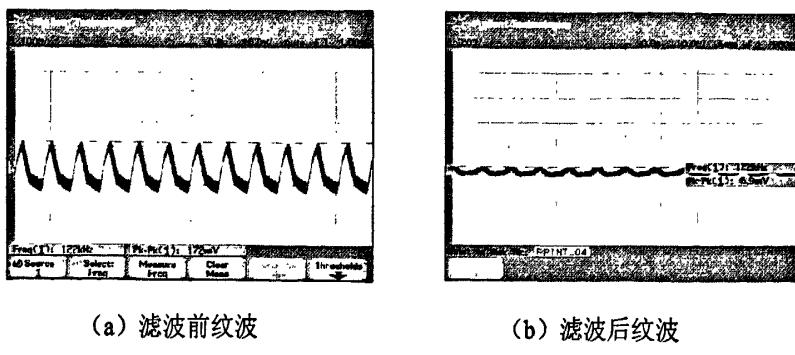


图 3-8 122KHz 时输入输出纹波波形

### 3.3.2 IAB 板信号隔离设计

前文指出，对信号的隔离可以对数字接口信号进行隔离也可以对被测模拟信号进行隔离。在对被测模拟信号的隔离和放大过程中，对隔离变压器的失真、线性度、精度和带宽等参数都有较高的要求，这样会造成隔离变压器的价格昂贵，少则几百上千元，大大增加了设计成本。相反，使用光电开关隔离数字接口信号，原理简单，成本低，易于实现，所以本设计选用该方案。

IAB 板需要隔离的数字接口信号有量程及模式选择的控制信号、D/A 控制信号和 A/D 控制信号。其中 D/A 和 A/D 的信号频率较高，所以需要选用高速光耦。本文选用 Agilent 公司的 HCPL-M600 高速光耦。HCPL-M600 是 5 脚微型封装，最高频率到 10M，最小输入驱动电流 5mA，最大输出电流 50mA，电源电压 5V。HCPL-M600 原理图<sup>[21]</sup>如图 3-9 所示。

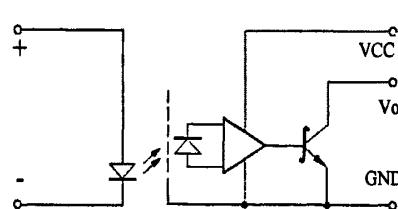


图 3-9 HCPL-M600 原理图

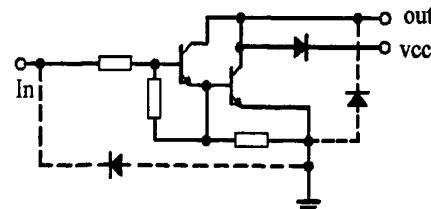


图 3-10 2803 单脚原理图

### 3.3.2.1 光电隔离输入驱动设计

设计中,为了保证 HCPL-M600 驱动可靠,需要对 HCPL-M600 增加驱动电路,以提供稳定的驱动电流。简单的驱动可以由三极管实现,但本方案用的 HCPL-M600 比较多,故选用集成芯片 ULN2803 作为驱动芯片。

ULN2803 具有 8 个输入输出引脚，其单引脚的原理图<sup>[22]</sup>如图 3-10。它由两个

三极管组成达林顿功率管，大大增加了驱动能力，其最大输出电流可达 500mA。2803 是集电极开路输出形式，用 2803 驱动 HCPL-M600 有两种方式，如图 3-11（为简化，此处只画出 2803 的输出级）。

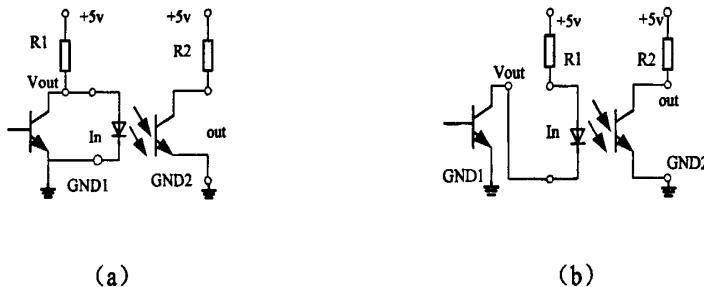


图 3-11 2803 驱动光耦电路

图 (a) 中，2803 的集电极通过上拉后接入发光二极管的正极，发光二极管的负极接地，构成反向传输逻辑，当 2803 输出高电平时，光耦输出低电平，反之输出高电平。图 (b) 中，2803 的集电极输出直接接到光电二极管的负端，光电二极管的正极通过一个限流电阻 R1 接到 5v 电源，构成同向传输逻辑，即当 2803 输出高电平时，光耦输出高电平，反之输出低电平。图中，GND1 和 GND2 分别是 DC/DC 隔离前和隔离后的电源地，这样，光耦的输入输出回路不共地，能够很好的实现信号的隔离。比较图 a 和图 b 的两种驱动方式，图 (a) 中不管 2803 输出高电平或低电平，限流电阻 R1 上都会有电流流过，这样功耗较大。图 (b) 中，只有 2803 输出低电平时 R1 上才会有电流，这种方式功耗小，节能，故本设计选用图 (b) 所示的驱动方式。

图 3-4 中，R1 是输入限流电阻，其作用是为光电二极管提供合适的发光电流。光电二极管导通时发光的电流为 5-15mA。当 R1 过大，流过光电二极管的电流太小，二极管不能发光，光耦不能正常工作；当 R1 过小，光电二极管导通时电流太大，会造成对电源的冲击和干扰。所以 R1 的取值应满足下面公式：

$$5 \leq \frac{5-V_1}{R_1} \leq 15 \quad (3-7)$$

其中 V1 是发光二极管的导通电压，约为 1V 左右。

### 3.3.2.2 光电隔离输出设计

如图 3-12 所示，HCPL-M600 是集电极开路输出，需要在其输出脚 5 脚接上拉电阻 R3，R3 的取值应该考虑两个方面的因素：对后级负载的驱动能力和光耦传输信号的频率。

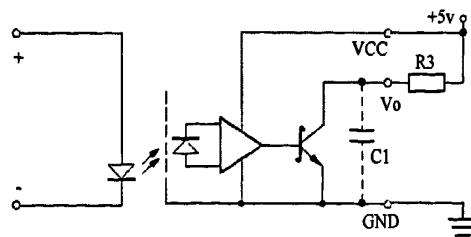


图 3-12 HCPL-M600 输出电路

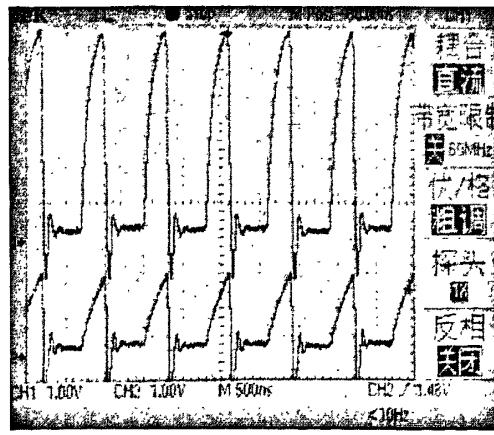
传输低频信号时,  $R_3$  的设计只需考虑驱动能力, 上拉电阻可以取 4.7K, 如果后级负载是标准 TTL 电平, 且负载个数就一两个, 上拉电阻可以取到 47K。上拉电阻取得大的优点是, 当光耦输出低电平时, 流过光敏三极管集电极和发射极之间的电流会比较小, 光耦耗电少, 对电源冲击也比较小。

传输高频信号时, HCPL-M600 的光敏三极管的集电极和发射极之间的分布电容效应会表现出来, 相当于在集电极和发射极之间跨接一个电容  $C_1$ , 如图 3-12 所示,  $C_1$  大小从几个 pF 到十几个 pF。当 HCPL-M600 输出高电平时,  $R_3$  和  $C_1$  组成的 RC 充电电路, 输出高电平上升时间  $t$  的计算公式为:  $t = R_3 \times C_1$ 。这样, 如果  $R_3$  取值比较大, 会导致高电平上升时间较长, 当  $t$  的值大于信号高电平脉冲宽度时, 输出信号没有上升到高电平就又开始下降了, 这就造成了传输逻辑的错误。因此,  $R_3$  的选取应该满足下列公式:

$$R_3 \times C_1 \leq T_p \quad (3-8)$$

其中,  $T_p$  为传输信号的高电平的脉冲宽度。

图 3-13 显示的当  $R_3$  取 470 欧姆和 4.7K 时, 1.25MHz 的方波经过 HCPL-M600 输出的波形。其中, 通道 1 的  $R_3$  为 470 欧姆, 通道 2 为 4.7K。可见, 当  $R_3$  取 4.7K 时, 输出信号就达不到高电平, 造成了传输逻辑的错误。

图 3-13  $R_3$  取 470 欧姆和 4.7K 时的输出波形

### 3.4 小结

本章研究了浮地测量技术的基本原理及实现。在设计中，采用 DC/DC 模块对浮地电路的电源进行隔离，由于 DC/DC 模块的纹波较大，所以设计了无源和有源滤波相结合的纹波抑制电路，很好的衰减了 DC/DC 模块的输出纹波。同时，采用光电开关对浮地测量电路的接口信号进行隔离，详细讨论了光电开关的输入驱动电路的设计和输出电路的设计。通过对电源和信号的隔离，实现了 IAB 板浮地测量的功能。

## 第四章 硬件电路设计

论文第二章介绍了 IAB 板的设计方案和工作原理，第三章讨论了浮地测量技术的基本概念和实现，本章将讨论各具体电路的硬件设计，主要包括 D/A 转换电路、A/D 采样电路、恒流恒压施加测试电路及 FPGA 控制电路。

### 4.1 D/A 转换电路的设计

本设计中，D/A 转换芯片的选择主要考虑了两个因素：一是 D/A 的分辨率要求、一是要方便隔离。

IAB 板的最大电压量程为  $\pm 16V$ ，分辨率要求为  $500\mu V$ ，根据公式  $\Delta = FSR / 2^n$  有  $5 \times 10^{-4} = 32 / 2^n$ ，解出  $n \geq 16$ ，故要求选用 16 位 D/A 转换器。

由于 D/A 的输入数据需要进行光电隔离，所以这里选用串行输入 D/A 转换器。根据以上两个要求，本文选用 Linear Technology 公司的 D/A 转换芯片 LTC1595。

#### 4.1.1 LTC1595 工作原理

LTC1595 是 16 位高精度 D/A 转换器，积分和微分非线性误差  $\leq 1LSB$ ，建立时间为  $2\mu s$ ，最大供电电流  $10\mu A$ ，具有上电复位功能，使用 3 线 SPI 串行接口，方便光电隔离<sup>[23]</sup>。LTC1595 原理图和引脚分布<sup>[23]</sup>如图 4-1 所示。

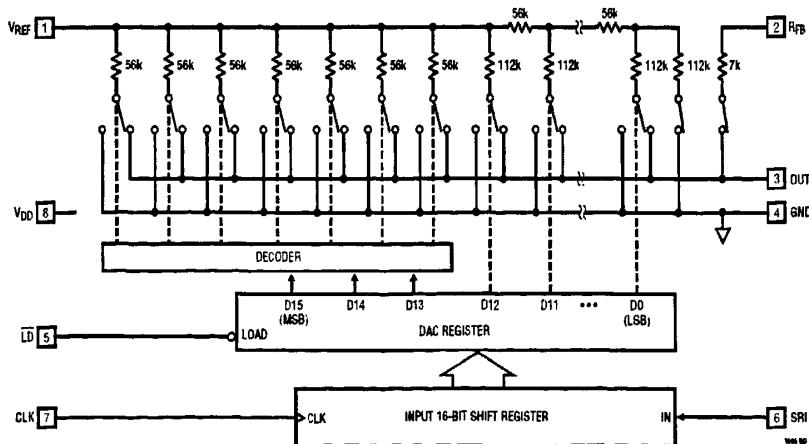


图 4-1 LTC1595 内部原理图

各引脚介绍如下：

VREF (Pin 1): 参考输入;

RFB (Pin 2): 反馈电阻端, 通常连接到电流—电压转换放大器的输出端;

OUT1 (Pin 3): 电流输出引脚, 接到电流—电压转换放大器的输入端;

GND (Pin 4): 接地端;

LD (Pin 5): 串行接口加载控制输入端, 当LD信号为低电平时, 移位寄存器的数据加载到D/A寄存器, 并启动D/A转换;

SRI (Pin 6): 串行数据输入, 输入数据在时钟的上升沿锁存到移位寄存器, (从高位开始);

CLK (Pin 7): 串行接口时钟输入;

VDD (Pin 8): 正电源输入,  $4.5V \leq VDD \leq 5.5V$ , 需要接去耦电容到地。

图4-1中, CLK、SRI、LD是SPI (Serial Peripheral Interface) 接口。LTC1595 内部移位寄存器在CLK时钟的上升沿对SRI引脚输入的串行数据进行移位, 经过16个时钟后, 16位串行数据移入LTC1595内部的移位寄存器。此后, 在LD信号的下降沿来到的时刻, 移位寄存器的数据加载到DAC寄存器, 并启动D/A转换, 转换结果为电流信号, 从3脚输出。SPI接口时序如图4-2所示。

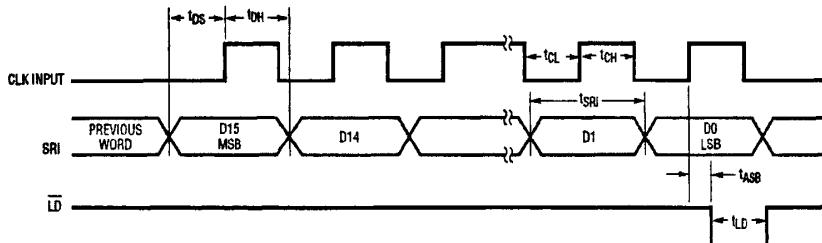


图4-2 LTC1595工作时序

#### 4.1.2 LTC1595 电流电压转换设计

LTC1595 是电流输出型 D/A, 而 IAB 板工作在双向四象限, 要求 LTC1595 能够输出正负双极性电压, 所以设计外接运放实现电流电压转换, 如图 4-3 所示。

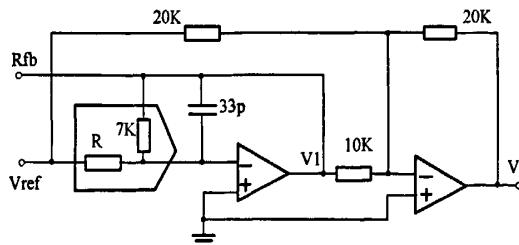


图 4-3 LTC1595 输出电流转换成电压输出原理图

图中将 LTC1595 内部电路简化成一个由外部输入数字信号决定的电阻 R 和一个反馈电阻（阻值为 7K）。输出电压  $V_o$  的计算公式为：

$$V_o = -\frac{20}{20}V_{ref} - \frac{20}{10}V_1 \quad (4-1)$$

而：

$$V_1 = -\frac{7000}{R}V_{ref} \quad (4-2)$$

从而有：

$$V_o = -\frac{20}{20}V_{ref} - \frac{20}{10}V_1 = -\frac{20}{20}V_{ref} - \frac{20}{10} \times \left( -\frac{7000}{R}V_{ref} \right) = \left( \frac{14000}{R} - 1 \right) \times V_{ref} \quad (4-3)$$

式 (4-3) 中， $V_{ref}$  为 LTC1595 输入参考电压，R 是 LTC1595 内部电阻网络的电阻值（正比于数字输入量），由图 4-1 可看出，当 LTC1595 数字输入为全 1 时，R 的值为 7K，此时  $V_o$  的值就等与  $V_{ref}$ ，当 LTC1595 数字输入为全 0 时，R 的值为无穷大，此时  $V_o$  的值为负的  $V_{ref}$ ，这样，当 LTC1595 的数字输入从全 0 变到全 1 时， $V_o$  的值就从  $-V_{ref}$  变到  $+V_{ref}$ ，从而实现了电压的双极性输出。图 4-3 中，33pF 的电容是为了补偿外接运放的引脚电容。

图 4-3 中，运放的精度将会影响整个 D/A 转换的精度，其中运放输入失调电压对 LTC1595 精度的影响最为显著。LTC1595 零度误差增加值等于运放的失调电压，而满度误差增加值是运放失调电压的两倍。所以，这里选用低失调电压的运放 LT1112，其失调电压为 20uV。D/A 转换部分的原理图如图 4-4。

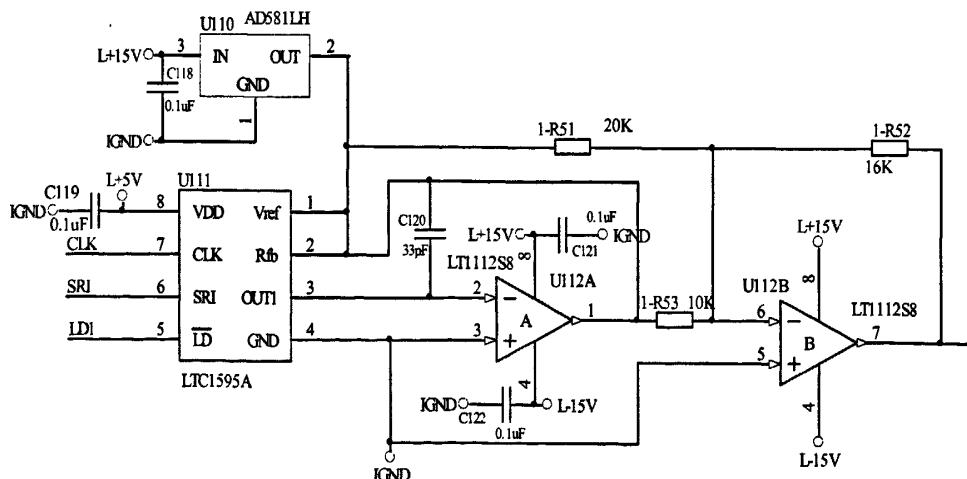


图 4-4 D/A 转换电路设计

### 4.1.3 LTC1595 三线 SPI 接口控制逻辑设计

前面介绍了 LTC1595 三线 SPI 接口的工作原理和时序，这里根据 LTC1595 时序要求，设计其控制逻辑如图 4-5 所示（该控制电路由 FPGA 实现）。

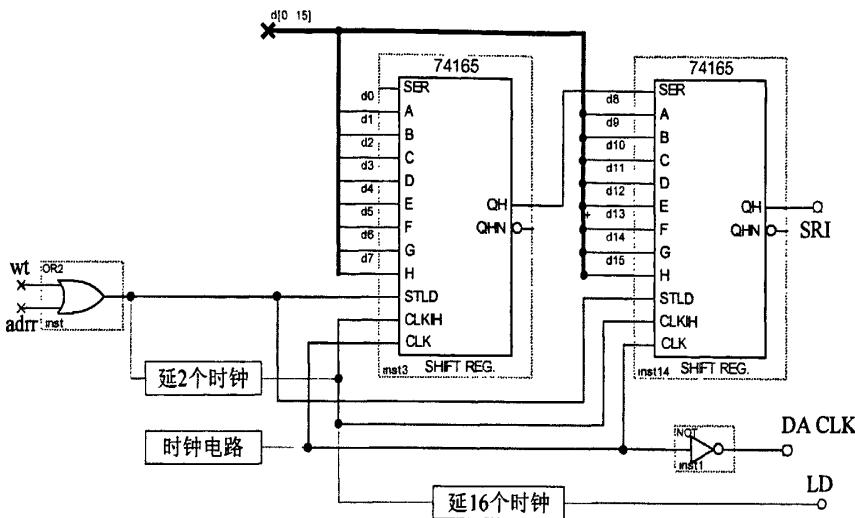


图 4-5 LTC1595 控制逻辑

由于 LTC1595 是串行数据输入，而 IAB 板的本地数据总线是并行总线，所以使用 74LS165 移位寄存器完成并行数据到串行数据的转换。这里采用两片 74165 级连，将前一片的输出端连到后一片的 SER 端，组成 16 位移位寄存器。74LS165 的 STLD 脚是移位数据加载控制脚，由地址 Adrr 和写 WT 信号逻辑或组成，当计算机向 D/A 写数据的时候，执行一次写命令，Adrr 和 WT 产生低电平脉冲，在 STLD 端也得到一个低电平脉冲，此刻，本地总线上的数据加载到 74LS165。CLKIH 是 165 的移位启动信号，它由 STLD 信号延时 2 个时钟之后，产生一个低电平，启动移位。74LS165 在每个时钟的上升沿将数据一位一位的移出（从 D15 到 D0），CLKHI 低电平一直要到移位结束。因为只需要输出 16 个时钟脉冲，故设计一个时钟电路，对外部时钟进行截取，只取其中 16 个脉冲，这 16 个脉冲一方面作为 74165 的移位脉冲，同时反向后输出给 D/A 转换器 LTC1595，作为 LTC1595 的时钟输入。这里之所以要把时钟反向后再输出，是因为 LTC1595 时序图要求外部时钟的上升沿要比数据信号延迟一段时间，即给数据留出一定的建立时间，再对数据进行移位，而 74165 输出的数据和内部移位时钟同步，所以需要将内部移位时钟反向后（相当于延迟半个时钟周期）输出，作为 LTC1595 的时钟输入，以满足 LTC1595 的时序要求。16 个时钟脉冲结束之后，由延时电路发出一个低电平脉冲，即 LD 信号，

作为 D/A 转换启动信号。

对图 4-5 所示逻辑电路进行仿真，得到波形如图 4-6 所示。

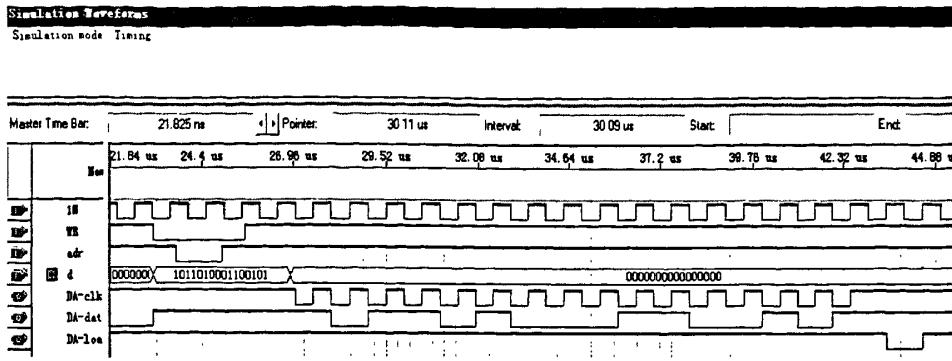


图 4-6 D/A 转换仿真波形

## 4.2 A/D 采样电路设计

和选择 D/A 转换芯片的情况类似，选择 A/D 转换芯片时也主要考虑了两个因素：分辨率要求和便于隔离的要求。

IAB 板测量电压最大量程为  $\pm 16V$ ，分辨率要求为  $712\mu V$ ，根据公式  $\Delta = \text{电压量程范围}/2^n$  有： $712 \times 10^{-6} = 32/2^n$ ，解出  $n \geq 16$ 。

为了便光电隔离，选用串行输出 A/D 转换器。

根据以上两个要求，选用 BB 公司的 16 位的串行输出 A/D 芯片 ADS7809。

### 4.2.1 ADS7809 特点及工作原理

ADS7809 具有以下特点<sup>[24]</sup>：

- 基于电容的逐次逼近寄存器型模数转换器，内部带采样保持电路；
- 采样速率 100kHz, 20kHz 输入时的信噪比达 83dB；
- 积分非线性和差分非线性为  $\pm 1/2 LSB$ ；
- 模拟输入电压量程可选，分别是  $0 \sim 10V$ ,  $0 \sim 5V$ ,  $0 \sim 4V$ ,  $\pm 10V$ ,  $\pm 5V$  和  $\pm 3.3V$ ；
- 可用片内  $+2.5V$  基准源，也可用外部基准源；
- 片内自带时钟，采样数据串行输出。数据既可用内部时钟同步，也可由外部时钟同步；
- 单  $5V$  电源供电，功耗小于  $100mW$ 。

ADS7809 的内部组成框图<sup>[24]</sup>如图 4-7 所示。

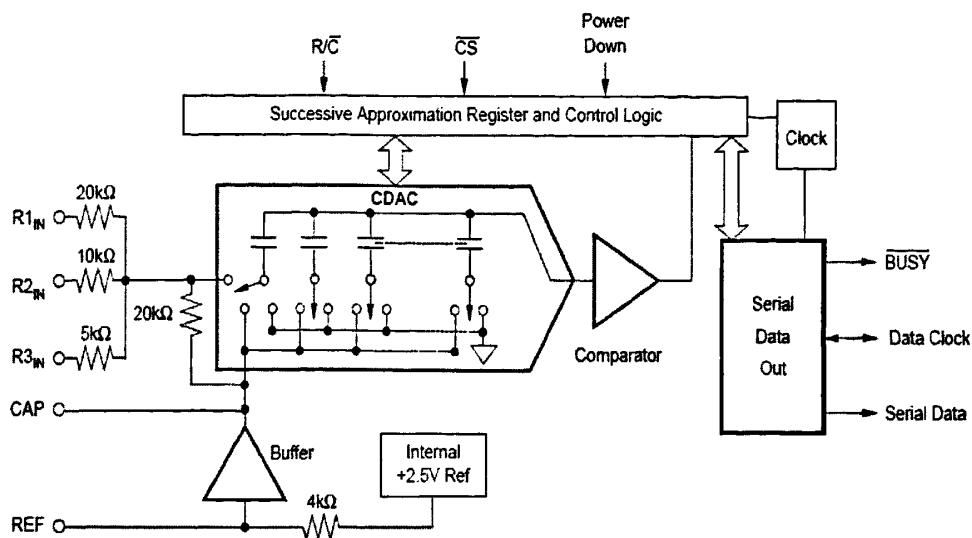
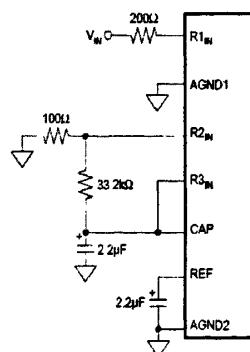


图 4-7 ADS7809 的内部组成框图

由图 4-7 可见，ADS7809 由逐次逼近寄存器、电容式 D/A 转换器、比较器、基准电路、控制逻辑和输入输出接口电路组成。模数转换工作原理如下：逐次逼近寄存器在控制逻辑的控制下依次产生二进制逼近码（从高位开始），该二进制逼近码由电容式 D/A 转换器转换成模拟信号，该信号再与模拟输入端的信号进行比较，比较结果由比较器送回控制电路，当两个信号不相等时，控制电路改变二进制逼近码进行下一次比较，如此不断循环，直到二进制逼近码的转换结果与模拟输入信号相等（两者可能相差 1LSB），控制电路就将该二进制逼近码作为模拟输入信号的 A/D 转换结果从串行接口输出。

#### 4.2.2 ADS7809 硬件电路设计

ADS7809 有六种输入量程可选，IAB 板的最大测量电压  $\pm 16\text{v}$ ，所以这里选用  $\pm 10\text{v}$  的输入量程，输入电路<sup>[24]</sup>如下如图 4-8。

图 4-8 ADS7809  $\pm 10\text{v}$  量程的输入电路

据此，设计 ADS7809 及其外围硬件电路如图 4-9。

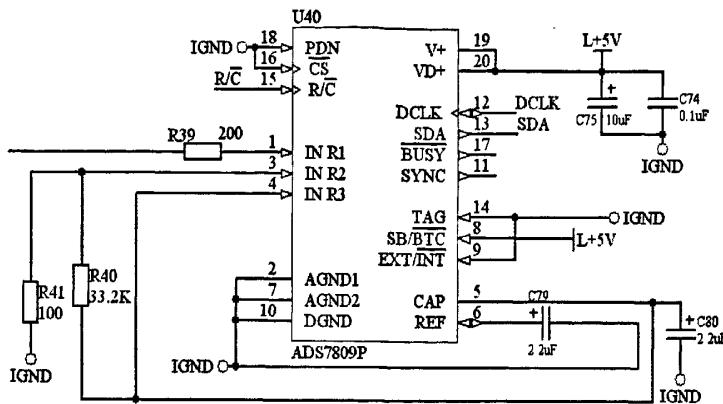


图 4-9 IAB 板 A/D 转换电路设计

图 4-9 中，CS 是片选信号，直接接地，常有效；PWRD 是电源掉电输入，它为高电平时芯片进入电源掉电状态，可以降低功耗，这里将它接地，即不使用电源掉电功能；EXT/ IN T 是内外时钟选择引脚，低电平时选择内部时钟，高电平时选外部时钟，本文使用内部时钟，将 EXT/ IN T 和 TAG 接地；SB/ B TC 是输出数据格式选择引脚，高电平时选择输出数据为直接二进制码，低电平时为二进制补码，本文选用直接二进制码，将 SB/ B TC 接高电平；BUSY 是 A/D 转换的状态信号，可以通过查询 BUSY 信号而判断 A/D 转换是否结束，本文不用该信号；SYNC 信号是外部时钟同步信号，本文用内部时钟，不需要外部时钟同步。R/C、DCLK 和 SDA 是串行接口信号，这三个信号经光电隔离后接到控制电路。

#### 4.2.3 ADS7809 控制逻辑的设计

ADS7809 是串行输出，其接口信号的工作时序如图 4-10 所示。

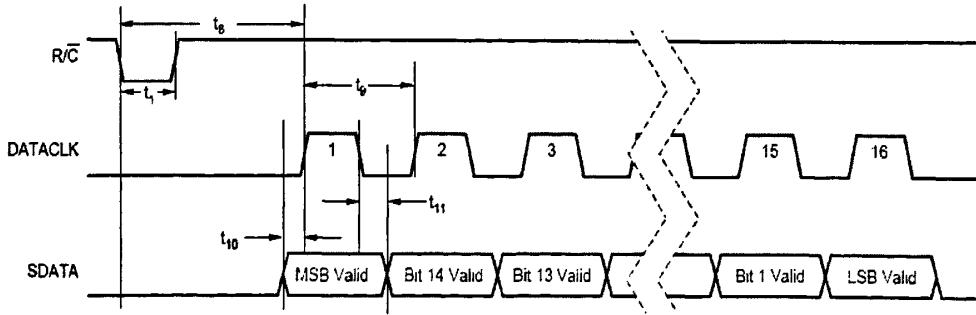
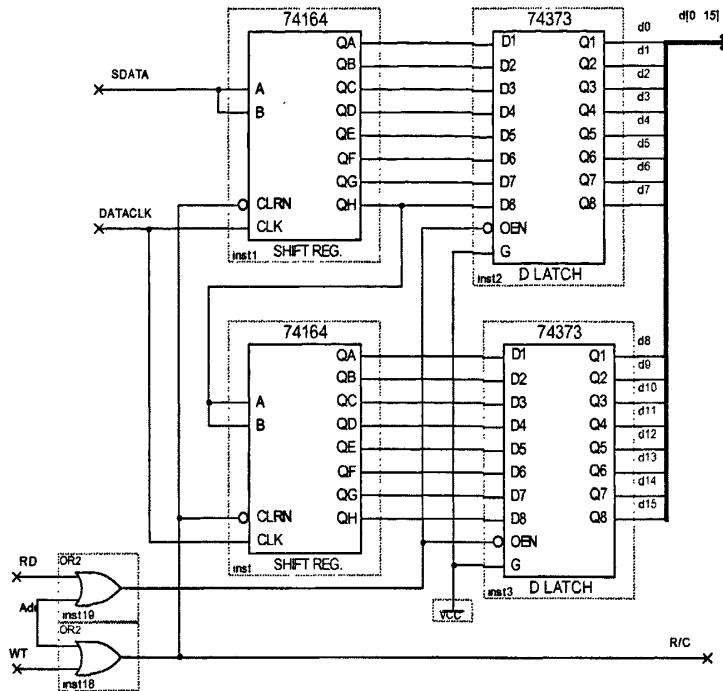


图 4-10 ADS7809 工作时序

图中，R/C 是外部输入的启动信号，ADS7809 在 R/C 的下降沿停止采样，进

入保持阶段，同时对上一次的采样结果进行模数转换，转换完成后，输出 16 位数据 SDATA，同时，ADS7809 输出 16 个时钟脉冲 DATACLK，用于数据的同步。

根据该接口时序，设计 ADS7809 的逻辑控制电路如图 4-11 所示（FPGA 中实现）。



4-11 ADS7809 控制逻辑

由于 ADS7809 输出串行数据，而 IAB 板是 16 位并行数据总线，所以采用 74LS164 移位寄存器完成串并转换。图 4-14 中，由两片 164 级连组成 16 为串并转换逻辑。A/D 转换启动信号 R/C 由写信号 WT 和地址信号 Adr 逻辑或组成，执行 A/D 转换的过程分为两个步骤。第一步由计算机发出写命令使 WT 和 Adr 信号有效，从而 R/C 信号有效，启动 A/D 转换，ADS7809 依次输出 16 个时钟脉冲 DATACLK 和 16 位串行数据 SDATA。74164 以 DATACLK 为同步时钟，对数据 SDATA 进行移位，将串行数据转换成 16 位并行数据，并将转换结果锁存在 74373 的 D 触发器里面。第二步，计算机启动 A/D 转换以后，由软件延时一定时间  $t$  ( $t$  大于 A/D 转换时间，约为 10uS)，然后对该地址发出读命令，控制 74HC373 的 OE 端，打开 373 内部三态门，将转换后的数据送到本地数据总线，从而完成一次 A/D 转换。

图 4-12 是 ADS7809 控制逻辑的仿真波形。

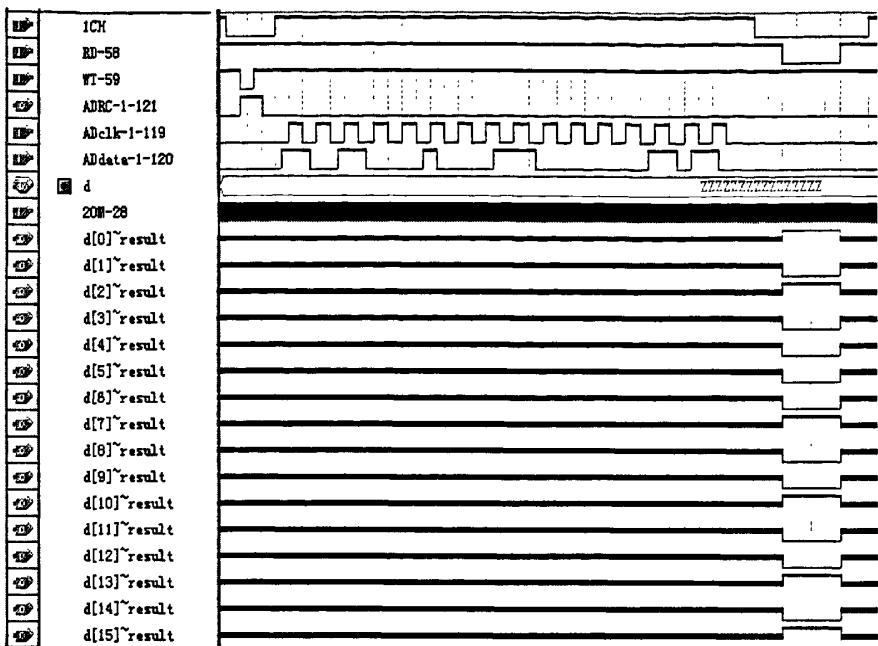


图 4-12 ADS7809 控制逻辑的仿真波形

### 4.3 电流电压施加测量电路设计

施加测量电路的原理框图如图 4-13 所示。

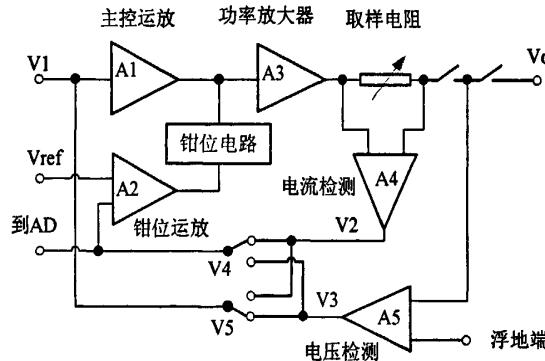


图 4-13 施加测量电路的原理框图

该电路由主控运放、功率放大器、电流检测放大器、电压检测放大器、电流取样电阻、钳位放大器和钳位电路组成。

主控运放将 D/A 的施加值和反馈信号进行比较，从而调节输出，以起到稳定输出的作用。主控运放工作在开环放大的方式，其放大倍数可变，具体值由环路总增益决定。本文要选用高速运放，从而达到快速调节的作用。

功率放大电路主要是对施加信号进行功率放大，以满足负载需求。IAB 板设计最大输出电压是±16V，最大输出电流为±400mA，所以这里选用的功率放大器的输出电压和电流必须能够满足该要求。

电流检测和电压检测电路主要用于输出电流（电压）的检测，检测结果或者送到 A/D 转换器进行测量，或者送入主控放大器以稳定输出，或者送入钳位电路实现钳位功能。本文选用三个运放组成的测量放大器作为电流和电压检测用的放大器。测量放大器的典型结构如图 4-14<sup>[25]</sup>。

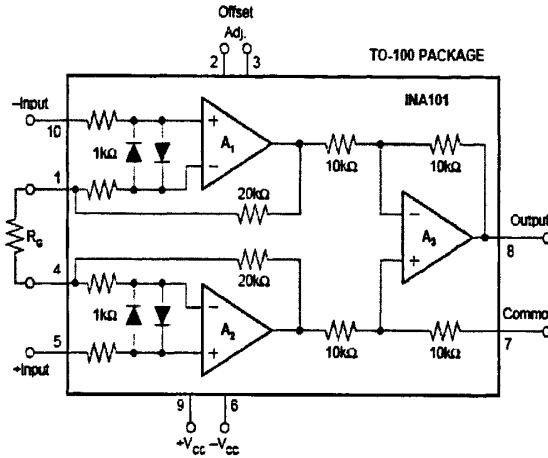


图 4-14 测量放大器原理图

图中 A1 和 A2 构成跟随器，A3 是差动放大器。这种结构具有输入阻抗高，共模抑制比高的优点，非常适合微弱信号的检测。从图 4-14 看出，改变 1 脚和 4 脚之间的反馈电阻  $R_g$ ，可以改变放大器的放大倍数，其增益计算公式为：  

$$G = 1 + 40k\Omega / R_g$$

## 4.4 电流电压施加电路稳定性分析

图 4-13 所示的施加环路引入负反馈之后，由于运放的附加相移，很可能导致环路发生自激振荡，不能稳定工作。因此，本节将详细讨论电流电压施加回路的稳定性问题。

### 4.4.1 运放的频率特性

我们知道，在组成运放的晶体管（BJT 或 FET）中，存在着 PN 节电容和管内各种分布电容，这些电容通常为 pF 级，可称为“小电容”。由电容容抗公式  $X_c = 1/\omega C$  可知，这些小电容在中频段和低频段对交流信号呈现的容抗很大，可以视为对交

流信号开路。因此，在中频段，放大器的小信号模型是一个纯阻性网络，其增益是与频率无关的常数。但是，在高频段，这些小电容就不能再视为开路，所以放大器的高频增益与小电容的容抗有关，其增益的幅值和相位都是频率的函数，频率越高，放大器的增益越小，且输出信号与输入信号之间会产生附加相移<sup>[26]</sup>。

放大器工作在小信号状态时，晶体管可以用线性模型近似，如果不考虑源电压和温度变化对模型参数和元件参数的影响，可以将放大器视为线性时不变系统。其示意图如图 4-15 所示：

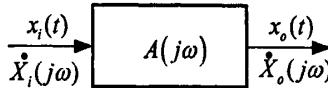


图 4-15 放大器线性模型

根据自动控制原理的相关知识，可以得到运放模型的开环频率特性函数：

$$A(j\omega) = K \frac{\prod_{i=1}^m (j\omega - Z_i)}{\prod_{j=1}^n (j\omega - P_j)} \quad (4-4)$$

其中， $Z_i$  ( $i=1 \sim m$ ) 称为系统的零点， $P_j$  ( $j=1 \sim n$ ) 称为系统的极点，极点的数目等于电路中独立电抗元件的数目。

#### 4.4.2 运放自激振荡的原因及条件

集成运放由多级基本放大电路组成，随着基本放大器的级数的增加，高频段的附加相移会增大，因此，在中频段引入的负反馈，可能在高频段的某个频点上，由于附加相移而称为正反馈，集成运放在该频点上就可能发生自激振荡。所以说，放大电路的附加相移是导致负反馈放大器可能发生自激振荡的最根本的原因。

单个负反馈放大器可以用图 4-16 所示的理想单环反馈模型来描述<sup>[26]</sup>。

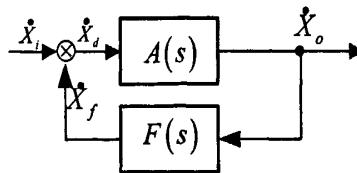


图 4-16 理想单环反馈模型

该反馈模型的闭环传递函数为：

$$G(s) = \frac{A(s)}{1 + A(s)F(s)} = \frac{A(s)}{1 + T(s)} \quad (4-5)$$

其中， $T(s) = A(s)F(s)$ ，称为环路增益函数， $A(s)$  称为开环传递函数。将式 4-5

中的 S 用  $j\omega$  替代，得到闭环频率特性为：

$$G(j\omega) = \frac{A(j\omega)}{1+T(j\omega)} \quad (4-6)$$

如果在某一频率点上满足  $1+T(j\omega)=0$ ，则  $G(j\omega)=\infty$ ，这就意味着放大器在没有信号输入的情况下，仍然会有自生的信号输出，即该反馈系统发生了振荡，处于不稳定的工作状态。因此，反馈系统发生自激振荡的条件是： $1+T(j\omega)=0$  或  $T(j\omega)=-1$ ，用模和相位表示为：

$$|T(j\omega)|=1 \quad (4-7)$$

$$\varphi_T(\omega)=\pm(2n+1)\pi \quad (4-8)$$

式 4-7 称为自激振荡的幅值条件，而式 4-8 称为相位条件。

上述两式是临界自激条件，实际发生自激振荡的条件是  $T(j\omega)\leq-1$ ，即

$$|T(j\omega)|\geq 1 \quad (4-9)$$

$$\varphi_T(\omega)=\pm(2n+1)\pi \quad (4-10)$$

相位条件和幅值条件必须同时满足，才会发生自激振荡。

#### 4.4.3 反馈放大器稳定性判据

反馈放大器的稳定性判断方法有很多，如根轨迹法、奈奎斯特图（Nyquist）法和波特图（Bode）法等，这里采用波特图法，即用环路增益  $T(j\omega)$  的波特图来判断。在  $T(j\omega)$  的波特图上，放大器稳定的条件是当  $\varphi_T(\omega)=-180^\circ$ ， $20\log|T(j\omega)|<0dB$  或者是  $20\log|T(j\omega)|=0dB$  时， $\varphi_T(\omega)>-180^\circ$ ，反之，放大器不稳定。例如图 4-17，

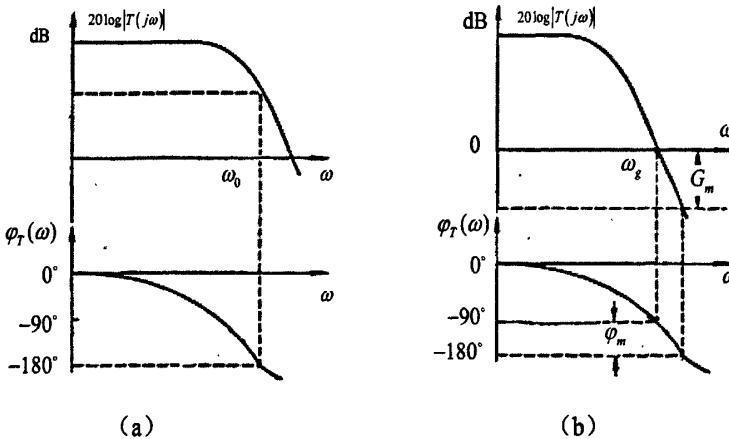


图 4-17  $T(j\omega)$  的 Bode 图判断反馈放大器的稳定性

图 (a) 中，当  $\omega=\omega_0$  时， $\varphi_T(\omega)=-180^\circ$ ， $20\log|T(j\omega)|>0dB$ ，(即  $T(\omega_0)>1$ )，满足自激

振荡条件，该反馈系统不稳定；图(b)中，当 $\varphi_T(\omega) = -180^\circ$ 时， $20\log|T(j\omega)| < 0dB$ ，(即 $T(\omega_0) < 1$ )，系统不会发生自激振荡。图(b)中， $G_m$ 称为系统的幅值裕量， $\varphi_m$ 称为系统的相位裕量，工程上为了保证系统的稳定性，常取 $G_m \geq 12dB$ ， $\varphi_m \geq 45^\circ$ 。

#### 4.4.4 IAB 板施加电路模型及稳定性

本文设计的恒流恒压施加电路结构相似，故此处以电流施加环路为例，分析环路的稳定性。电流施加环路的框图模型如图 4-18 所示：

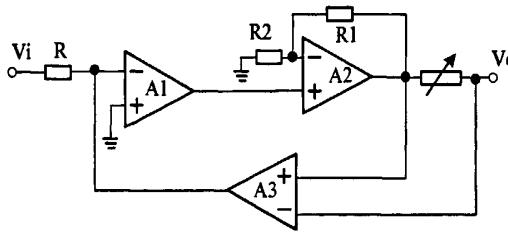


图 4-18 恒流施加环路的框图模型

A1 是主控放大器，A2 是功率放大器，A3 是电流测量放大器。环路的闭环频率特性为：

$$G(j\omega) = \frac{A_1(j\omega) \cdot A_2(j\omega)}{1 + A_1(j\omega) \cdot A_2(j\omega) \cdot A_3(j\omega)} \quad (4-11)$$

其中， $A_1(j\omega)$ 、 $A_2(j\omega)$ 、 $A_3(j\omega)$  分别是 A1、A2 和 A3 的闭环频率特性函数。在中低频段，运放没有附加相移，A1、A2、A3 都是比例环节，整个反馈环路的闭环传递函数也是一个比例环节，环路的闭环增益为一常数，相位角为 0，环路工作稳定。但是，在高频段，各运放的附加相移可能对环路的稳定性造成影响，由式 4-11 可知，该反馈环路的环路增益为： $T(j\omega) = A_1(j\omega) \cdot A_2(j\omega) \cdot A_3(j\omega)$ ，即有：

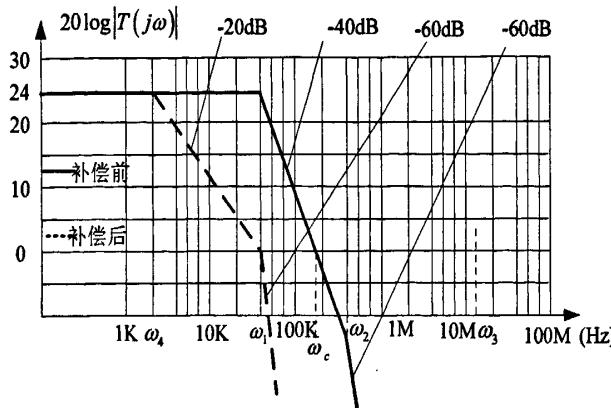
$$|T(j\omega)| = |A_1(j\omega)| \cdot |A_2(j\omega)| \cdot |A_3(j\omega)| \quad (4-12)$$

$$\varphi_T(\omega) = \varphi_{A1}(\omega) + \varphi_{A2}(\omega) + \varphi_{A3}(\omega) \quad (4-13)$$

即环路增益  $T(j\omega)$  的模是各运放闭环增益的模的乘积，环路增益的相位  $\varphi_T(\omega)$  是各运放增益函数的相位和。对式 4-12 两边取对数，有：

$$20\log|T(j\omega)| = 20\log|A_1(j\omega)| + 20\log|A_2(j\omega)| + 20\log|A_3(j\omega)| \quad (4-14)$$

根据各运放的增益，查阅各运放 Datasheet 上的频率特性图，得到 A1 的转折频率为 12MHz，转折斜率-20dB/dec；A2 的转折频率为 400KHz，转折斜率-20dB/dec；A3 的转折频率为 40KHz，转折斜率-40dB/dec。于是可以得到  $T(j\omega)$  的幅频特性曲线，如图 4-19 实线部分所示。

图 4-19 电流施加电路  $T(j\omega)$  的幅频特性

图中  $\omega_1$ 、 $\omega_2$  和  $\omega_3$  是三个运放的转折频率， $\omega_c$  是穿越频率，即  $20\log|T(j\omega)|$  值为 0 的时候的频率，其值大约为 160KHz 左右。当  $\omega_c$  为 160KHz 时， $\varphi_{A1}(\omega_c) \approx +90^\circ$ ， $\varphi_{A2}(\omega_c) \approx -100^\circ$ ， $\varphi_{A3}(\omega_c) \approx -190^\circ$ ，由式 4-13， $\varphi_T(\omega_c) = \varphi_{A1}(\omega_c) + \varphi_{A2}(\omega_c) + \varphi_{A3}(\omega_c)$ ，所以  $\varphi_T(\omega_c) \approx -200^\circ$ ，系统根据稳定性判据，当  $20\log|T(j\omega)| = 0$  即  $|T(j\omega)| = 1$  时， $\varphi_T(\omega_c)$  小于  $-180^\circ$ ，则环路不稳定，会产生自激振荡。为避免自激振荡产生，必须进行相位补偿，以破坏自激的条件。

#### 4.4.5 补偿电路设计

根据自动控制原理的相关知识，在系统前向通路增加积分环节，可以增加系统的相位裕量，改进系统的稳定性。补偿后，应该使  $T(j\omega)$  的幅频特性曲线穿越 0dB 时的斜率为  $-20\text{dB/dec}$ （一般将过 0dB，斜率为  $-20\text{dB/dec}$  的频段称为中频段），这样系统会有足够的相位裕量<sup>[27][28]</sup>。按这一思路，在图 4-18 所示的框图模型的第一级运放 A1 的输入和输出端跨接一个电容，此时的 A1 由纯比例环节变成比列加积分环节，补偿后的框图如图 4-20 所示。

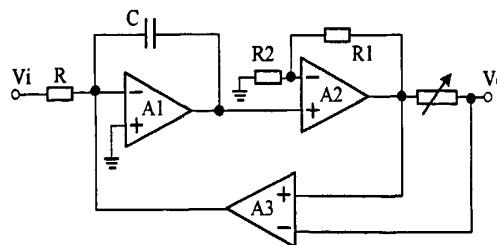


图 4-20 补偿后电流施加环路框图

补偿后的环路增益  $T(j\omega)$  的幅频特性曲线如图 4-19 的虚线所示。图中， $\omega_4$  是

A1 的转折频率，且有：

$$\omega_4 = \frac{1}{RC} \quad (4-15)$$

即：  $C = \frac{1}{R\omega_4}$  (4-16)

关于  $\omega_4$  的取值，参考文献 27 指出，控制系统的中频段带宽取得越大，系统稳定性越好，但是，中频段取得过大，会影响系统的快速性，一般取 10-30 倍频程左右。此时有：

$$\omega_4 = \frac{40 \times 10^3}{10 \sim 30} \approx (1.3 \sim 4) \times 10^3 \quad (4-17)$$

将  $\omega_4$  的值代入式 4-16，可以计算出补偿电容 C 的值。图 4-21 是补偿前和补偿后的施加 5V 电压的波形。

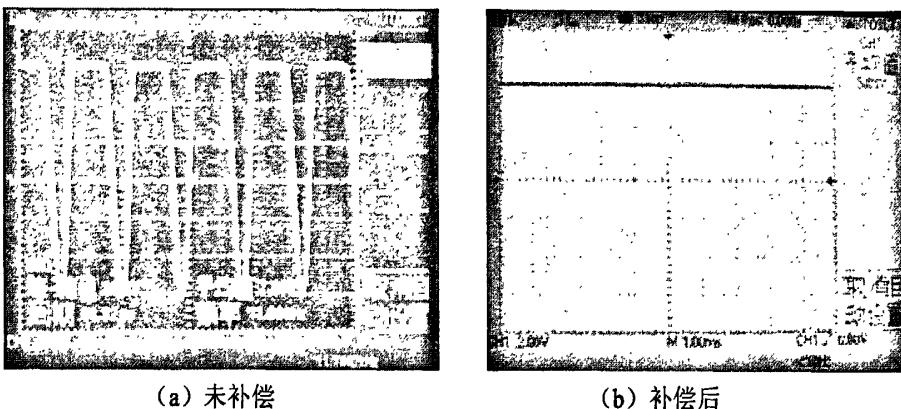


图 4-21 补偿前后输出波形

图 (a) 产生自激振荡，振荡频率为 11KHz 左右，即补偿前的  $T(j\omega)$  相频特性等于  $-180^\circ$  时的频率，该频率应小于穿越频率  $\omega_c$ 。图 (b) 是补偿后的波形，输出值为 5V，没有自激振荡。

#### 4.5 FPGA 控制电路设计

前面几节讨论了 IAB 板各硬件模块电路的设计，这些电路必须在控制电路的统一控制下，才能协调有序的工作。本章将详细讨论 FPGA 控制电路的硬件及逻辑设计。

## 4.5.1 FPGA 控制电路的硬件设计

### 4.5.1.1 FPGA 芯片选择

FPGA 控制电路要完成的控制功能有：电流量程控制、电压量程控制、工作模式控制、D/A 转换控制和 A/D 采样控制，如图 4-22。

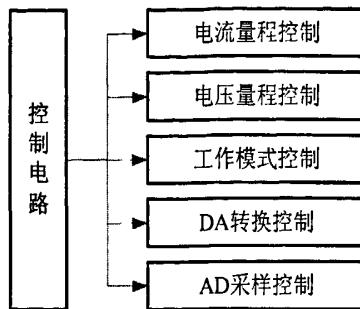


图 4-22 控制电路功能框图

要完成图 4-22 所示控制功能，FPGA 所需要的 IO 口数量约为 100 个，考虑适量余量，选用 Altera 公司的 EP1C6Q240 型 FPGA 芯片。EP1C6Q240 型 FPGA 基本特点<sup>[29]</sup>如下：

- 240 引脚，可用 IO 引脚 185 个；
- 5980 个逻辑单元，92160 RAM bits，两个锁相环，8 跟全局时钟线；
- 内核电压 1.5v，端口电压 3.3v；
- 支持串行配置设备；
- 支持 LVTTL，LVCMOS，SSTL-2，SSTL-3 I/O 标准；
- 支持 66-MHz，32-bit PCI 标准；
- 支持低速（311 Mbps）LVDS I/O；
- 支持外部存储器 DDR SDRAM (133 MHz)，FCRAM，和(SDR) SDRAM。

### 4.5.1.2 FPGA 电源设计

EP1C6Q240 型 FPGA 的端口电压是 3.3V，内核电压是 1.5V，系统电源只提供了 3.3V 的电源，没有 1.5V 电源，所以，这里采用串联型稳压电源芯片 AS1117-15，将 5V 电源转换成 1.5V。稳压电路如图 4-23，图中，在 5V 电压的输入端和 1.5V 电压的输出端都加了两个退耦电容，对电源进行滤波。

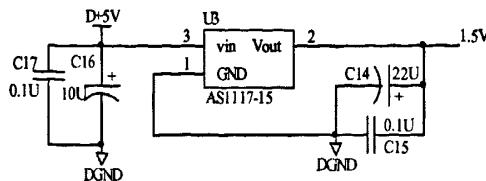


图 4-23 5V 变 1.5V 电路

EP1C6Q240 的电源输入引脚很多，在电源输入引脚，应该接上退耦电容对电源进行滤波，如图 4-24。在设计 PCB 板时，要尽量把电容布置在靠近电源引脚的地方，并且让电源先经过滤波电容再进入芯片电源引脚。

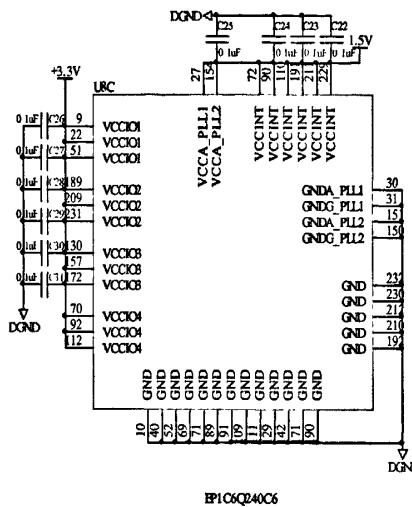


图 4-24 EP1C6Q240 电源退耦原理图

#### 4.5.1.3 EP1C6Q240 主动下载电路设计

EP1C6Q240 的内部逻辑是由内部的 SRAM 电路保持的，掉电以后，SRAM 电路不能保持原有的数据和上次的逻辑，因此，需要使用配置器件在 EP1C6Q240 上电时重新加载内部逻辑电路。EP1C6Q240 型 FPGA 支持主动配置和被动配置两种模式，主动配置模式电路简单，可靠性高。本设计中采用主动配置芯片 EPIC1 加载 EP1C6Q240 型 FPGA 的逻辑电路。EPIC1 型主动配置芯片可提供 4194304 位的存储空间，允许进行 10 万次循环擦写操作，采用 3.3v 电源供电。下载 FPGA 逻辑时，EPIC1 通过 ByteBlaster 通用下载电缆连接到 10 芯下载插座。EPIC1 配置芯片与 EP1C6Q240 型 FPGA 连接的主动配置电路如图 4-25 所示。

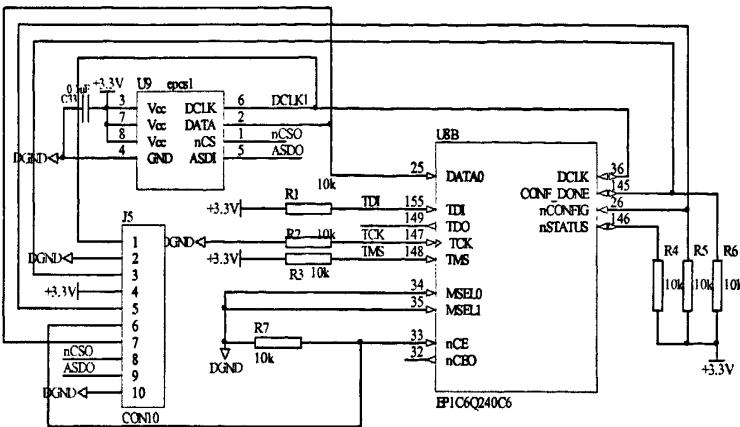


图 4-25 EP1C6Q240 型 FPGA 主动下载电路

## 4.5.2 控制逻辑设计

### 4.5.2.1 顶层模块设计

FPGA 的内部逻辑设计是 FPGA 应用设计的核心。本论文采用原理图的方法设计输入，开发工具采用 Altera 公司的 Quartus II 开发平台。

设计时，采用自顶向底的设计方法，首先是从控制总体功能入手，进行功能需求分析和任务指标的分配，把系统划分成若干基本单元，再把每个基本单元划分成下一级的基本单元，这样一直做下去，直到可以用 Quartus II 元件库的基本元件表示为止。按照这一设计方法，设计 IAB 板顶层模块如图 4-26 所示。

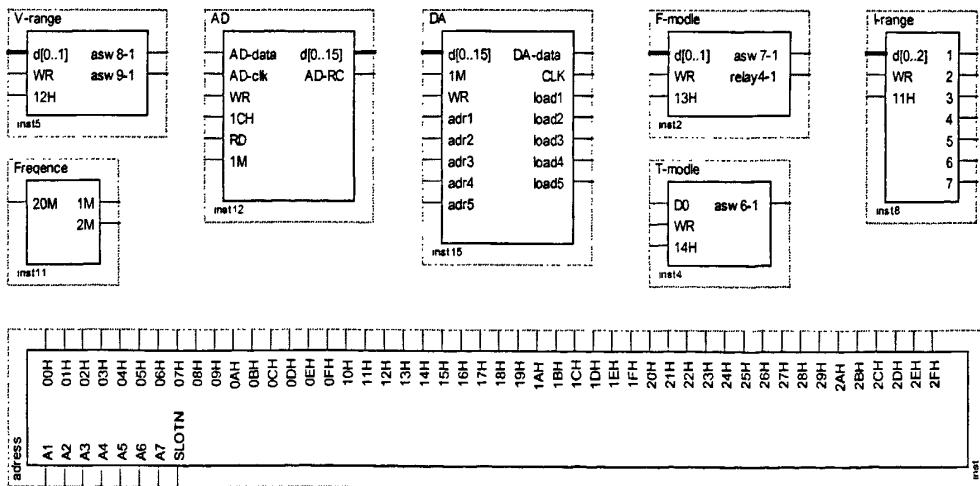


图 4-26 IAB 板顶层模块

由图 4-26 看出，IAB 板的顶层控制模块包括地址译码模块 (address)，分频

模块（Frequency），施加模式控制模块（F-mode），测量模式控制模块（T-mode），电流量程控制模块（I-range），电压量程控制模式（V-range），A/D 采样模块（AD）和 D/A 控制模块（DA）。

#### 4.5.2.2 地址译码模块设计

CEF-100 集成电路系统中，本地总线共 26 位，其中高四位 A25~A22 用于译码产生背板上各插槽的选通信号 slot，该信号作为每个子模块的板选信号（高位地址译码的电路由 PCI 接口板实现），A22~A0 提供给每个模块使用。本文设计的 IAB 模块共需要 48 个端口地址，其中地址 00~0FH 用于模块序列号和生产信息的存储；地址 10~1FH 用于通道一的控制；地址 20~2FH 用于通道二的控制。所以，这里只用低七位地址参与译码就足够了。地址译码逻辑图如图 4-27 所示。

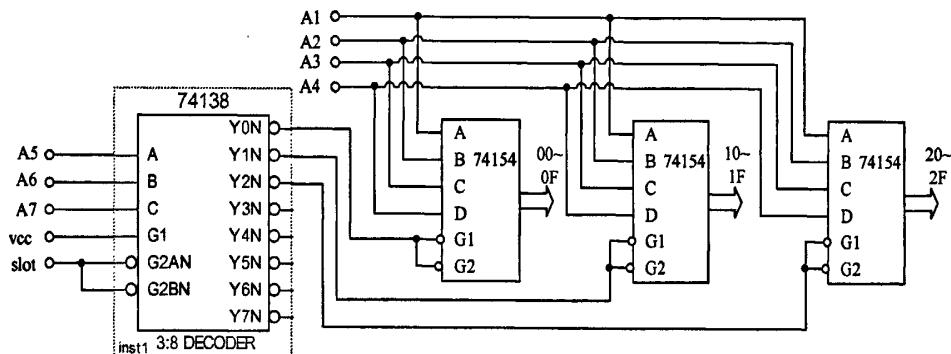


图 4-27 地址译码逻辑

图 4-27 中，地址译码模块由一片 74 LS 138 和三片 74 LS 154 组成两级译码电路。第一级译码电路中，74LS138 对高三位地址（A5~A7）进行译码，74 LS138 的 G1 端直接接高电平，G2A 和 G2B 接 slot 是信号，slot 是 IAB 板的板选信号，由 PCI 接口卡对高位地址（A25~A22）译码产生，低电平有效。当 slot 信号有效，74138 对高三位地址（A5~A7）进行译码，其译码输出 Y0、Y1、Y2 分别作为下一级译码电路 74 LS 154 的片选信号，当 Y0 有效时，第一片 74LS 154 对低四位地址译码，译码地址输出为 00H~0FH；当 Y1 有效时，第二片 74LS 154 对低四位地址译码，译码地址输出为 10H~1FH；当 Y2 有效时，第三片 74LS 154 对低四位地址译码，译码地址输出为 20H~2FH。

#### 4.5.2.3 IO 读写电路的设计

IAB 板的施加模式控制、测量模式控制以及电流（电压）量程控制，都是通过对某一地址发特定数据实现的，可以归为简单的 IO 读写操作。计算机进行 IO 读

写操作时，往往会出现总线速度的差异，这就需要在总线和外部电路之间增加缓冲电路。本文的缓冲电路在 FPGA 内部实现，用锁存器 74HC373 完成。74HC373 是 8 位锁存器，有输入控制和输出使能控制，其真值表<sup>[30]</sup>如表 4-1 所示。

表 4-1 74HC373 真值表

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

根据 74HC373 真值表，设计 IAB 板的 I/O 读写控制逻辑如图 4-28 所示。

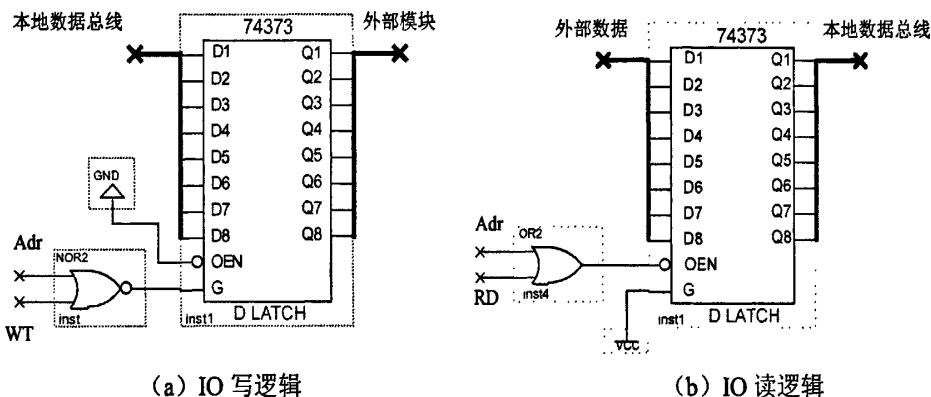


图 4-28 I/O 读写控制逻辑

在 IO 写逻辑中，74HC373 的输出控制端 OEN 常接地，即输出直通，输入控制端 G 由地址信号 Adr 和写信号 WT 或非产生，Adr 和 WT 信号都是低电平有效。当计算机对该地址执行写操作时，Adr 和 WT 信号都为低电平，373 的 G 端为高电平，数据总线上的数据就写入到 373，当写操作结束时，WT 信号首先变成高电平（WT 比 Adr 脉宽小），373 的 G 端就由高电平变成低电平，此刻，数据总线上的数据就锁存在 373 的 D 触发器里面，由于 OEN 端接地，所以，数据直接输出到外设。此后，计算机对其他模块操作时，由于 Adr 和 WT 信号不会同时有效，373 的数据就不会变化，一直保存上次写入的数据。

读逻辑中，373 的 G 端接高电平，让输入直通，即外部数据一有变化，就立刻输入到 373 的 D 触发器。373 的 OEN 端由地址信号 Adr 和读信号 RD 相或产生，当计算机对该地址执行读操作时，Adr 和 RD 信号都是低电平，OEN 端为低电平，输出三态门打开，数据送到到计算机总线。当读操作结束时，RD 信号首先变成高电平，373 的输出三态门关闭，输出三态，这样，计算机在对其他外部模块操作时不会发生总线的冲突。

#### 4.5.2.4 D/A 和 A/D 转换逻辑

D/A 和 A/D 转换逻辑在 3.1 和 3.2 节里面已经介绍，这里不再重复。

### 4.6 小结

本章详细讨论了 IAB 板各部分硬件电路的设计，给出各部分电路的器件型号及原理图，此外，还分析了运放的频率特性及自激振荡的条件，在此基础上，讨论了电流电压施加反馈环路的稳定性，并设计了相位补偿电路，以保证反馈环路的稳定工作。最后，讨论了 FPGA 控制电路的硬件设计和逻辑设计。

## 第五章 驱动程序和调试软件设计

本论文的前面几章详细介绍了 IAB 板的方案原理和硬件电路设计，各部分硬件电路必须在软件的支持下才能正常工作。本章将详细讨论 IAB 板的驱动程序设计和调试应用软件设计。本章所设计的应用软件是用于本模块的功能调试，并非用于集成电路测试，故该调试软件功能比较简单，调试软件的主要完成 IAB 板各种工作模式的功能验证（包括 FVMI、FIMV 等）和精度校准工作。整体软件在层次上分为 I/O 接口层、模块驱动层和用户应用层，如图 5-1 所示。

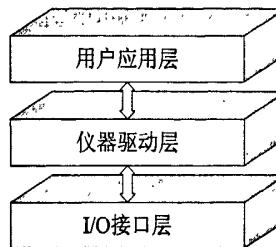


图 5-1 IAB 板软件层次

每个层次的概念和功能如下：

I/O 接口软件是一个底层软件，它位于 IAB 硬件电路与 IAB 板驱动程序之间，完成对硬件电路的寄存器直接存取数据的操作，为硬件设备与驱动程序提供信息传递的纽带。

仪器驱动层完成对 IAB 板的控制与通信，它负责处理与 IAB 板通信和控制的具体过程。仪器驱动程序封装了复杂的硬件编程细节，将底层复杂的硬件操作屏蔽起来，为用户提供简单的函数调用接口，是应用程序实现仪器控制的桥梁。有了仪器驱动程序，用户不用了解仪器具体的硬件接口、通信协议和编程步骤，就可以通过仪器驱动程序来调动和使用仪器的硬件资源，开发应用程序。

应用软件是建立在仪器驱动程序之上的上层软件，这里通过写应用程序来开发人机接口界面，调用 IAB 板的功能函数，完成特定的任务。

对于应用程序来说，它对 IAB 的操作是通过仪器驱动程序实现的，而仪器驱动程序对于底层硬件的操作与管理，又是通过底层 I/O 软件提供的库函数的调用来实现的<sup>[31]</sup>。

## 5.1 I/O 接口层设计

IAB 板是通过 PCI 接口芯片 PCI9030 与计算机进行通信，所以 I/O 接口层驱动程序的设计主要是 PCI9030 驱动程序的设计。为节省开发时间，保证驱动程序的稳定性，本文使用 PLX 公司提供的软件工具开发包 SDK 来实现 PCI9030 的驱动。该软件开发包提供了以下的资源：

API 函数库以及与 Windows NT/98/2K/XP 系统兼容的设备驱动程序。API 函数以动态链接库 DLL 的形式提供。这类函数实际上的执行是在驱动程序中进行的。当系统上层软件调用 API 函数时，动态链接库 DLL 负责同相应的硬件设备驱动进行通信。

PLXMon：由 PLX 公司提供的一个 Windows 图形用户接口的调试应用软件。用户可以通过它来对 PCI 设备进行配置和更改，也可以将本地软件下载到本地的 ROM 或 RAM 中去。同时，用户还可以通过它设置 EEPROM 来实现对 PCI 芯片的配置和调试。

通过调试应用软件 PLXMon 对 PCI 的配置空间进行配置以后，仪器驱动程序就可以直接调用 API 函数库里面的函数，完成 I/O 接口层的驱动。

API 函数库包含很多库函数，本文主要用到以下几个函数：

1、PlxPciDeviceFind (DEVICE\_LOCATION \*pDevice, U32 \*pRequestLimit )

功能：查找 PCI 总线上的 PLX 设备，并得到总线号、插槽号、设备 ID 和序列号等相关信息。

参数： \*pDevice 是一个指针，指向一个名为 DEVICE\_LOCATION 的结构体，里面包含该设备的基本信息。

2、PlxPciDeviceOpen (DEVICE\_LOCATION \*pDevice, HANDLE \*pHandle )

功能：打开一个指定的 PCI 设备。它首先通过 DEVICE\_LOCATION 里面的识别信息（由上一个函数得到）定位 PLX 设备，然后打开该设备并返回一个句柄。

参数： \*pDevice 是一个指针，指向一个名为 DEVICE\_LOCATION 的结构体，里面包含该设备的基本信息； \*pHandle，句柄指针，用于存放返回的句柄变量。

3、PlxPciDeviceClose (HANDLE hDevice);

功能：释放由 PlxPciDeviceOpen () 所打开的 PCI 设备。

4、PlxBusIopRead (

HANDLE hDevice,

IOP\_SPACE IopSpace,

```
    U32 address,  
    BOOLEAN bRemap,  
    VOID *pBuffer,  
    U32 ByteCount,  
    ACCESS_TYPE AccessType  
)
```

功能：通过局部总线从一个 PCI 设备的读取数据。

参数：

hDevice，已打开设备的句柄；

IopSpace，是 PCI 设备的一个入口地址；

address，读数据的地址；

bRemap，当 bRemap 为假时，address 是一个偏移地址，当 bRemap 为真时，address 就是一个绝对地址；

\*pBuffer，指针变量，存放函数读回的数据；

ByteCount，指读取数据的字节数；

AccessType，读取数据的宽度，8 位、16 位或 32 位。

5、PlxBusIopWrite（

```
    HANDLE hDevice,  
    IOP_SPACE IopSpace,  
    U32 address,  
    BOOLEAN bRemap,  
    VOID *pBuffer,  
    U32 ByteCount,  
    ACCESS_TYPE AccessType  
);
```

功能：通过局部总线向一个 PCI 设备的写入数据。

参数：

\*pBuffer，指针变量，指向待写的数据；

## 5.2 仪器驱动层程序设计

仪器驱动层负责处理与 IAB 板通信和控制的具体过程，它是连接上层应用软

件和底层 I/O 接口函数的纽带和桥梁，对上层应用程序来说，它是封装好的函数，只留出需要的接口，供应用程序调用；对于底层硬件的操作与管理，它又是通过底层 I/O 软件提供的库函数的调用来实现的。

本文设计的 IAB 板的仪器驱动程序，就是针对第 2 章介绍的 IAB 板的几种工作模式，为每一种工作模式设计一个驱动函数，再把所有函数封装成动态连接库，留出必要的接口供上层应用程序调用。IAB 板仪器驱动函数的结构如图 5-2 所示。

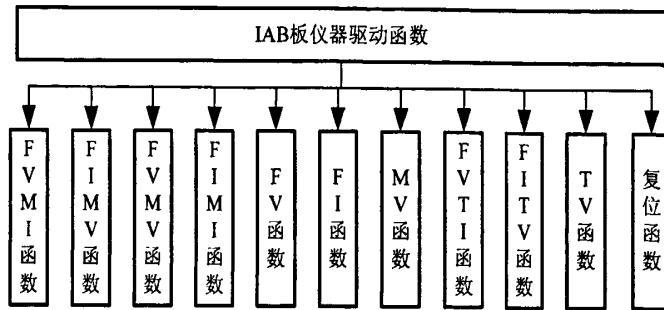


图 5-2 IAB 板仪器驱动函数

图 5-2 所示各功能函数的控制操作流程都类似，这里以 FVMI 为例，介绍驱动程序流程。



图 5-3 FVMI 驱动函数流程

图 5-3 所示的驱动程序是顺序执行的流程，程序流程中有几个地方需要延时，解释如下：

2.5uS 延时。程序进行 I/O 读写时，每执行一次写操作都要延时 2.5us，这是因为计算机 CPU 的指令速度很快，而 PCI9030 的速度相对较慢，PCI9030 完成一次读写操作需要 2.5us 的时间，此处如果不延时，发完一个写命令又接着发下一条写命令，第一次写命令还没执行完，第二条写命令就不能被执行。

施加延时。在设置好电流电压量程和工作模式之后，需要延时一段时间。这是因为 IAB 模块内部的量程和模式切换是由继电器控制，而继电器的动作需要一定时间（本模块选用快速继电器，其接通时间为 3ms），所以必须延时一段时间，等待继电器的响应。

测量延时。测量延时主要是考虑施加信号的建立时间和测试信号的稳定时间。当施加电压值的写入 D/A 转换器之后，要经过 D/A 转换、控制放大器和功率放大器之后才输出到被测芯片的引脚，施加信号的建立需要一定时间，此外，施加信号加到被测器件引脚上以后，被测器件还有一个输出响应时间，必须等被测器件响应稳定之后才能进行 A/D 采样。所以，此处需要测量延时。

FVMI 函数原型及参数介绍如下：

```
Void IAB_FVMI (HANDLE hDevice, IOP_SPACE IopSpace, int *pinName,
double voltage, double vPreset, int vRange, int iRange, double iClamp, double
forceDelay, bool IABToDutRlyOn, double mearsdelay, double *pValue).
```

功能：施加电压测试电流。

入口参数：

**hDevice:** PCI 设备的句柄；

**IopSpace:** PCI 到本地空间的通道，由 PCI 芯片类型决定；

**pinName:** 通道号；

**Voltage:** 施加电压值；

**vPreset:** 预设值；

**vRange:** 电压量程；

**iRange:** 电流量程；

**iClamp:** 锯齿电流值；

**forceDelay:** 施加延时；

**DABToDutRlyOn:** 继电器开关。0-接通，1-断开；

**Mearsdelay:** 测量延时；

出口参数： pValue， 测量值。

### 5.3 应用层软件设计

本论文设计的应用层软件主要用于模块自身的调试，验证模块的各个功能是否正确，精度是否满足要求。所以本应用软件比较简单，只需要设计一个人机界面，通过界面将仪器驱动函数所需的参数传递给程序，然后就直接调用仪器驱动函数，完成相应的功能，最后把测试结果显示在界面上。本软件在 VC6.0 环境下，用 C++语言编写，软件流程如图 5-4 所示。

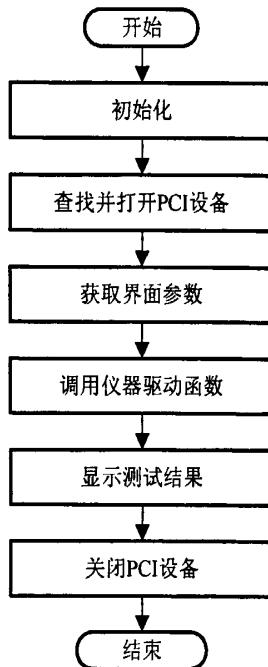


图 5-4 IAB 调试软件流程

调试软件界面如图 5-5。通过该调试界面，用户可以选择工作模式、施加电压值、电压电流量程、钳位电流值、施加和测量延时及滤波器参数，然后点击“确定”按钮，就可以直接调用仪器驱动函数，完成测试功能，并显示测试结果。

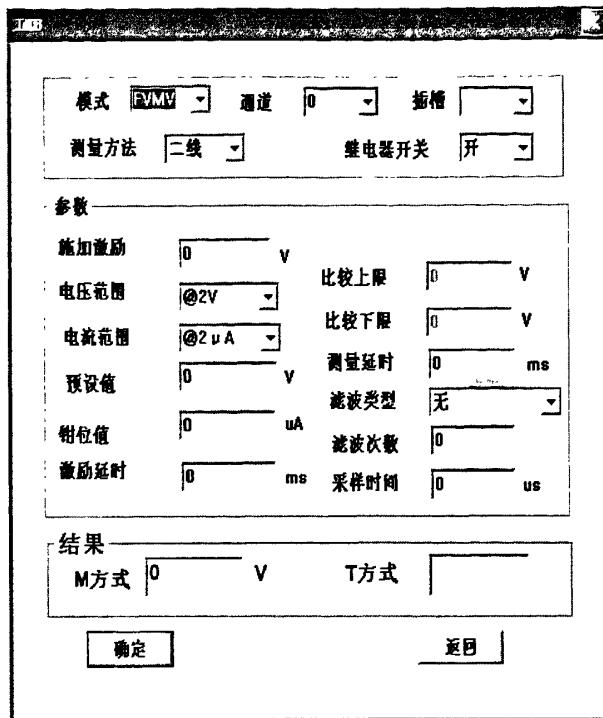


图 5-5 IAB 板调试软件界面

## 5.4 小结

本章设计了 IAB 板的驱动程序和调试软件。驱动程序基于 PCI9030 的 SDK 软件开发包提供的 API 函数库，直接调用 API 函数里面的本地总线读写函数，实现对硬件的操作。驱动程序包含了 IAB 板的所有施加和测试功能，每个功能封装成一个函数，整个驱动程序封装成一个动态链接库，供上层用户程序调用。用户程序主要设计调试的人机界面，用来传递驱动程序所需要的参数，然后直接调用驱动函数，实现 IAB 板的各种施加测试功能。

## 第六章 系统调试、误差分析及校准

前几章介绍了 IAB 模块的硬件设计和软件设计，本章将着重介绍 IAB 模块的调试方法、调试结果、误差分析及校准措施。

### 6.1 IAB 模块的调试平台及调试方法

#### 6.1.1 调试平台的搭建

IAB 板调试硬件平台如图 6-1 所示。硬件连接上，IAB 板通过 PCI 接口板连接到计算机，PCI 接口板把 PCI 总线转换成本地总线，完成计算机和 IAB 板的通信。IAB 板工作需要四组电源，分别是数字 5v、数字 3.3v、模拟 5v 和模拟 24v，分别由三台电源提供。IAB 板的输出结果用数字示波器和高精度数字电压表测试。

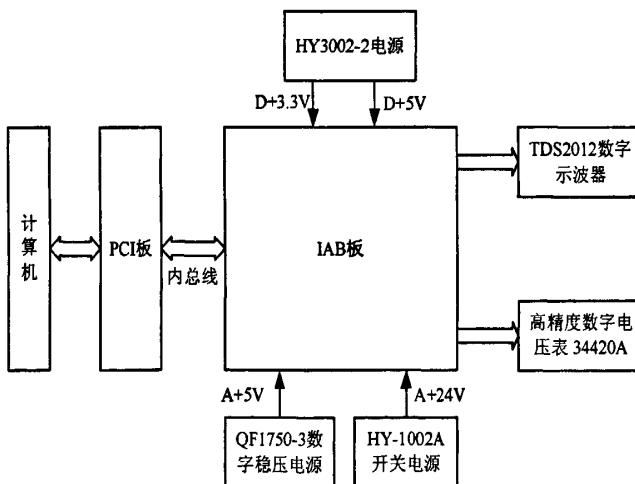


图 6-1 IAB 板调试硬件平台

软件上，采用第五章设计的调试软件，其调试界面如图 5-5 所示。

#### 6.1.2 调试方法介绍

对 IAB 板的调试，应该包括图 5-2 所示的所有驱动函数的调试，而这些驱动函数都是由最基本的四个函数组合而成，即 FV、MV、FI、MI。所以，这里主要介绍两个功能函数的调试方法：FVMI 和 FIMV。

### 6.1.2.1 FVMI（加压测流）调试

FVMI 是施加电压测试电流的工作模式，该模式下具有电流钳位功能。调试时，在 IAB 模块的输出端和地之间接入一个负载电阻，然后用示波器或高精度数字电压表测试负载电阻上的电压。FVMI 函数可以得到施加电压和测试电流的精度。具体调试方法如下：

首先在图 5-5 所示的调试界面里面选择工作模式为 FVMI，然后选择好通道号、插槽号、施加电压值、电压量程、电流量程、预设电压值、电流钳位值、施加延时、测量延时、和滤波器的参数，然后点击界面“确定”按钮，软件自动完成测试功能，测试电流值显示在界面上。

施加电压的理论值由界面给定，实际值由高精度数字电压表测试负载电阻上的电压得到，比较两个值的差异，可以得到施加电压的精度；测试电流的理论大小通过高精度数字电压表测试负载电阻上的电压，然后除上负载电阻求得，电流实际测试值由界面测试结果显示，比较两个电流值的差异，可以得到电流测试的精度。

当施加电压除上负载电阻的值小于界面上设定的电流钳位值时，电流钳位功能不工作，输出电压大小等于施加电压的大小；当负载电阻过小而导致施加电压除上负载电阻的值大于界面设定的电流钳位值时，电流钳位电路工作，输出电流被钳位在界面设定的电流值上，输出电压的值就不是界面设定的施加电压值，而应该是负载电阻乘以钳位电流的值。

### 6.1.2.2 FIMV（加流测压）调试

FIMV 是施加电流测试电压的工作模式，该模式下具有电压钳位功能。调试时，在 IAB 模块的输出端和地之间接入一个负载电阻，然后用示波器或高精度数字电压表测试负载电阻上的电压。FIMV 函数可以得到施加流和测试电压的精度。具体调试方法如下：

首先在图 5-5 所示的调试界面里面选择工作模式为 FIMV，然后选择需要的参数，然后点击界面“确定”按钮，软件自动完成测试功能，测试电压值会显示在界面上。

施加电流的理论值由界面给定，实际值由高精度数字电压表测试负载电阻上的电压，然后除上负载电阻求得，比较两个电流值的差异，可以得到施加电流的精度；测试电压的理论大小通过高精度数字电压表测试负载电阻上的电压得到，电压实际测试值由界面测试结果显示，比较两个电压值的差异，可以得到电压测

试的精度。

当负载电阻乘以施加电流的值小于界面上设定的电压钳位值时，电压钳位功能不工作，输出电流大小等于施加电流的大小；当负载电阻过大而导致负载电阻乘以施加电流的值大于界面设定的电压钳位值时，钳位电路工作，输出电压被钳位在界面设定的电压值上，输出电流的值就不是界面设定的施加电流值，而应该是钳位电压除以负载电阻的值。

## 6.2 测试结果及静态误差分析

按照上一节介绍的调试方法，对 IAB 板的每一个功能函数的每一个量程进行了测试。这里介绍 FVMV 功能土8v 量程的测试结果，在-8v 到+8v 的量程范围内，大约等间隔的取 10 个点作为测试点，分别记录每个测试点上的理论施加电压和实际测试电压，并计算其误差，结果如表 6-1 和表 6-2 所示。

表 6-1 FV 测试数据及误差

FV 理论值 (V)	FV 实测值 (V)	FV 绝对误差(V)	FV 相对误差(%)
-7.9500	-8.0272	-0.0772	-0.4825
-6.0000	-6.0606	-0.0606	-0.3788
-4.0000	-4.0442	-0.0442	-0.2762
-2.0000	-2.0285	-0.0285	-0.1781
-1.0000	-1.0206	-0.0206	-0.1288
1.0000	0.9952	-0.0049	-0.0306
2.0000	2.0030	0.0030	0.0188
4.0000	4.0188	0.0188	0.1175
6.0000	6.0346	0.0346	0.2162
7.9500	8.0006	0.0506	0.3162

表 6-2 MV 测试数据及误差

MV 理论值 (V)	MV 实测值 (V)	MV 绝对误差(V)	MV 相对误差(%)
-8.0272	-8.0240	0.0032	0.0200
-6.0606	-6.0601	0.0005	0.0031
-4.0442	-4.0454	-0.0011	-0.0068

-2.0285	-2.0290	-0.0005	-0.0031
-1.0206	-1.0207	-0.0001	-0.0006
0.9952	0.9944	-0.0008	-0.0050
2.0030	2.0036	0.0006	0.0038
4.0188	4.0180	-0.0008	-0.0050
6.0346	6.0394	0.0048	0.0300
8.0006	8.0008	0.0002	0.0012

表 6-1 中 FV 实测值就是表 6-2 中 MV 的理论值。其中电压施加的最大相对误差为-0.48%，大于设计指标（0.1%）。下面分析误差来源。

从 IAB 板的原理框图（图 2-2）可以看出，施加电压（FV）的误差主要有以下几个来源：D/A 转换误差、电压检测放大器的增益误差和电流/电压选择开关的压降误差。

D/A 转换器的误差首先表现为 D/A 转换器本身的精度误差，这个值较小，小于 1LSB (1/65536)。同时，本文的 D/A 转换器是电流输出型，后续用两个放大器将 D/A 的电流输出转换成双极性电压输出，这一过程中，运放的精度和反馈电阻的精度都会影响电流向电压的转换精度。

电压检测放大器的误差也是由本身的增益误差和反馈电阻的误差构成。电压检测放大器本身的增益误差为 0.1%。其增益计算公式为： $G = 1 + \frac{40K}{R_G}$ ， $R_G$  为反馈电阻， $R_G$  的精度将影响电压检测放大器的精度。

图 2-2 中，电压检测放大器的输出电压经过电流/电压选择开关再反馈到输入端，由于模拟开关导通时有一定电阻，大约为 100 欧姆左右，这就造成一定的电压降，从而导致一定误差。

电压测量的误差主要来自于电压检测放大器的增益误差、电流/电压选择开关的压降误差和 A/D 转换误差。

### 6.3 静态误差校准

上一节分析已经指出，施加电压（FV）的最大相对误差为 0.4%，超过了设计的最大指标，必须采取措施，对系统误差进行补偿。观察表 6-1 中的数据，测试数据和理论数据近似的成线性关系，所以本论文采用一元线性回归的方法进行直线

拟合，得到补偿系数。

一元线性回归又称直线拟合，基本思路是：设两个变量之间（理论值和测试值）的关系为线性关系，可以用一个直线方程  $y = ax + b$  来描述，通过一系列的测试数据  $x_1, x_2, x_3, \dots; y_1, y_2, y_3, \dots$  可以确定系数  $a$  和  $b$  的值。常用的拟合方法有端点法、平均选点法和最小二乘法<sup>[32]</sup>。最小二乘法拟合精度最高，本文采用最小二乘法。

最小二乘法的原理是在残差平方和最小的条件下求出最近拟合系数。令测试数据中任何一个数据  $y_i$  与拟合直线  $y = ax + b$  上对应的理想值  $y'_i$  的差为：

$$v_i = y_i - y'_i \quad (i=1, 2, \dots, n \text{ 为测量点数}) \quad (6-1)$$

根据最小二乘法理论，拟合直线应该使残差最小。这里用  $s_i$  表示残差，则有：

$$s_i = \sum_{i=1}^n v_i^2 = \sum_{i=1}^n [y_i - (ax_i + b)]^2 \quad (6-2)$$

分别求  $s_i$  对  $a$  和  $b$  的偏导数，并令其为零，就可以求出  $a$  和  $b$  的值。即：

$$\begin{cases} \frac{\partial s_i}{\partial a} = \sum_{i=1}^n -2x_i[y_i - ax_i - b] = 0 \\ \frac{\partial s_i}{\partial b} = \sum_{i=1}^n -2[y_i - ax_i - b] = 0 \end{cases} \quad (6-3)$$

解方程组得到  $a$  和  $b$  的值：

$$a = \frac{\sum_{i=1}^n x_i \sum_{i=1}^n y_i - n \sum_{i=1}^n x_i y_i}{(\sum_{i=1}^n x_i)^2 - n \sum_{i=1}^n x_i^2} \quad (6-4)$$

$$b = \frac{\sum_{i=1}^n x_i \sum_{i=1}^n y_i - \sum_{i=1}^n y_i \sum_{i=1}^n x_i}{(\sum_{i=1}^n x_i)^2 - n \sum_{i=1}^n x_i^2} \quad (6-5)$$

式 6-4 和 6-5 是计算拟合系统  $a$  和  $b$  的公式，计算比较复杂，本文设计专用软件用于计算校准系数  $a$  和  $b$ ，软件界面如图 6-2。图 6-2 所示软件不仅能够计算拟合系数，还能够计算拟合精度，界面下面最小误差、最大误差和均方差就是反应的拟合精度。

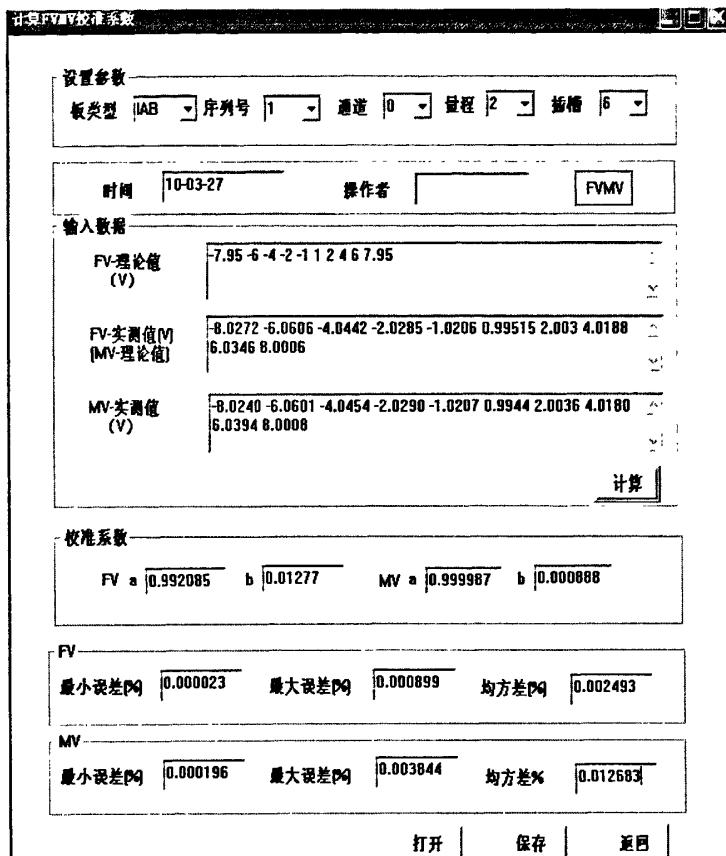


图 6-2 最小二乘法校准系数计算界面

通过最小二乘法得到拟合系数  $a$  和  $b$  以后，需要在 IAB 的驱动函数里面对施加值进行修正，比如要施加  $6v$  的电压，那么传递给 D/A 的值就修正为  $a \times 6 + b$ ，然后传给 D/A，进行 D/A 转换，再经放大器输出。修正后重新测试结果如表 6-3 和 6-4。

表 6-3 修正后 FV 测试结果及误差

FV 理论值 (V)	FV 实测值 (V)	FV 绝对误差(V)	FV 相对误差(%)
-7.9500	-7.9505	-0.0005	-0.0031
-6.0000	-5.9999	0.0001	0.0006
-4.0000	-3.9996	0.0004	0.0025
-2.0000	-1.9997	0.0003	0.0019
-1.0000	-0.9996	0.0004	0.0023
1.0000	1.0001	0.0001	0.0007
2.0000	2.0000	0.0000	0.0000

4.0000	4.0000	0.0000	0.0000
6.0000	6.0000	0.0000	0.0000
7.9500	7.9502	0.0002	0.0013

表 6-4 修正后 MV 测试结果及误差

MV 理论值 (V)	MV 实测值 (V)	MV 绝对误差(V)	MV 相对误差(%)
-7.9505	-7.9503	0.0002	0.0013
-5.9999	-6.0001	-0.0002	-0.0015
-3.9996	-4.0004	-0.0008	-0.0049
-1.9997	-2.0001	-0.0003	-0.0022
-0.9996	-1.0000	-0.0004	-0.0024
1.0001	1.0008	0.0007	0.0045
2.0000	1.9997	-0.0003	-0.0018
4.0000	4.0006	0.0005	0.0003
6.0000	5.9987	-0.0013	-0.0084
7.9502	7.9501	-0.0001	-0.0009

从表 6-3 和 6-4 的数据可以看出，经过最小二乘法修正以后，电压施加相对误差最大为-0.0031%，电压测量误差最大为-0.0084%，远小于设计要求的±0.1%。

用同样的方法对 IAB 板的其他功能函数(FVMI、FIMV 等)进行校准，校准后电压施加精度、电压测试精度、电流施加精度和电流测试精度都能满足设计要求，如表 6-5 所示。

表 6-5 IAB 板校准后精度

	施加电压 (FV)	测试电压 (MV)		施加电流 (FI)	测试电流 (MI)
电压量程	最大误差	最大误差	电流量程	最大误差	最大误差
±2V	≤0.1%	≤0.1%	±2uA	≤0.2%	≤0.2%
±4V	≤0.1%	≤0.1%	±20uA	≤0.2%	≤0.2%
±8V	≤0.1%	≤0.1%	±200uA	≤0.2%	≤0.2%
±16V	≤0.1%	≤0.1%	±2mA	≤0.2%	≤0.2%
			±20mA	≤0.2%	≤0.2%
			±200mA	≤0.2%	≤0.2%
			±400mA	≤0.2%	≤0.2%

## 6.4 动态性能分析

本论文设计的 IAB 模块是用于 CEF-100 集成电路测试仪，该测试仪是用于集成电路的测试生产流水线，与集成电路的分选设备配合使用，自动完成芯片的测试分选工作。因此，设计时，除了考虑静态测试精度以外，测试速度也是一个很重要的指标，这直接影响测试生产效率。

影响 IAB 板测试速度的因素主要有以下几个：继电器切换时间、D/A 转换时间、施加环路建立时间、被测信号稳定时间和 A/D 采样及滤波时间。D/A 转换时间为  $20\mu\text{s}$  左右，可以忽略；施加环路建立时间也是微妙级，可以忽略；继电器切换时间为  $3\text{ms}$ ，考虑一定裕量，驱动程序里面设为  $5\text{ms}$ （即时间延时）；被测信号稳定时间随信号大小变化，到最大值（ $16\text{v}$  时）约为  $10\text{ms}$ ；A/D 采样及滤波时间主要取决于滤波次数，滤波次数越大则测试精度越高但需要时间越长，反之，滤波次数越少需要时间越短但测试精度也就越低。

IAB 板完成一次测试的时间就是以上几段时间之和，大约为  $20\text{ms}$  左右。

## 6.5 小结

本章主要介绍 IAB 板的调试。首先介绍了调试的软硬件平台和调试方法，然后给出调试数据，并对调试数据进行误差分析。经分析，调试数据不能满足设计精度要求，因此，采用最小二乘法对测试数据进行一元线性回归分析，得到拟合系数，并用该系数对驱动函数进行修正。修正后重新测试数据，满足设计精度要求。

## 结论与展望

本文基于 PCI 总线，设计一个用于模拟集成电路测试的，在计算机控制下能够自动完成施加和测试功能的恒流恒压模块。该模块可以实现浮地测量，具有窗口比较和电压电流钳位功能，两个独立通道，能提供和测量最大±16V 的电压和±400mA 的电流，电压施加和测试精度达到 0.1%，电流施加和测试精度达到 0.2%。

本文第一章首先讨论了集成电路及其测试技术的现状和发展趋势，并介绍了直流测试的概念和方法。因为本文设计的 IAB 模块是 CEF-100 集成电路测试仪的一个子模块，所以在接下来的第二章里面介绍了 CEF-100 集成电路测试仪的基本组成，以及 IAB 模块在整个测试仪中的作用和功能指标需求，在此基础上，提出了 IAB 模块的设计方案，并论证了方案的可行性。第三章研究了浮地测量技术的基本原理及实现。后续章节里面详细介绍了 IAB 模块的硬件电路设计、控制电路设计、软件设计及系统调试结果，并对测试结果进行误差分析和校准，使施加和测试精度都达到设计指标要求。

对恒流恒压模块的后续研究而言，在控制电路方面可以考虑利用嵌入式处理器，利用嵌入式处理器的强大功能，将测试程序直接下载到嵌入式系统，由嵌入式处理器完成测试任务，这样可以减少上位机 CPU 的工作负担，提高测试速度。在总线接口方面，可以考虑选用目前比较流行的 USB 接口，USB 接口所需接口总线少，总线连接可靠，传输速度也能满足测试需求。在测试时间上，可以选择速度更快的继电器，以减少测试等待时间，提高测试速度。对于精度校准的设计，可以采用 GPIB 总线，用程控数字电压表自动测试数据，并通过 GPIB 总线将数据传回计算机，计算机计算处理后自动完成校准工作。

## 致谢

时光如梭，研究生生活即将结束。三年中忙碌而充实，顺利的完成了论文和学业，这完全得益于导师詹惠琴教授耐心细致的指导和帮助，在此，我对导师詹惠琴教授表示最由衷的感谢和最诚挚的敬意！詹惠琴教授渊博的知识、严谨的科研作风、勤恳的工作态度以及为科学无私奉献的精神都深深的影响着我，并将在今后的人生道路上给予我鼓励和鞭策！

同时，论文的方案设计、原理论证及硬件调试过程中，有幸得到了古天祥老教授的耐心指导和帮助，在此对古天祥教授表示真心的感谢！古天祥教授对待科研一丝不苟，是我们年轻科技工作者一生学习的榜样和楷模！

此外，还要感谢古军副教授对我的指导和帮助。感谢团队所有同学的关心和帮助，感谢大家让我度过了愉快充实的三年！

## 参考文献

- [1] 高成,张栋,王香芬.最新集成电路测试技术.北京:国防工业出版社,2009,1-10
- [2] 季常姗, 王斌. 基于集成电路测试系统的大功率资源板设计. 电子测试, 2010, 1 (1) , 44-47
- [3] 韩团军. 半导体大规模集成电路的测试原理及方法. 高校理科研究, 2008, 27, 77-79, 3-15
- [4] 姜岳臣. 集成电路自动测试方法和可测性设计研究: [硕士学位论文] . 天津:天津大学, 2006, 1-10
- [5] 于静. 系统芯片 SOC 测试数据压缩方法研究: [硕士学位论文] . 安徽:合肥工业大学, 2006, 1-22
- [6] 愈忠钰. 我国集成电路产业发展现状和展望. 微细加工技术, 1998, 1, 1-6
- [7] 时万春. 集成电路测试技术的新进展. 电子测量与仪器学报, 2007, 21 (4) , 1-4
- [8] 马秀云. 新型超大规模集成电路 (VLST) 直流参数自动测试系统: [硕士学位论文] . 北京: 北京工业大学, 2005, 2-3
- [9] 严顺炳, 李儒章. 二十四所集成电路设计/测试技术发展历程与展望. 微电子学, 2008, 38(1), 13-16
- [10] 蔡微微. 大规模集成电路生产中开短路测试分拣设备的研究: [硕士学位论文] . 上海:复旦大学, 2008, 5-9
- [11] 俞建峰, 陈翔, 杨雪瑛. 我国集成电路测试技术现状及发展策略. 中国测试, 2009, 35 (3) , 1-5
- [12] 王鑫. 中小规模集成电路自动测试系统的研究与设计: [ 硕士学位论文] . 湖南:湖南大学, 2009, 32-56
- [13] 韩兵兵, 黎福海. 集成电路自动测试设备大功率电压与电流源的设计与实现. 计算机测量与控制, 2009, 17(4), 661-663
- [14] 王媛媛, 许琼. 集成电路电磁兼容测试技术概述. 信息科学, 2008, 19, 34-65
- [15] 马玲. 集成运放直流参数测试系统的优化设计与实现. 皖西学院学报, 2003, 19(5), 117-123
- [16] 胡伟聪. 基于嵌入式系统和可编程 ASIC 的超大规模集成电路高温动态老化测试系统的研制: [硕士学位论文] . 成都:电子科技大学, 2006, 25-36
- [17] 董玉林, 王晓明, 刘瑶等. 开关电源纹波和噪声的抑制. 辽宁工业大学学报 (自然科学版) , 2008,28 (5) , 302-304

## 参考文献

---

- [18] 邵晖, 苏嵘. 光电隔离器 6N137 的特性和应用. 电子技术, 1996, 2, 38-39
- [19] 陈馨, 张聪, 黄志斌. 基于载波原理的隔离放大器的设计. 电子测量技术, 2009, 32 (2), 43-45
- [20] 谭勘. 电源纹波抑制器的原理与设计. 磁性材料及器件, 2009, 40 (5), 47-54
- [21] Small Outline, 5 Lead, HighCMR, High Speed, Logic Gate Optocouplers . HCPL-M600 Datasheet
- [22] Octal High Voltage, High Current Darlington Transistor Arrays. ULN2803 Datasheet
- [23] LTC 1595 /LTC1596/LTC1596-1 Serial 16-Bit Multiplying DACs. LTC1595 Datasheet
- [24] 16-Bit 10ms Serial CMOS Sampling ANALOG-to-DIGITAL CONVERTER. ADS7809 Datasheet
- [25] High Accuracy INSTRUMENTATION AMPLIFIER. INA101 Datasheet
- [26] 刘光祜, 饶妮妮. 模拟电路基础. 成都:电子科技大学出版社, 2001, 164-231
- [27] 孔凡才. 自动控制系统及应用. 北京:机械工业出版社, 1994, 150-164, 225-227
- [28] 胡寿松. 自动控制原理. 北京:科学出版社, 2001, 193-203
- [29] EP1C6Q240 Datasheet
- [30] TRI-STATE® Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops. 74LS373 Datasheet
- [31] 詹惠琴, 古军, 袁亮. 虚拟仪器设计. 北京:高等教育出版社, 2008, 16-18
- [32] 古天祥, 王厚军, 习友宝等. 电子测量原理. 北京:机械工业出版社, 2004, 138-142

## 攻硕期间取得的研究成果

- [1] 徐林, 詹惠琴. LabWindows/CVI 和 VC 的有效接口——动态链接库. 《电子科技大学电子科学技术研究院第四届学术会议论文集》. 成都: 电子科大出版社, 2008 年 12 月