

# 摘 要



本文首先介绍了频率源与振荡器的概况及国内外发展现状,并对介质振荡器(DRO)和锁相环(PLL)的工作原理和基本结构进行了理论分析,讨论了主要参数及电路形式等。分别设计了 8.75GHz 共漏结构的介质振荡器和 8.8GHz 共源结构的介质振荡器。针对无源部分的腔体尺寸和有源部分的电路结构,使用 HFSS 和 ADS 两种仿真软件进行仿真优化,确定各电路参数后进行实物制作与调试,并将结果进行对比分析。

又基于 ADF4106 集成锁相芯片设计制作了锁相环电路,对电路各部分的设计方法进行了详细介绍,并将介质振荡器,耦合器,隔离器,参考源等与锁相环电路全部集成在一个屏蔽盒内。对 PDRO 整体电路进行了测试,测得 PDRO 的性能指标如下:输出功率为 8.1 dBm,相位噪声为-94dBc/Hz@10kHz, -98dBc/Hz@100kHz, -113dBc/Hz@1MHz。最后,针对测试结果,指出了设计的一些不足之处以及改进方案。

**关键词:** 介质谐振器, 锁相环, 锁相介质振荡器, 相位噪声

## Abstract

Firstly, the paper describes the oscillator and frequency source with an overview, then introduces the basic theory of the DRO (dielectric resonator oscillator) and PLL (phase locked loop), and discusses the main parameters and circuit form and so on. We had designed two kinds of DRO, one is a common-source structure DRO working at 8.75GHz, the other is a common-drain structure DRO working at about 8.8GHz. Using HFSS and ADS to simulate the cavity size of passive part and the circuit structure of active part, then test the two DRO respectively, and analysis the test results.

After completing the design of DRO, a 8.8GHz PLL was designed based on ADF4106, and the design method of the parts are described in detail. Finally, the DRO, couplers, isolators, reference sources and PLL circuit are integrated in a shielding box. Then, test the whole circuit of PDRO, the test results are as follows: output power: 8.1 dBm, phase noise: -94dBc/Hz@10kHz, -98dBc/Hz@100kHz, -113dBc/Hz@1MHz. Finally, analysis and summarizes the test results of PDRO, and pointed out some inadequacies of the design and give some improved suggestions.

**Key words:** dielectric resonator, phase locked loop, phase locked dielectric resonator oscillator, phase noise

# 1 绪论

## 1.1 频率源概述

频率源是电子系统的核心部件,因此在整个系统中至关重要,对系统的性能指标影响很大。现代通讯技术飞速发展,对频率源的性能要求也逐步提高:一方面,要求频率源体积小,成本低,且工作频率向高端扩展,另一方面,要求相位噪声低,温度稳定性好,可靠性高。

基本的频率合成技术主要有三种:直接频率合成(DS)、间接频率合成(IDS)、直接数字频率合成(DDS)<sup>[1]</sup>。直接频率合成技术是通过分频、混频、倍频和滤波等方式,将参考信号转换成所需要的输出频率,但因其体积大,结构复杂,成本高等缺陷,应用范围已经变窄。间接频率合成技术即通常所说的锁相环技术,是通过鉴相实现相位反馈控制从而实现频率跟踪的闭环系统,按电路形式可分为模拟和数字两种电路。模拟锁相环路附加的相噪很低,但电路复杂,调试难度大,较为典型的是脉冲取样锁相环路。数字锁相环路器件因半导体技术的成熟而性能大幅提高,得到了广泛的应用。直接数字频率合成技术是基于采样定理,对参考信号进行抽样、寄存、寻址以及 AD 转换,但其全数字的结构使得杂散电平高,因此抑制杂散成了研究 DDS 的重点。

本文旨在研究低相噪的频率源,因此杂散过高的直接数字频率合成并不合适,由锁相环构成的间接式频率合成器,其性能接近于直接频率合成,而且体积小,成本低,调试方便,因此本课题的频率源选用锁相环路技术。

锁相环技术起始于 20 世纪 30 年代,最早是应用在电视机的同步电路中,后来随着通信技术和电子技术的发展,锁相环电路因其能够高效率的完成信号的提取、跟踪、同步、频率的合成、调制和解调、去除噪声等功能,已成为各类电子系统中常用的基本部件之一<sup>[2]</sup>。

目前,市场上已经出现很多种集成锁相环芯片,国外的技术水平较高,很多集成锁相环产品性能非常好,典型的有美国 PEREGRINE 公司的集成锁相环芯片 PE83336。40mW 的功耗,静电安全电压 1000V,相位噪声 $\leq -80\text{dBc/Hz}@100\text{Hz}$ , $\leq -87\text{dBc/Hz}@1\text{kHz}$  [3]。AD 公司的 ADF4000 系列,针对不同的需求有不同的射频输出频率上限,归一化相位噪声为 $-219\text{dBc/Hz}$ 。而 Hittite 公司 2011 年 7 月份最新推出的一款高精度宽带锁相环芯片 HMC830LP6GE 性能更是优越,归一化相位噪声仅为 $-227\text{dBc/Hz}$ ,工作频率为 25MHz~3000MHz,而且该芯片集成了 VCO, PFD, 及分频器,放大器,因此使用者只需要设计简单的无源环路滤波器就可以了。国内的锁相环产品性能相比国外而言稍差一些,种类少些,但是也在不断进步。比如,深圳国民技术公司生产的 Zi050 模拟锁相环

芯片，集成了鉴相器、环路滤波、输入信号丢失报警、压控晶体振荡器（VCXO）和可编程 2n 分频电路功能模块，其突出优点是集成了带石英稳定的 VCXO，具有很好的稳定性和良好的抖动性能。

1.2 振荡器概述

振荡器是一种能量转换装置，可以输出交流信号，也是频率源的核心部件。振荡电路一般是使有源器件处于不稳定的工作状态，引起自激振荡，从而输出一定频率的交流信号。有些振荡器会通过谐振网络来控制输出频率，如果输出的频率是随着外加电压的改变而改变的，这种振荡器就称为压控振荡器（VCO）。常用的振荡器包括：LC 振荡器、晶体振荡器、YIG 振荡器、腔体振荡器、介质振荡器（DRO）等<sup>[4]</sup>。这些振荡器的工作频率、调谐带宽、Q 值、相噪特性等均不同。

表 1.1 常用振荡器参数

指标	晶体振荡器	介质振荡器	LC 振荡器	腔体振荡器	YIG 振荡器
应用频率	≤1GHz	≥几百 MHz	≤1GHz	≥几百 MHz	≥1GHz
调谐带宽	窄	窄	宽	较窄	宽
品质因数	高	高	低	低	高
相位噪声	好	较好	差	一般	较好

晶体振荡器的品质因数很高，因而具有良好的相位噪声性能，并且有体积小的特性，但是因为不能做到很高的频率，因此大多数作为频率参考源使用。LC 振荡器具有较宽的调谐带宽，适用于频谱纯度要求不高的电路。腔体振荡器的 Q 值可以上万，但较难与平面电路集成，并且金属腔体受温度的影响很大。

介质谐振器（DR）克服了上述大部分缺点，它的无载品质因数可以上万，介电常数约为 20 至 100。介质块多为陶瓷材料制作，受温度的影响很小，并且容易与微带电路集成，将有源电路与介质谐振器结合，就能得到高 Q 值的介质振荡器。DRO 产生的振荡频率可达几十 GHz，并且稳定性高，可靠性高，相位噪声低，体积小，成本低，寿命长<sup>[6]</sup>，这些优点使得 DRO 得到了更为广泛的应用。

新材料的发展推动着介质振荡器性能的提高，如美国 Trans-Tec 公司的一款微波介质陶瓷的 Q 值大于 50000@2GHz。国内现在也致力于锁相介质振荡器的研究，并且有了一定的成果，中电 13 所的宋红江、尹哲制作的输出频率 17GHz 的锁相介质振荡器<sup>[7]</sup>，相噪为-103dBc/Hz@1kHz，-107dBc/Hz@10kHz，-110dBc/Hz@100kHz，在国内属于领先水平。近几年，国内的 PDRO 产品也逐步系列化，能满足不同频率范围的需求，如成都西科微波公司的锁相介质振荡器系列产品，频率范围为 7~14GHz，当采用 100MHz 的输入参考信号频率时，相位噪声≤-105dBc/Hz@10kHz，≤-110dBc/Hz@100kHz，杂散抑

制 $\leq -65$  dBc。

国外的介质振荡器技术比较成熟，性能也相对较好，例如 Herley 公司的 PDRO 系列产品，频率范围从 3 GHz 到 45GHz，参考频率从 1MHz 到 300MHz，工作温度 $-55^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ，输出频率为 14GHz 时相位噪声 $\leq -113\text{dBc/Hz}@10\text{kHz}$ ， $\leq -116\text{dBc/Hz}@100\text{kHz}$ ，输出频率为 5GHz 时相位噪声 $\leq -116\text{dBc/Hz}@1\text{kHz}$ ， $\leq -126\text{dBc/Hz}@10\text{kHz}$ ， $\leq -126\text{dBc/Hz}@100\text{kHz}$ <sup>[8]</sup>。

### 1.3 论文的主要研究工作

本论文对介质振荡器和锁相环技术进行了基础理论分析，对各部分的电路结构和主要参数进行了详细的阐述，针对对关键的问题给出了解决方案。根据需求，分别设计了工作于 X 波段的共源和共漏两种结构的介质振荡器，通过 HFSS 和 ADS 两种仿真软件进行仿真优化，确定各电路参数后进行制作与调试，并将结果进行对比分析。然后仿真制作了定向耦合器以及预分频电路，在此基础上，基于 AD 公司的 ADF4106 锁相芯片设计了 PLL 电路，并进行了实物调试。最终将介质振荡器，耦合器，隔离器，参考源等与锁相环电路全部集成在一个屏蔽盒内，实现了小型化设计，给出了 PDRO 的测试结果，并做了分析以及总结，为以后的工作做参考。

具体内容如下：

第一章主要介绍了频率源与振荡器的概况，并重点介绍了锁相环和介质振荡器的特点和国内外现状，给出了本文的主要工作安排。

第二章分别介绍了介质振荡器的电路形式和工作原理，锁相环的各组成部分及其基本原理，为设计奠定了理论基础。

第三章详细介绍了压控介质振荡器的制作过程，仿真设计了共源和共漏两种结构的 DRO，制成实物，进行调试，并给出测试结果和性能对比。

第四章对锁相环各个部分的设计方案进行了详细的阐述，并制作了以 ADF4106 芯片为基础的锁相环电路。

第五章为锁相介质振荡器的整体测试结果，电源电路设计，以及实物展示，并针对结果进行了分析，探讨了可以改进的地方。

## 2 锁相介质振荡器的基本原理

锁相介质振荡器主要包括锁相环和介质振荡器两大部分，一般采用高精度的晶体振荡器作为参考频率源,高 Q 值的介质振荡器作为谐振网络，通过分频锁相技术得到。下面分别对介质振荡器和锁相环的基本结构和工作原理进行介绍。

### 2.1 介质振荡器的基本原理

#### 2.1.1 介质谐振器的主要参数

介质谐振器(Dielectric Resonator)是一种由陶瓷材料做成的谐振器，电场和磁场能量在谐振器内部进行转换，转换的周期即为谐振器的谐振频率。DR 的主要参数有：介电常数 $\epsilon_r$ ，品质因数 Q、频率温度系数 $\tau_f$ ，谐振频率 $f_0$ 。

##### 1. 介电常数 $\epsilon_r$

在理想的磁壁上，电场的法向分量为零，磁场的切向分量为零，电磁波入射到理想磁壁上会被完全反射回来，因此，能量可以被束缚在理想磁壁构成的闭合空间内。介电常数较高的陶瓷介质可以近似于理想磁壁，电场和磁场能量在介质块中不断转换，转换的周期即为谐振频率。介电常数越高，能量就越集中在介质块内部，泄露出来的能量就越少，相对的 Q 值就越高，损耗也就越小。就目前的工艺水准和材料情况看来，X 波段的介质谐振器的相对介电常数一般在 30-50 之间<sup>[9]</sup>。

##### 2. 品质因数 Q

品质因数是描述储能器件或谐振电路存储能量的能力的指标，一般用 Q 来表示，定义为该元件存储的能量和损耗的能量的比值。Q 值越大的元件，组成的电路或网络的频率选择性能就越好。

$$\text{有载品质因数: } Q_L = \frac{\omega_0 W}{P_{\text{ext}} + P_0} = \frac{\omega_0 W}{P_{\text{ext}} + P_d + P_c + P_R} \quad (2.1)$$

$$\text{无载品质因数: } Q_0 = \frac{\omega_0 W}{P_0} = \frac{\omega_0 W}{P_d + P_c + P_R} \quad (2.2)$$

上式中， $P_d$ 为介质损耗、 $P_c$ 为导体损耗、 $P_R$ 为辐射损耗、 $P_{\text{ext}}$ 为输出功率， $P_0$ 为自身损耗的功率。Q 值越高，谐振器的选频特性越好，稳定性也越好，因此，要选择 Q 值较高的 DR。

##### 3. 频率温度系数 $\tau_f$

频率温度系数表征着温度对谐振器的振荡频率的影响程度，用 $\tau_f$ 表示。

$$\tau_f = \frac{1}{f(T_0)} \frac{f(T_1) - f(T_0)}{T_1 - T_0} \quad (\text{ppm}/^\circ\text{C}) \quad (2.3)$$

理想情况下，频率温度系数应该接近于 0，这样的谐振器受温度影响最小，目前大多数介质谐振器的 $\tau_f$ 值也比较低，如 Herley 公司的 PDRO 系列产品频率温度系数为  $\pm 2.5 \text{ ppm}/^\circ\text{C}$ 。

#### 4. 谐振频率 $f_0$

介质谐振器有不同的形状和材料，常见的有环形，矩形，圆柱形等，他们的工作模式不同，因此也具有不同的谐振频率。最为常用的圆柱形介质谐振器一般工作在  $\text{TE}_{018}$  模，也就是基模。而介质谐振器的谐振频率除与其本身的相对介电常数和形状尺寸有关外，也与周围环境有关，因此很难计算出精确值<sup>[10]</sup>。

估算圆柱形介质谐振器的谐振频率的计算公式为：

$$f_0 = \frac{34}{D\sqrt{\epsilon_r}} \left( \frac{D}{L} + 6.9 \right) \quad (2.4)$$

上式中，D 为介质谐振器的直径 (mm)，L 为高度 (mm)， $f_0$  为谐振频率 (GHz)，在  $1 < D/L < 4$  且  $30 < \epsilon_r < 50$  的情况下，该公式精度为 2%<sup>[11]</sup>。

#### 2.1.2 介质谐振器与微带线耦合

介质谐振器与微带线耦合的情况如图 2.1 所示，DR 直接放在微带线基板上，与导带距离较近或者有小部分压在导带上，通过 DR 内部泄露出来的磁场耦合，耦合的强度由 DR 与微带线的距离决定，等效的电路如图 2.2 所示。

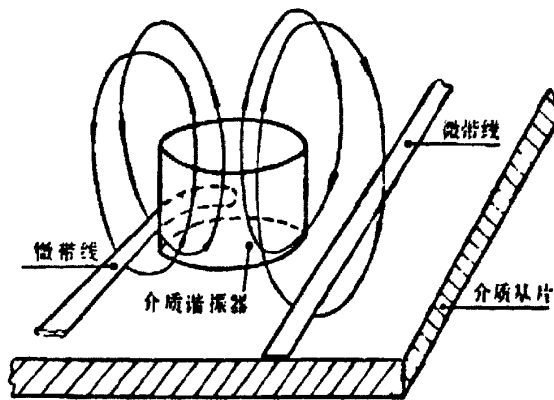


图 2.1 微带线与介质谐振器的耦合示意图

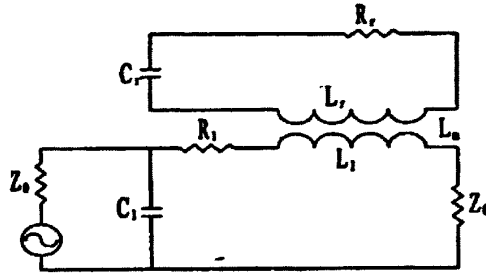


图 2.2 介质谐振器与微带线耦合的等效电路

DR 等效为 LC 谐振回路，等效参量为  $R_r$ ,  $L_r$ ,  $C_r$ , DR 与微带线之间的耦合等效为互感  $L_m$ , 微带线的等效参量为  $R_l$ ,  $L_l$ ,  $C_l$ 。

根据等效电路，可以计算出通过互感线圈折算过来的与传输线串联的谐振器阻抗为

$$Z = j\omega L_1 + \frac{\omega^2 L_m^2}{R_r + j\omega(L_r - \frac{1}{\omega^2 C_r})} \quad (2.5)$$

而在中心频率附近， $\omega L_1$  忽略不计，则  $Z$  化简为

$$Z = \omega Q_0 \frac{L_m^2}{L_r} \times \frac{1}{1 + jX}, \quad \text{其中 } X = \frac{\omega}{R_r} (L_r - \frac{1}{\omega^2 C_r}) \quad (2.6)$$

$Q_0$  为谐振器的无载品质因数， $\omega_0$  为谐振角频率

$$Q_0 = \frac{\omega_0 L_r}{R_r} \quad \omega_0 = \frac{1}{\sqrt{L_r C_r}} \quad (2.7)$$

在谐振频率  $\omega_0$  处， $X=0$ ，则式 2.6 可以简化为

$$Z = \omega_0 Q_0 \frac{L_m^2}{L_r} \quad (2.8)$$

定义谐振频率  $\omega_0$  时的耦合系数  $\beta$  为：

$$\beta = \frac{Z}{2Z_0} \quad (2.9)$$

则可以通过式 2.8 和式 2.9 推导出：

$$\beta = \frac{\omega_0 Q_0}{2Z_0} \frac{L_m^2}{L_r} \quad (2.10)$$

用介质谐振器的外界  $Q$  值来表示 DR 与微带线间的耦合，用  $Q_e$  表示，则谐振器的无



载、有载、与外界品质因数 $Q_0, Q_L, Q_e$ 间的关系为:

$$Q_0 = Q_L(1 + \beta) = Q_e \beta \quad (2.11)$$

可以得到

$$\beta = \frac{Q_0}{Q_e} \quad (2.12)$$

可见,外界Q值要提高,耦合系数就要降低,对应的介质块就要远离微带线,实验也证明了,当介质块与微带线紧耦合的时候,输出功率较高,但是频谱特性较差,当介质块与微带线松耦合的时候,输出功率会偏低,频谱特性会好些<sup>[12]</sup>。

### 2.1.3 电调谐介质振荡器

电调谐振荡器也就是压控振荡器,因为振荡器产生的振荡频率不一定是输出所需的频率点,就需要外加电压来微调振荡频率,在所需的固定频率点振荡。这种方式可以通过变容二极管与微带线连接,然后与介质谐振器的耦合来实现,耦合方式如下图所示:

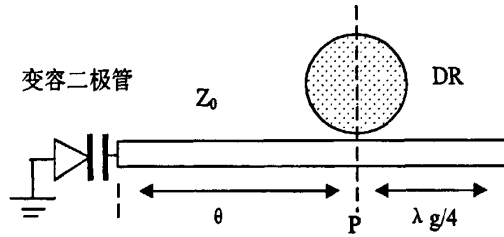


图 2.3 DR 与变容二极管的耦合电路

当加在变容二极管上的反向电压改变时,二极管的电容值  $C_T$  就会改变,从而影响到磁场的分布,来调节谐振器的谐振频率。从图 2.3 中的 P 点向电路左端看去,其输入阻抗为

$$Z_T = Z_0 \frac{Z_c + jZ_0 \tan \theta}{Z_0 + jZ_c \tan \theta} \quad (2.13)$$

$Z_0$  是微带线的阻抗,  $Z_c$  是变容管的阻抗,  $\theta$  是微带线的电长度, P 点向左看过去的输入阻抗等效到谐振回路中为  $Z_{Te}$ 。

$$Z_{Te} = \frac{\omega^2 L_m^2}{Z_T} = \frac{\omega^2 L_m^2}{Z_0} \frac{Z_0 + jZ_c \tan \theta}{Z_c + jZ_0 \tan \theta} \quad (2.14)$$

$L_m$  是谐振器与微带线之间的互感, 当  $\theta = \pi$  时

$$Z_{Te} = \frac{\omega^2 L_m^2}{Z_c} = \frac{j\beta Z_0}{Q_c} \quad (2.15)$$

式中  $\beta = \frac{\omega^2 L_m^2}{Z_0 R_r}$  是谐振器与微带线的耦合系数,  $Q_c = \frac{1}{\omega C_T R_r}$  是变容管的有载品质因

数,  $R_r$  是介质谐振器的等效损耗电阻。

根据谐振器回路的谐振条件:

$$j(\omega L_r - \frac{1}{\omega C_r}) + Z_{re} = 0 \quad (2.16)$$

当  $\theta = \pi$  时, 解得电调谐介质谐振器的谐振频率  $\omega_{re}$  为

$$\omega_{re} = \omega_0 \left( 1 - \frac{\beta Z_0 \omega_0 C_T}{2Q_0} \right) \quad (2.17)$$

可以得出, 变容二极管对谐振频率影响的公式

$$\Delta\omega_{re} = -\frac{\omega_0^3 L_m^2 C_T}{2L_r} = -\frac{\beta Z_0 \omega_0^2 C_T}{2Q_0} \quad (2.18)$$

式中,  $L_r$  是介质谐振器的等效电感,  $\omega_0$  是谐振器的谐振频率,  $Q_0$  是介质谐振器的无载  $Q$  值。

由上式可以看出, 若想变容二极管引起的谐振频率变化范围较大的话, 就需要选取较大的调谐电容, 低品质因数的介质谐振器, 同时要有较大的耦合系数。但是品质因数越低, 对应的相位噪声就会越差, 因此, 较大的压控调节范围和好的频谱特性是不能同时满足的。在设计时应该根据需求, 合理的选取耦合系数和介质谐振器的品质因数<sup>[13]</sup>, 在保证压控范围能够调节到所需频点的前提下, 尽量取得好的相位噪声。

#### 2.1.4 介质振荡器的主要形式

根据介质块在电路中所在的位置和作用的不同, 介质振荡器可以分为四种形式: 加载带阻型、传输型、并联反馈型、串联反馈型, 下面做简要的介绍:

##### 1. 加载带阻型

图 2.4 给出了加载带阻型介质振荡器的基本结构, 晶体管与微带线等组成自由振荡电路, 介质块在输出处与微带线耦合构成的谐振网络, 作为输出网络的一部分, 相当于一个带阻滤波器的作用。因为介质谐振器的  $Q$  值较高, 可以使整个振荡器的品质因数提高, 另外, 采用介质块与微带耦合的形式, 也具有频率牵引和频率调谐的作用。因为输出功率的一部分会被介质块吸收, 所以加载带阻型介质振荡器的功率会比未加载时小一些<sup>[14]</sup>。

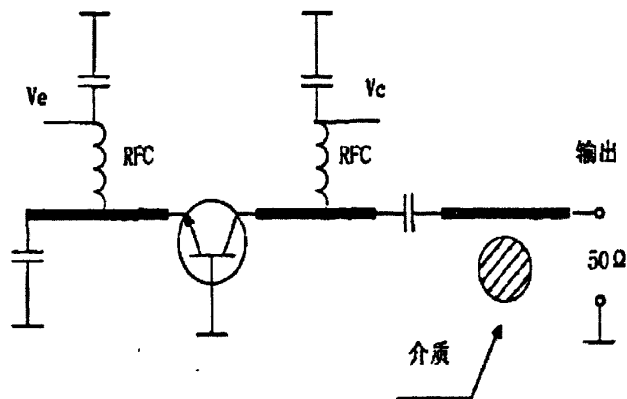


图 2.4 加载带阻型介质振荡器

2. 传输型

传输型的介质振荡器常用的结构如图 2.5 所示，晶体管振荡电路的微带线输出终端接负载匹配，介质谐振器起到稳频和选频的作用，决定了振荡频率。当谐振器失谐时，电路就不会振荡，只有放大作用，当谐振器在所需频点工作时，晶体管振荡电路的输出经由谐振器传输给负载<sup>[15]</sup>。因为传输型介质振荡器的功率输出要经谐振器传输，因此有一定的损耗。

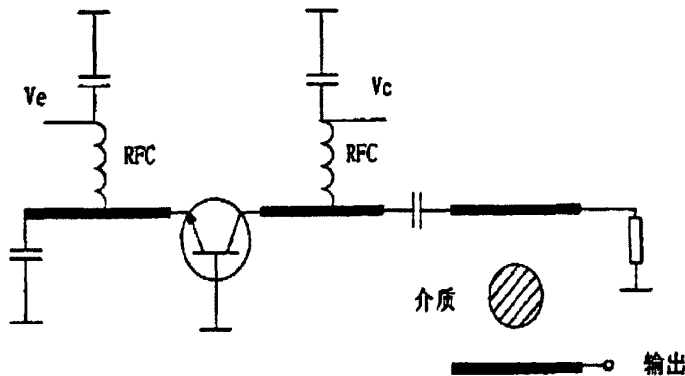


图 2.5 传输型介质振荡器

3. 并联反馈型

并联反馈型介质振荡器的基本结构如图 2.6 所示，介质块与两条微带线耦合，整个谐振网络相当于一个窄带的带通滤波器，只有谐振频点处的信号才可以通过，其余信号都滤掉。当不放入介质块时，整个电路不形成回路，只处于放大状态，加入介质块后，通过微带线的耦合，将输出信号的一部分反馈回振荡电路，调节介质块的位置，即可调节输出频率，谐振网络起到选频和反馈的作用<sup>[16]</sup>。并联反馈型振荡器的相位噪声较低，但是建模复杂，调试的余度小<sup>[17]</sup>。

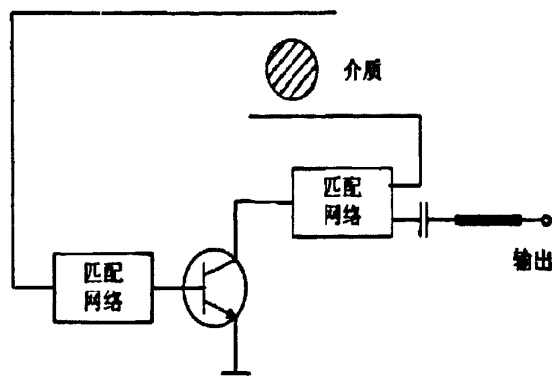


图 2.6 并联反馈型介质振荡器

4. 串联反馈型

串联反馈型的介质振荡器的基本结构如图 2.7 所示，给晶体三极管加电时，晶体管的输入端产生一定的噪声信号，电路处于不稳定状态，产生振荡。介质块与微带线耦合形成谐振网络，相当于带阻滤波器，谐振频率处的信号反射回晶体管，其余信号通过谐振网络被匹配负载吸收掉，介质谐振器起到选频的作用。串联反馈型介质振荡器的杂散比较小，相噪也比较好，但是电路调试难度大，且容易出现跳模现象<sup>[18]</sup>。

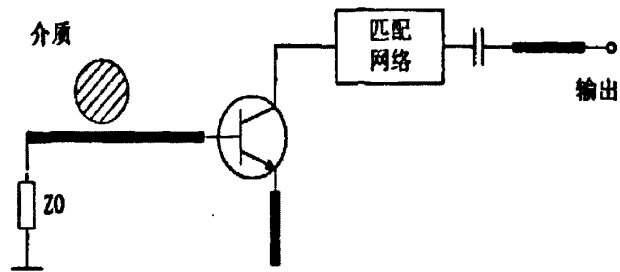


图 2.7 串联反馈型介质振荡器

2.1.5 双端口负阻网络分析

微波晶体管的振荡原理在于非线性负阻特性，下面简单介绍下负阻振荡原理。一个负阻振荡电路由两部分组成：负阻电路和匹配网络，如图 2.8 所示，负阻电路的输入阻抗为  $Z_{in}$ ，匹配网络的输入阻抗用为  $Z_L$ 。

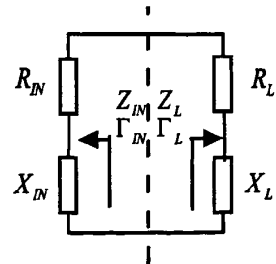


图 2.8 负阻振荡器结构示意图

负阻电路一般由带有反馈的有源器件组成，而匹配网络是器件终端连接的无源负载。由 KVL 定律得到

$$(Z_L + Z_{IN})I = 0 \quad (2.19)$$

在振荡电路中，电流不为 0，则

$$Z_L + Z_{IN} = 0 \quad (2.20)$$

将  $Z_L = R_L + jX_L$ ， $Z_{in} = R_{in} + jX_{in}$  带入，即

$$\begin{cases} R_{IN} + R_L = 0 \\ X_{IN} + X_L = 0 \end{cases} \quad (2.21)$$

因为匹配网络是无源负载阻抗，也就是  $R_L > 0$ ，因此

$$R_{IN} < 0 \quad (2.22)$$

正阻抗是消耗能量的，负阻是产生能量的。电路在起振阶段，整个电路工作在非稳定状态，电路中的噪声将引起振荡，由于正反馈的存在，电路中的电流将逐渐变大，而随着电流的变大， $R_{in}$  则逐渐变小，直至电路呈稳定振荡状态<sup>[19]</sup>，即达到式 2.17 的状态。

因此，负阻振荡电路的起振条件为：

$$\begin{cases} R_{IN} + R_L < 0 \\ X_{IN} + X_L = 0 \end{cases} \quad (2.23)$$

稳定条件为：

$$\begin{cases} R_{IN} + R_L = 0 \\ X_{IN} + X_L = 0 \end{cases} \quad (2.24)$$

根据公式推理和实际经验可以得出，当输出到负载上的功率达到最大时，对应的振荡电路的输入阻抗为

$$\begin{cases} R_{IN} = -\frac{R_L}{3} \\ X_{IN} = -X_L \end{cases} \quad (2.25)$$

介质振荡器可等效为双端口负阻振荡器，一个双端口负阻振荡器由三部分组成：晶体管，谐振网络和输出网络，它的等效网络如图 2.9 所示。晶体管电路主要用来产生振荡，谐振网络起到稳频选频的作用，输出网络匹配负载输出。各参数定义如下：传输线特性阻抗为  $Z_0$ ，线长为 0，晶体管的输入阻抗  $Z_{in} = R_{in} + jX_{in}$ ，输入端反射系数为  $\Gamma_1$ ，输出端反射系数为  $\Gamma_2$ ，谐振网络的阻抗为  $Z_g = R_g + jX_g$ ，相应的反射系数为  $\Gamma_g$ 。另设输出阻抗为  $Z_{out}$ ，负载阻抗为  $Z_L$ ，负载反射系数为  $\Gamma_L$ 。

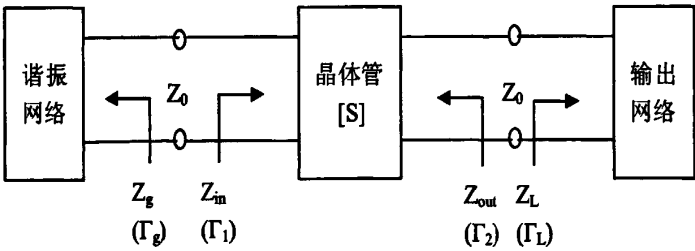


图 2.9 双端口负阻振荡器等效网络

根据上图的等效网络，设稳定系数为  $k$ ，振荡条件可以表示为：

$$\left\{ \begin{array}{l} k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}S_{21}|} < 1 \\ \Gamma_g \Gamma_1 = 1 \\ \Gamma_L \Gamma_2 = 1 \end{array} \right. \quad (2.26)$$

因为振荡电路的输入端口接谐振回路，输出端口接匹配网络和负载，都是无源器件构成的网络，因此 $|\Gamma_g|$ 和 $|\Gamma_L|$ 都小于 1，由上式可知 $|\Gamma_1|$ 和 $|\Gamma_2|$ 都要大于 1<sup>[20]</sup>。

2.2 锁相环的基本结构和工作原理

锁相环(Phase Locked Loop)是一种相位负反馈控制电路，可以将外部的参考信号和环路内部振荡信号的频率和相位相比较，来控制输出频率。当频率锁定在所需的输出点时，输出信号和参考信号有固定的相位差。典型的锁相环路由鉴相器(PD)、环路滤波器(LPF)、压控振荡器(VCO)三部分组成<sup>[1]</sup>，其原理框图如图 2.10 所示。

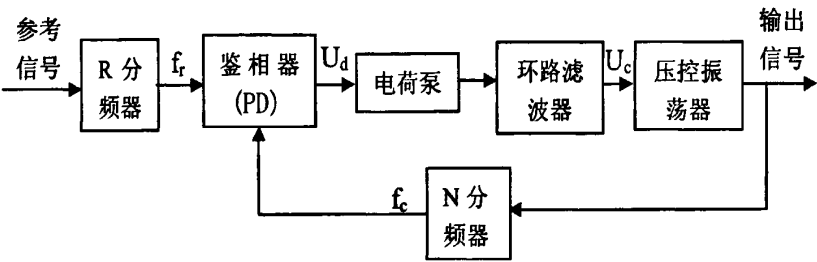


图 2.10 锁相环的原理框图

锁相环路的基本工作过程是这样的：首先，固定不变的参考信号给出一个参考频率，经过  $R$  分频后作为基准的对比信号  $f_r$  输入到鉴相器，压控振荡器的输出信号是锁相过程中要改变的信号，输出信号经过  $N$  分频之后，得到信号  $f_c$  进入鉴相器的另一端。鉴相器将这两路信号的相位差检测出来，并将其转换成电压信号  $U_d$  输出，称为误差电压。

误差电压经过电荷泵和环路滤波，滤除了高频信号和干扰信号后，得到控制电压  $U_c$ ，输入到压控振荡器，压控振荡器根据控制电压的变化而改变输出频率。当  $f_r$  和  $f_c$  相等时，它们的瞬时相位差固定不变，则鉴相器输出的误差电压为一定值，压控振荡器的控制电压也就固定不变，输出信号稳定，环路则锁定在该频率上<sup>[21]</sup>。

下面对各个部分的工作原理进行介绍。

### 2.2.1 鉴相器与电荷泵

鉴相器是检测两输入信号的相位差的一种元件，输出的误差信号是两输入信号相位差的一个函数<sup>[22]</sup>。鉴相器主要有四种类型：模拟乘法器鉴相器，异或门电路鉴相器、边沿触发 JK 主从触发器鉴相器和鉴频鉴相器<sup>[23]</sup>，模拟乘法鉴相器属于模拟型鉴相器，后三种属于数字型鉴相器。本课题采用的锁相环芯片，其鉴相器属于鉴频鉴相器，它的原理框图如下图。

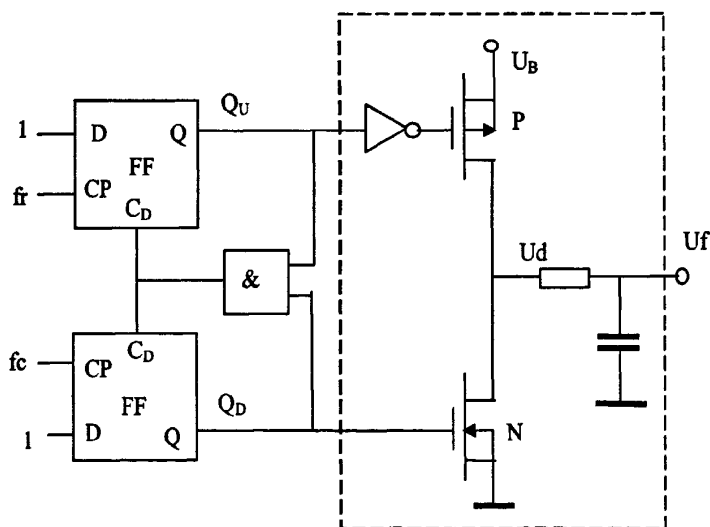


图 2.11 鉴频鉴相器的原理框图

鉴频鉴相器（PFD）的优点在于其输出信号与相位误差和频率误差都有关系。鉴频鉴相器由两个 D 触发器和一个与门组成，输出  $Q_U$  和  $Q_D$  两个信号驱动三极管。两个 D 触发器的数据输入端一直为高电平，时钟端分别接入参考信号  $f_r$  和压控振荡器输出分频后的反馈信号  $f_c$ ，与门的主要作用是实现触发器的复位。该电路的输出有四个状态，即

- (1)  $Q_U=0, Q_D=0, \rightarrow \text{state}=0$
- (2)  $Q_U=1, Q_D=0, \rightarrow \text{state}=1$
- (3)  $Q_U=0, Q_D=1, \rightarrow \text{state}=-1$
- (4)  $Q_U=1, Q_D=1$

当  $Q_U=1, Q_D=1$  时，由于与门的作用，两个 D 触发器会迅速清零，回到状态  $Q_U=0$ ,

$Q_D=0$ <sup>[24]</sup>。因此，该器件可以看做一个三稳态器件，实际的 PFD 的输出状态是由信号  $f_r$  和  $f_c$  的上升沿决定的。根据状态图，信号  $f_r$  的上升沿到来时，PFD 如果处于 1 状态则保持不变，若处于 0 或 -1 状态就会进入下一个更高的状态；信号  $f_c$  的上升沿到来时，PFD 如果处于 -1 状态则保持不变，若处于 0 或 1 状态就会进入下一个更低的状态<sup>[25]</sup>。PFD 处于 1 状态时，输出的误差电压  $U_f$  为正；当 PFD 处于 -1 状态时，误差电压  $U_f$  为负；PFD 处于 0 状态，误差电压  $U_f$  为零，可以用高阻状态代替<sup>[26][27]</sup>。

带有电荷泵输出的鉴相器相当于将图 2.11 虚线框内的晶体管换成两个电流源。当  $Q_U$  触发器置位时，上面的电流源向输出端提供电流，当  $Q_D$  触发器置位时，下面的电流源向输出端吸取电流<sup>[28]</sup>。带有电荷泵的鉴相器可以解决鉴相增益不是常量的问题。

2.2.2 环路滤波器

环路滤波器一般由电阻、电容或者运算放大器组成，可以起到低通滤波器的作用，有源的环路滤波器包含运放，输出的控制电压较高，无源的环路滤波器只由电阻、电容组成，引入的噪声相对较小。它不但可以滤除鉴相器输出的误差电压中的高频分量，还可以除去噪声，改善控制电压的频谱纯度，更重要的是它对环路参数的调整起到了决定性的作用，直接影响到输出信号的稳定、频谱纯度、锁定时间等等<sup>[29]</sup>。

常见的环路滤波结构有以下三种：RC 积分滤波器、无源超前滞后滤波器和有源比例积分滤波器。其电路图分别如下图(a)(b)(c)所示。

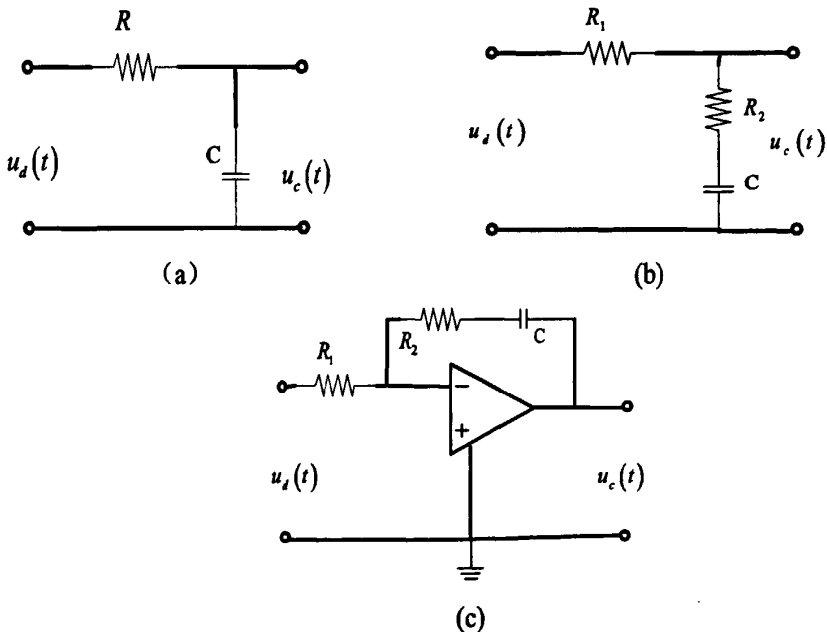


图 2.12 环路滤波器的电路框图

(a) RC 积分滤波器 (b) 无源超前滞后滤波器 (c) 有源比例积分滤波器

● RC 积分滤波器



是一种结构简单的环路滤波器，它的传输函数为

$$F(s) = \frac{1}{s\tau + 1} \quad (2.27)$$

其中  $\tau = RC$ 。

- 无源超前滞后滤波器

有一个极点和一个零点，传输函数  $F(s)$  为

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \quad (2.28)$$

其中  $\tau_1 = R_1C$ ,  $\tau_2 = R_2C$ 。一个超前滞后滤波器由相位超前网络和相位滞后网络组成，相位超前来自于传输函数的零点部分，而极点产生相位滞后。

- 有源比例积分滤波器

也是一个超前滞后滤波器，其传输函数表示为

$$F(s) = \frac{s\tau_2 + 1}{s\tau_1} \quad (2.29)$$

其中  $\tau_1 = R_1C$ ,  $\tau_2 = R_2C$ ，有源比例积分滤波器存在一个极点  $S=0$ ，在理论上，在频率为零处滤波器的增益无穷大。无源滤波器的噪声会相对小一些，但是当鉴相器的输出电压达不到 VCO 所需的控制电压时，就要采用有源滤波器<sup>[30]</sup>。

### 2.2.3 压控振荡器

压控振荡器的振荡频率随着外加的控制电压的改变而改变，理想的压控振荡器是线性的，其输出的瞬时角频率  $\omega_{out}$  随着环路滤波器输出的电压  $\mu_c(t)$  的改变而变化。

$$\omega_{out}(t) = \omega_o + K_o \mu_c(t) \quad (2.30)$$

式中， $\omega_o$  为自由振荡中心角频率，斜率  $K_o$  为压控灵敏度，单位为  $rad/s \cdot V$ ，表示单位控制电压所引起的振荡角频率变化的大小。

对式 2.30 进行积分，得到

$$\int_0^t \omega_{out}(\tau) d\tau = \omega_o t + K_o \int_0^t u_c(\tau) d\tau \quad (2.31)$$

设  $\theta_o(t) = K_o \int_0^t u_c(\tau) d\tau$ ，则式 2.31 进行拉普拉斯变换可得：

$$\theta_o(s) = \frac{K_o}{s} U_c(s) \quad (2.32)$$

从而，可以得到压控振荡器的数学模型如下：

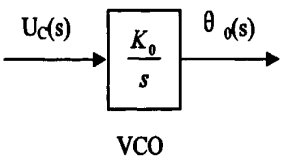


图 2.13 压控振荡器的数学模型

由压控振荡器的数学模型能够看出，VCO 对鉴相器起控制作用的是相位而不是频率。因为角频率对时间的积分就等于相位，所以上式包含一个积分算子  $1/s^{[31]}$ 。常用的压控振荡器有很多种，本设计采用的是变容管调谐的介质振荡器。

2.2.4 锁相环的数学模型

锁相环系统是一个非线性的系统，假设锁相环已经锁定，并在以后的一段时间内均处于锁定状态，就可以建立近似的线性系统数学模型，首先看看各部分的数学模型。

鉴相器的输出信号是输入相位误差的函数，可以近似表示成

$$U_d = K_d \theta_e \tag{2.33}$$

其中， $\theta_e$  为输入的相位误差，因此，鉴相器的数学模型是一个增益为  $K_d$  的简单的零阶模块。进行拉普拉斯变换后可以得到传输函数

$$\frac{U_d(s)}{\theta_e(s)} = K_d \tag{2.34}$$

环路滤波器的传输函数与其类型有关，在 2.2.2 节已经给出常用的三种环路滤波器的传输函数。VCO 的数学模型如图 2.13 所示。

N 分频器将 VCO 产生的频率除以 N，同时也将 VCO 输出的相位按比例缩小 N 倍。因此，N 分频器是一个增益为  $1/N$  的“增益模块”<sup>[32]</sup>。

现在可以得出锁相环的数学模型如图 2.14 所示。

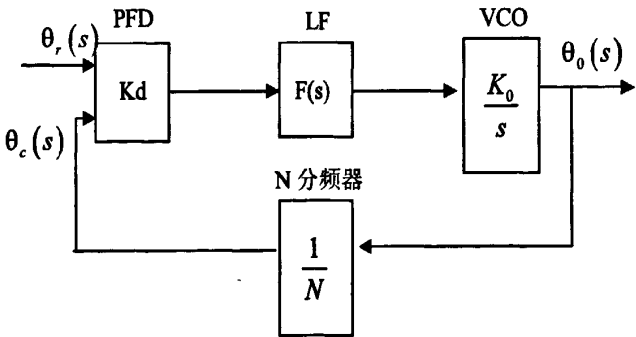


图 2.14 锁相环数学模型

从锁相环的数学模型中，可以求出相位传输函数如下

$$H(s) = \frac{\theta_o(s)}{\theta_r(s)} = \frac{K_o K_d F(s) / N}{s + K_o K_d F(s) / N} \quad (2.35)$$

也可以得到误差传输函数如下

$$H_e(s) = \frac{\theta_e(s)}{\theta_r(s)} = \frac{s}{s + K_o K_d F(s) / N} \quad (2.36)$$

3 介质振荡器的设计与制作

目前，国内对介质振荡器的研究工作，对于不同的电路形式，问题大多都集中在并联反馈型和串联反馈型的性能对比，针对共源结构和共漏结构的性能差别研究甚少。因此，本文共设计仿真了两种介质振荡器，均为串联反馈型，一个是工作频率为 8.75GHz 的共漏结构的介质振荡器，一个是工作频率为 8.8GHz 的共源结构的介质振荡器。其中，8.75GHz 的振荡器的设计制作主要是为 8.8GHz 的振荡器的制作积累经验。同时，对于共源结构及共漏结构电路的性能差别，有一些经验和见解。

本文设计的是串联结构的介质振荡器，因此可以将有源部分和无源部分隔离开来，这样做的好处是：一，有源器件在电磁仿真软件中无法精确建模，降低了仿真对实物调试的指导作用，隔离开的话，可以使无源部分仿真更容易建模，仿真结果也更接近实物。二，可以有效的将有源部分的噪声隔离，使得电路的性能更好。因此，在设计时使用 HFSS 软件仿真无源部分，使用 ADS 软件仿真有源部分，制作的实物屏蔽盒，也用插板隔离开两部分，只开一个小槽使微带线穿过来连接两部分。

3.1 电路组件的选择

电路各个器件是否合适，对振荡器能否正常工作有很大的影响，本课题的介质振荡器要选取的器件主要包括介质块，介质基板，晶体管，变容二极管等。

1. 介质块

相对介电常数较大的介质块，能量就越集中在介质块内部，Q 值也就越高，但泄露出来的磁场就越小，与微带线的耦合就越弱，同时，体积也就越小。因此，不是说介质块的介电常数越大越好，要根据需求选取合适的，而且要选取频率温度系数小的介质块。介质块的形状有很多种，圆柱形介质谐振器的直径和高度比一般为 1.5 到 2.5 之间，这样的形状比 Q 值较高，又可以抑制 TM<sub>11δ</sub> 模<sup>[33]</sup>。

根据设计需求，在张家港灿勤电子元件有限公司订做了两种频率的介质块各 10 个，均为圆柱形，介电常数为 36，Q 值约为 3500 到 4000 不等，温度系数范围为-3~+9ppm/℃，绝缘阻抗>1014Ω-cm，具体尺寸如下表，其中 D 为介质块直径，L 为高度。

表 3.1 8.8GHz 介质块的尺寸

NO.	D(mm)	L(mm)	Frequency(MHz)	Q <sub>u</sub>
1	6.72	2.40	8.793	3744
2	6.72	2.42	8.7989	3862
3	6.74	2.41	8.767	3730

4	6.70	2.41	8.803	3831
5	6.74	2.41	8.788	3690
6	6.74	2.40	8.769	3655
7	6.72	2.42	8.782	3579
8	6.73	2.42	8.780	3884
9	6.72	2.42	8.782	3776
10	6.72	2.41	8.795	3689

表 3.2 8.75GHz 介质块 的尺寸

NO.	D(mm)	L(mm)	Frequency(MHz)	Q <sub>u</sub>
1	6.88	2.35	8.7245	3919
2	6.81	2.38	8.7428	3884
3	6.82	2.35	8.7428	3991
4	6.85	2.35	8.7220	4026
5	6.84	2.35	8.7468	4008
6	6.87	2.36	8.7224	3976
7	6.84	2.35	8.7418	3908
8	6.86	2.35	8.7215	3969
9	6.87	2.36	8.7352	3933
10	6.86	2.36	8.7307	3941

2. 介质板

介质基板的选取一般应注意两点，一是损耗角正切要小，二是相对介电常数较低。损耗角正切如果过大的话，介质损耗就会很大，品质因数就会下降。介质基板的相对介电常数过大的话，能量就会束缚在基板内，不能集中在介质块中，可能会导致无法谐振。本设计选取的板材为 Rogers 5880，相对介电常数为 2.2，在 10GHz 左右损耗角正切为 0.0009，接近于 0，介质基板厚度为 0.254mm，微带导体层的厚度为 0.017mm。。

3. 晶体管

晶体管振荡电路可以选用 BJT 管、HBT 管，或者 FET 管。HBT 管是 BJT 管和 FET 管的折中；BJT 管的噪声性能符合设计振荡器的要求，但是工作频率只能在 8GHz 以下<sup>[34]</sup>；FET 管可以在较高的频段工作，而且输出功率高。本设计的晶体管要求噪声要低，晶体管上限工作频率至少是其所需工作频率的 2-3 倍，电阻热噪声要小，输出功率较高。

考虑各因素后，选取了 HP 公司的 ATF13786 作为振荡管。它是一种低损耗的砷化镓场效应管，采用了贴片封装形式，非常适合作为射频或微波波段的振荡管来使用，具体

的参数如下：

- 上限工作频率  $F_{\max}$ ： 60 GHz
- 相位噪声：在 10 GHz 时，达到 -110 dBc/Hz @ 100 kHz
- 输出功率：在 10GHz 时，最大值为 10dBm
- 典型静态工作点：  $V_{ds} = 3\text{ V}$ ，  $I_{ds} = 40\text{ mA}$
- 最大功耗值： 225mW

4. 变容管

变容二极管(Varactor Diodes)又称"可变电抗二极管"，是一种利用 PN 结电容与其反向偏置电压的依赖关系及原理制成的二极管。变容二极管属于反向偏压二极管，改变其 PN 结上的反向偏压，即可改变 PN 结电容量。反向偏压越高，结电容则越小，但反向偏压与结电容之间的关系不是标准线性的。选取变容二极管一般要求要有较大的调谐电容，线性度好，噪声较低的。

本设计选取了美国 Skyworks 公司的 SMV2019-079LF，该变容二极管采用贴片封装，是一种超突变结变容二极管，具有高变容比和低串联电阻，经常应用于 VCO 中。它的等效电路中，串联电阻  $R_s=4.8\Omega$ ，串联电感  $L_s=0.7\text{nH}$ ，并联电容  $C_p=0.07\text{pF}$ ，结电容随电压变化如表 3.3 所示。

表 3.3 SMV2019-079LF 电容变化值

$V_R(\text{V})$	0	0.5	1	2	3	4	5	6	7	8	9
$C_T(\text{pF})$	2.22	1.77	1.51	1.2	0.98	0.81	0.66	0.55	0.48	0.44	0.40
$V_R(\text{V})$	10	11	12	13	14	15	16	17	18	19	20
$C_T(\text{pF})$	0.38	0.37	0.35	0.34	0.33	0.32	0.32	0.31	0.31	0.30	0.30

3.2 无源部分的设计仿真

选定了电路组件后，就可以对电路进行设计仿真，所用的方法是先用电磁仿真软件 HFSS 对谐振部分进行电磁仿真，然后将仿真结果导出成 S2P 文件，做成一个 Nport 器件加入有源部分，再用 ADS 进行整体仿真。

在软件中，DR 与微带线耦合的模型一般有三种建模方法：第一种是用 RLC 等效电路来代替 DR 模型，这种方法计算不够精确。第二种方法是用 ADS 自带的 DR 模型，设置相关参数，这种方法并未考虑到腔体尺寸对谐振的影响，也没法加入压控模型。第三种是用 HFSS 建模进行电磁仿真，这种方法比较复杂，但是能较为精确的仿真出谐振的情况以及相关参数。本文采用的是用 HFSS 建模的方法，并做了大量的仿真，这里只介绍下 8.8GHz 介质谐振器的仿真情况，主要参数变化对谐振频率和 S 参数的影响。

DR 与微带线耦合的模型如图 3.1 所示, 圆柱形介质块下方的一条微带线为连接 FET 栅极的微带线, 该微带线右方设有端口 1, 左方设有端口 2, 后面所讲的 S 参数都是针对这两个端口来说的。介质块上方的微带线左边连接变容二极管, 用来仿真电调谐的模式, 介质块上方的圆盘是为仿真机械调谐准备的。因为实物制作时有金属屏蔽盒, 所以整个谐振腔体表面设为电边界, 腔内填充空气。下面介绍各种情况下, 谐振器的谐振频率变化, 各尺寸标注如下: 腔体长度为  $t$ , 宽度为  $b$ , 高度为  $e$ , 机械调谐盖板高为  $h$ , 介质块中心距离腔体右边距离为  $d$ , 单位均为 mm, 变容二极管电容值为  $c$ , 单位为 pF。

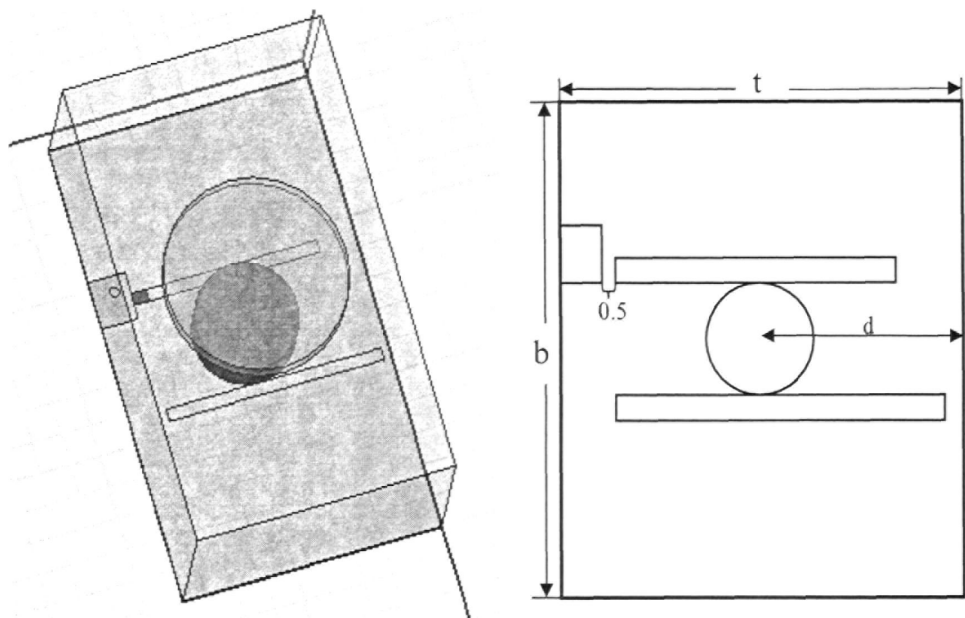


图 3.1 无源部分模型及示意图

### 1. 腔体尺寸影响

金属屏蔽盒可以减少辐射损耗以及环境对谐振电路的影响, 在设计中, 为保证正常工作, 应使腔体侧壁到 DR 中心的距离大于 DR 半径的 1.5 倍, 腔体的宽度应该大于 DR 半径的 4 倍。另外, 考虑到其他电路组件的尺寸, 如高阻线, 扇形线等, 腔体的最小尺寸为:  $t > 16\text{mm}$ ,  $b > 20\text{mm}$ 。关于腔体尺寸仿真, 做了很多仿真工作, 现只将对实物调试具有指导意义的部分仿真结果整理出来, 腔体长度为  $t$ , 宽度为  $b$ , 高度为  $e$ , 单位均为 mm, 介质块位于腔体的中心位置。改变腔体的长度、宽度和高度, 从而得到不同的 S11 曲线, 其峰值对应的频点不同, 列表如下:

表 3.4 腔体尺寸变化对应的谐振频率（单位：GHz）

<div>b \ t</div>	16mm	16.5mm	17mm	17.5mm	18mm	18.5mm	19mm	19.5mm	20mm
26mm	9.317	9.164	9.028	8.935	8.832	8.616	8.476	8.343	8.212
27mm	9.285	9.123	9.008	8.885	8.731	8.520	8.386	8.244	8.129
28mm	9.221	9.097	8.956	8.838	8.606	8.475	8.314	8.191	8.073
29mm	9.183	9.048	8.916	8.800	8.554	8.388	8.244	8.114	7.994
30mm	9.162	9.004	8.887	8.664	8.488	8.311	8.190	8.067	7.940
31mm	9.147	8.973	8.852	8.606	8.442	8.289	8.139	8.008	7.883
32mm	9.085	8.953	8.823	8.581	8.406	8.239	8.091	7.960	7.827

表 3.5 腔体尺寸变化对应的 S11 值（单位：dB）

<div>b \ t</div>	16mmmm	16.5mm	17mm	17.5mm	18mm	18.5mm	19mm	19.5mm	20mm
26mm	-1.007	-0.570	-0.579	-0.547	-0.629	-0.647	-0.705	-0.701	-0.843
27mm	-0.593	-0.591	-0.522	-0.539	-0.529	-0.566	-0.681	-0.902	-0.675
28mm	-0.529	-0.582	-0.602	-0.515	-0.519	-0.658	-0.605	-0.630	-0.652
29mm	-0.589	-0.545	-0.558	-0.493	-0.551	-0.652	-0.640	-0.680	-0.648
30mm	-0.511	-0.583	-0.535	-0.483	-0.604	-0.625	-0.623	-0.657	-0.697
31mm	-0.603	-0.523	-0.513	-0.507	-0.569	-0.564	-0.790	-0.724	-0.923
32mm	-0.686	-0.475	-0.461	-0.512	-0.595	-0.658	-0.620	-0.653	-0.974

改变腔体长和宽的尺寸时，腔体高度保持为 10mm 不变，从表格中可以看出，腔体的长度越大，S11 曲线峰值对应的频率越小，腔体的宽度越大，S11 曲线峰值对应的频率也越小。但是这种变化是非线性的，并且谐振频率对于长度的变化比宽度的变化要敏感。腔体尺寸变化时，峰值处的 S11 的值有细微变化,但均大于-1dB。

表 3.6 腔体高度变化对谐振频率和 S11 值的影响

e	6mm	6.5mm	7mm	7.5mm	8mm	8.5mm	9mm
F(GHz)	7.785	7.990	8.156	8.285	8.382	8.477	8.564
S11 (dB)	-1.168	-0.876	-0.848	-0.730	-0.652	-0.794	-0.690
e	9.5mm	10mm	10.5mm	11mm	11.5mm	12mm	12.5mm
F(GHz)	8.669	8.800	8.835	8.873	8.905	8.931	8.966
S11 (dB)	-0.503	-0.493	-0.506	-0.482	-0.514	-0.523	-0.542

保持腔体的长度和宽度不变，只改变高度，可以得到腔体高度变化对谐振频率和 S11 值的影响。从表中的数据可以看出，腔体高度越高，曲线峰值对应的频率越大。综合考虑腔体的长宽高三个参数对峰值频率和 S11 值的影响，最终选取 t=17.5mm，b=29mm，e=10mm，对应的峰值频率为 8.8GHz，S11=-0.493dB。



2. 介质块位置的影响

通过调节介质块与微带线之间的相对位置，可以发现规律如下：当介质块沿微带线左右平行移动时，峰值的频点对应变化。介质块右移，频点变高，介质块左移，频点变低，向左移到一定位置时会出现跳频的现象，频率会跳到 7.4GHz 左右。

表 3.7 介质块位置的影响

DR 位置	左移 3mm	左移 2mm	左移 1mm	居中	右移 1mm	右移 2mm	右移 3mm
F(GHz)	8.767	8.774	8.782	8.8	8.806	8.814	8.823
S11 (dB)	-1.134	-0.976	-0.869	-0.493	-0.652	-0.647	-1.290

当调节介质块与微带线的耦合距离时，发现谐振频率保持不变，峰值的 S11 值略微变化，一般情况下，介质块距离微带线距离越近，耦合越紧，输出功率就越大，相对的相位噪声性能会变差，当介质块与导带重合的范围过大的时候，会引起频率突变；介质块与微带线距离越远，耦合越松，输出功率就越小，相对的相位噪声性能会变好，但是耦合太松的话，选频性能会变差，介质块不能有效的牵引振荡频率。因此，应当选取适当的耦合距离，使之具有合适的功率和相噪性能，同时能够满足电调谐的要求。

3. 电调谐的影响

振荡器的本身的温度稳定性能主要取决于介质谐振器和场效应管的温度性能，为了消除温度的影响，一般采用电调谐的办法，由锁相控制电路来锁定介质振荡器的振荡频率。电调谐的原理就是电磁场能量主要集中在介质块内部，边缘有一小部分磁场泄漏，通过电压调节变容二极管的电容，来改变这部分的磁场分布，从而改变谐振频率<sup>[35]</sup>。本设计采用的变容二极管在 0V 的时候为 2.22pF，10V 的时候为 0.38 pF，仿真调谐得到的峰值频点对应曲线如下图，从 0~10V 频率变化约为 7.8MHz，在 8.8GHz 附近的压控灵敏度约为 750KHz/V。

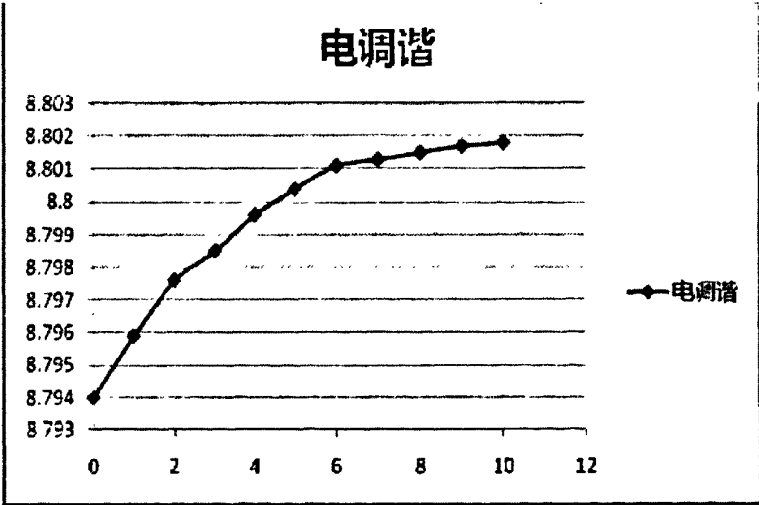


图 3.2 电谐频点曲线图

4. 机械调谐的影响

一般情况下，机械调谐金属板的直径为 DR 直径的 1.5 到 2 倍，本设计中，取金属板的直径为 12mm，考虑到介质块的高度，取距离介质基板的高度范围为 3mm 到 9mm，每隔 0.5mm 取一个点，当  $t=17.5\text{mm}$ ， $b=29\text{mm}$ ， $e=10\text{mm}$  时得到对应峰值频点的曲线如下图所示。

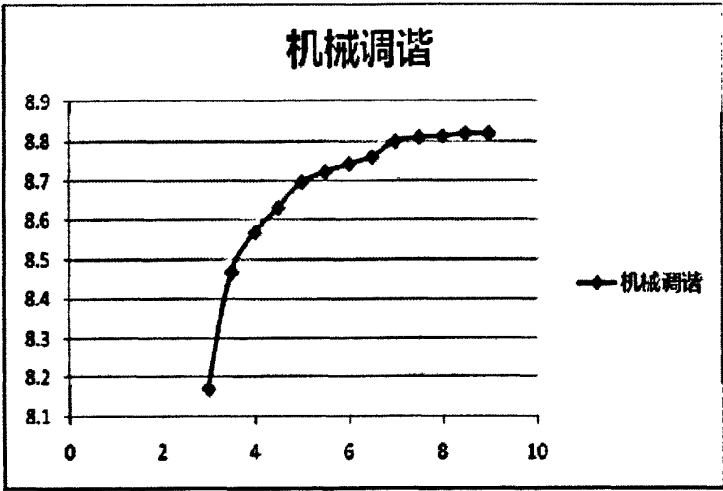


图 3.3 机械调谐频点曲线图

从图中可以看出，随着盖板高度的增加，谐振的峰值频率变高，但是不呈线性状态，频率调谐约为  $108\text{MHz/mm}$ ，盖板高度为 7mm 时正好在 8.8GHz 的位置。

5. 最终尺寸的确定

根据以上分析，综合考虑各参数，最终确定腔体的尺寸如下：腔体长度为 17.5mm，宽度为 29mm，高度为 10mm，盖板高度为 7mm，当变容二极管的电容为 0.7pF 时，峰值频点正好为谐振频率 8.8GHz， $S_{11}$  为 -0.4926dB，仿真得到的 S 参数曲线如图 3.5 所示。

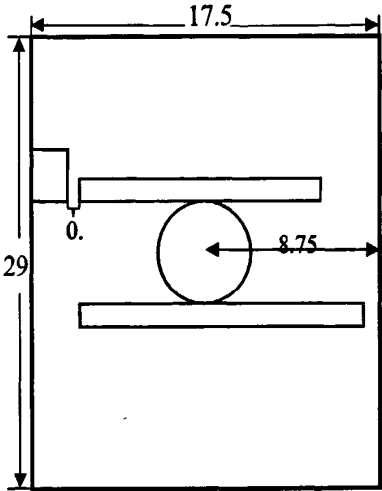


图 3.4 无源部分最终尺寸图

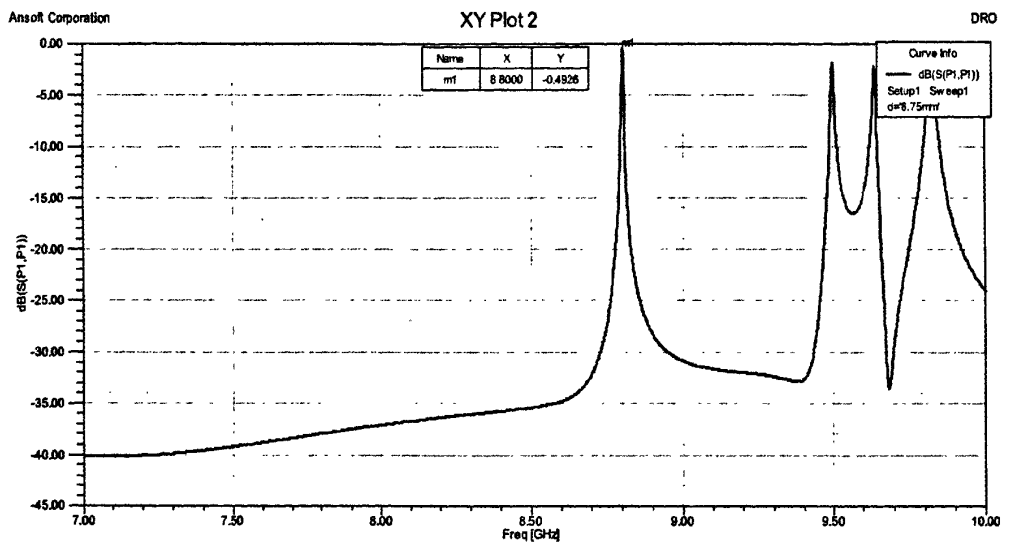


图 3.5 无源部分 S 参数曲线

3.3 有源部分的设计仿真

将上述无源部分仿真结果导出，得到的 S2P 文件带入 ADS，即可进行有源部分的仿真。有源部分设计的整体思路是，首先是晶体管的静态工作点仿真，确定静态工作点后设计直流偏置电路，然后添加反馈线和扇形线，高阻线等，连接无源部分后，进行输出匹配，最后微调电路使各个参数达到最优。图 3.6 显示了串联反馈型介质振荡器的基本结构，下面对 8.8GHz 的共漏结构的介质振荡器有源部分的仿真做详细介绍。

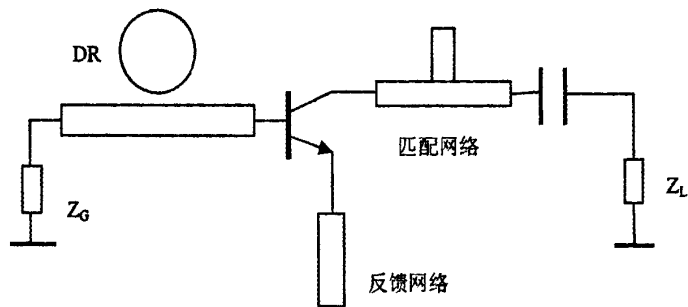


图 3.6 串联反馈型介质振荡器

3.3.1 直流偏置电路设计

首先是直流偏置电路的设计，本设计采用的是 AD 公司的 ATF13786，典型的静态工作点为  $V_{ds} = 3\text{ V}$ ， $I_{ds} = 40\text{ mA}$ 。采用 ADS 自带的晶体管直流工作点扫描，得到典型的静态工作点如图 3.7 所示。

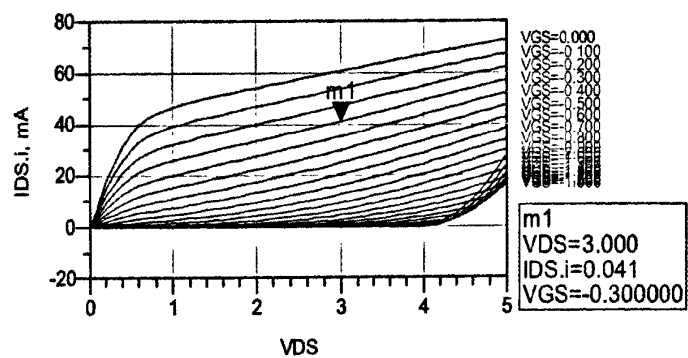


图 3.7 ATF13786 的静态工作点

根据扫描得到的静态工作点，设计偏置电路如下，直流供电  $V_{dc}=3.3$  V， $V_{ds}=3$  V，则  $R_2$  上的电压为 0.3V，即  $V_{gs}=-0.3$  V，则  $R_2$  的值为  $0.3\text{V}/0.04\text{A}=7.5\Omega$ ，在设计中， $R$  取  $8\Omega$ ， $C_1$ ， $C_2$  为滤波电容，仿真结果与静态工作点基本一致。

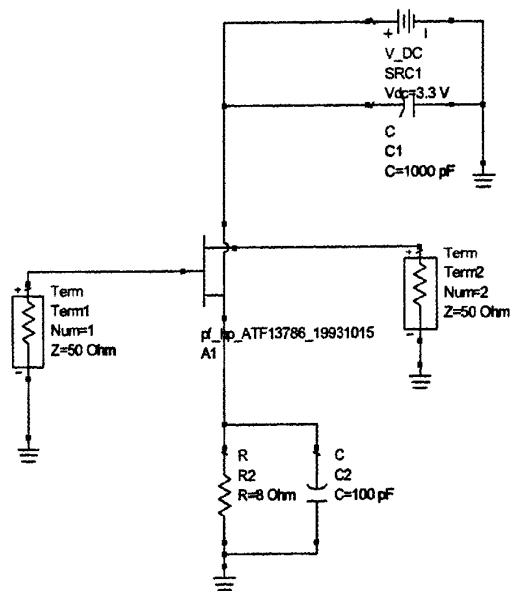


图 3.8 偏置电路

3.3.2 反馈网络的设计

在仿真有源电路时，晶体管有两种模型可以使用，一种是 SP 开头的小信号模型，它的静态工作点是固定的，一种是 Pf 开头的非线性模型，可以进行直流仿真，为了得

到更加精确的仿真结果，本设计的有源电路仿真都是采用非线性模型加入偏置电路的形式。

设置好偏置电路后，为了使晶体管工作在不稳定的状态，还需要加入反馈线，8.8GHz 介质振荡器采用的是共源结构，因此反馈线加在源极。调节反馈线的长度，使电路 S11 大于 1，并且处于峰值，电路工作在不稳定的状态。

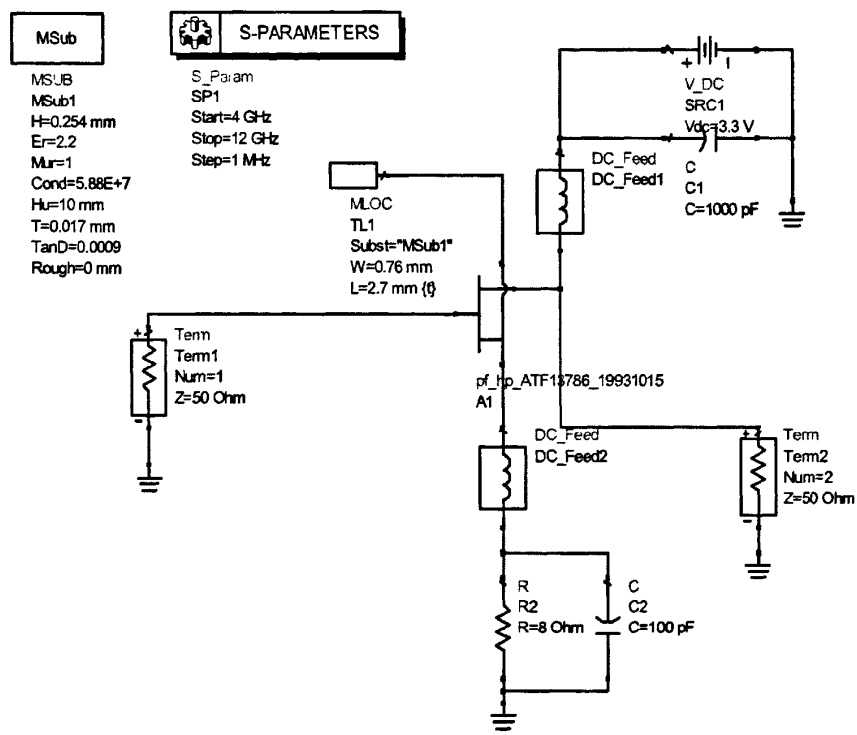


图 3.9 引入反馈线的电路

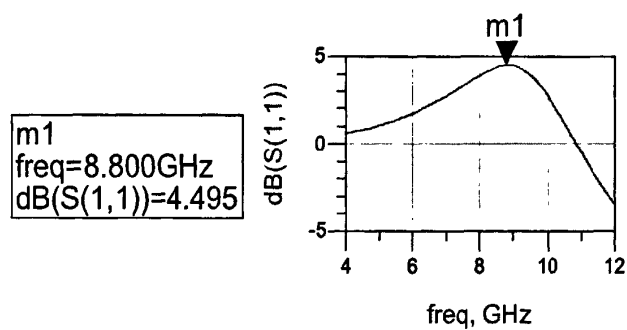


图 3.10 引入反馈线后的 S11 值

3.3.3 扇形线和高阻线的设计

有源电路中的高阻线，一般情况是线的阻抗越高越好，但是特性阻抗太高的话，线会太细，PCB 加工不好实现，也可能无法承受偏置电流，一般采用  $100\Omega$ ，长度为  $\lambda/4$ 。1/4 波长线和扇形线连接，主要作用是从射频回路向电源端看过去的输入阻抗为无穷大，起到射频信号与直流的隔离作用<sup>[36]</sup>。

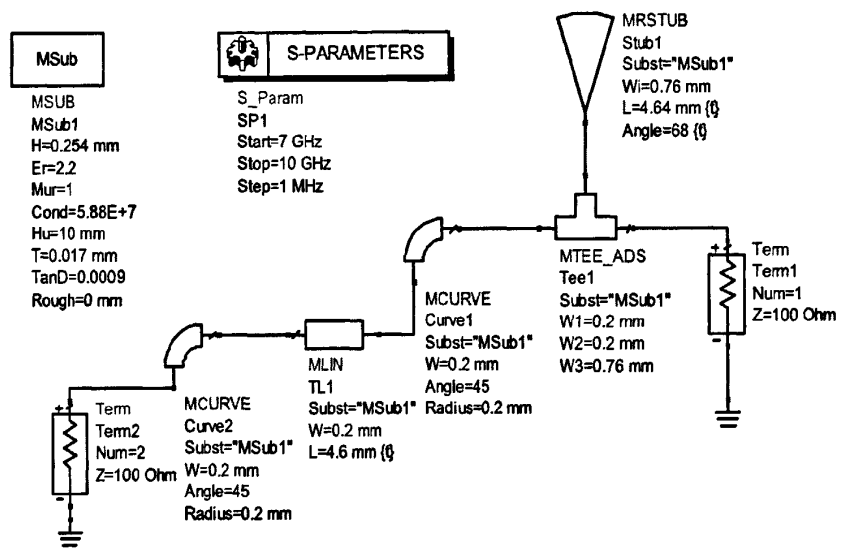


图 3.11 扇形线和高阻线

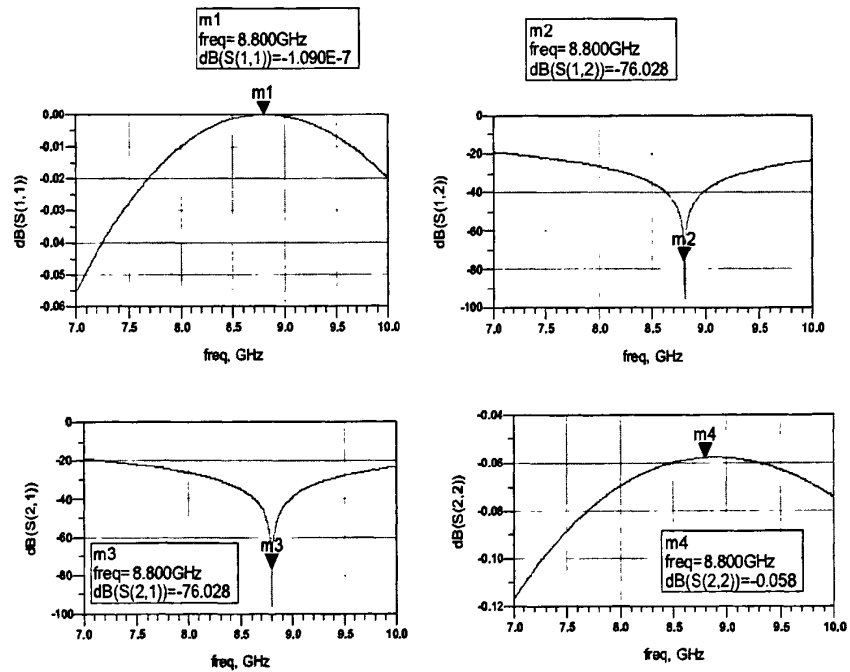


图 3.12 扇形线和高阻线的 S 参数

扇形线和高阻线的设计就是要  $S_{11}$  最大,  $S_{21}$  最小, 且处于峰值, 通过优化扇形线的角度以及半径, 高阻线的长度做微调, 得到了最优值如图 3.12 所示。

3.3.4 整体电路的设计

完成各个部分的设计后, 可以将有源和无源部分连接在一起进行整体设计, 要使整个电路存在剩余负阻和总的电抗为零, 并且将输出端匹配到  $50\Omega$ 。完整电路图如图 3.13 所示。

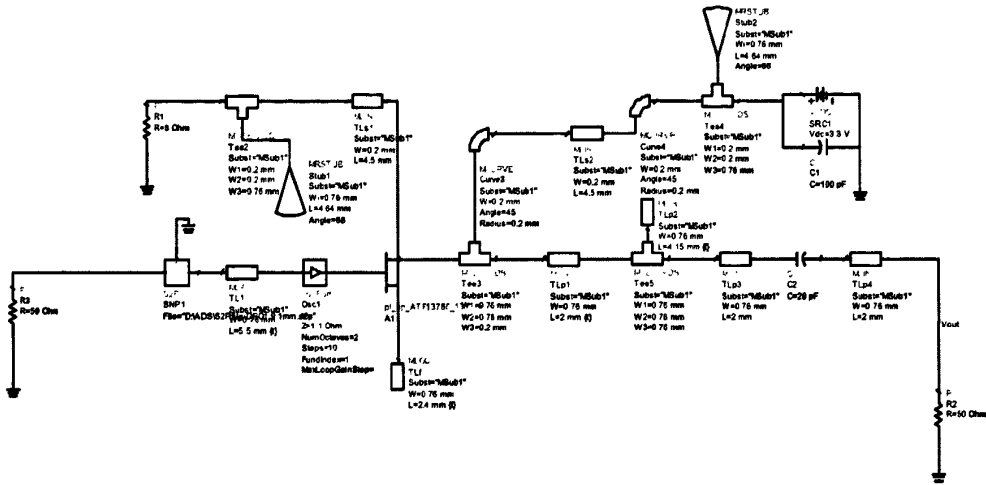


图 3.13 整体电路设计图

整体电路的设计比较复杂, 且需要一定的设计经验, 尝试多种方法后, 总结设计步骤如下, 各参数参照示意图 3.14。

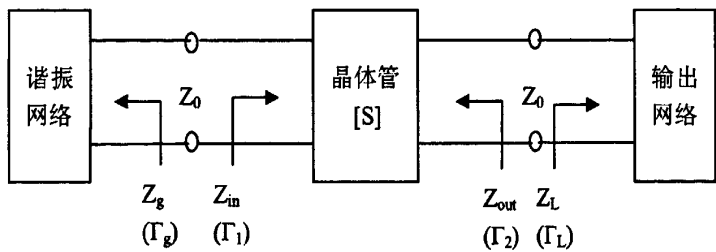


图 3.14 整体电路示意图

首先, 测得谐振网络部分加上连接线的阻抗为  $Z_g=(3.459+j21.025)\Omega$ , 则根据式 2.19, 可以得到理论的最优值为  $Z_{in}=(-10.377-j21.025)\Omega$ 。

将无源部分与晶体管部分连接, 不加入输出网络, 电路输出端直接加  $50\Omega$  的端口, 测得从输出端看进去的阻抗  $Z_{out}=(11.059-j7.023)\Omega$ 。然后, 根据  $Z_{out}$  的值设计输出网络, 通过 ADS 软件自带的匹配模块设计 L 支节匹配电路, 如图 3.15 所示。

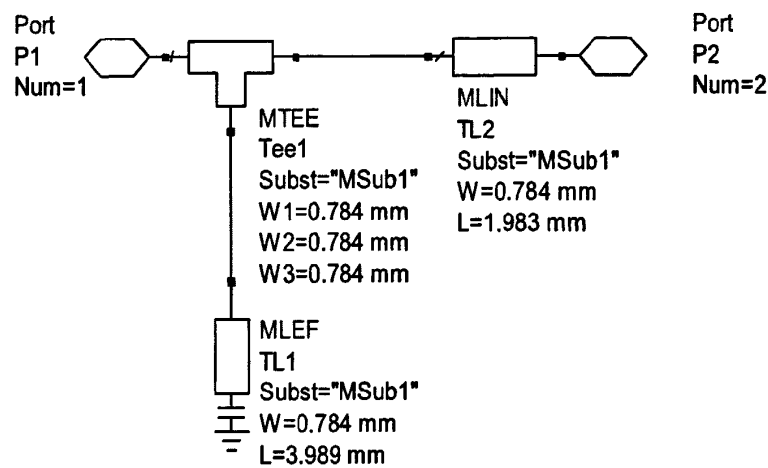


图 3.15 L 支节匹配电路

将匹配电路添加到整体电路中，将谐振网络与晶体管断开，然后调节无源部分与有源部分的连接线的长度，以及反馈线的长度，使得  $Z_{in}$  接近理论值，调节过程中保证从输出端口看进去的  $S_{11}$  大于 1。最终，微调得到  $Z_{in}=(-9.684-j18.053)\,\Omega$ 。

此时，因为调节过反馈线等长度，整体电路的输出端已经不匹配到  $50\,\Omega$  了，再微调输出匹配网络的微带线尺寸，使之匹配到  $50\,\Omega$ ，得到输出端  $Z=(49.956+j0.067)\,\Omega$ 。

另外，需要在输出端加入一个隔直电容，还需要加两端微带线用来连接电容和输出端口，隔直电容采用 20PF 的贴片电容，它的阻抗值仅有  $-j0.9$ ，对电路的匹配几乎没有影响。至此，整个电路设计完成，可采用谐波平衡仿真电路的谐振情况。

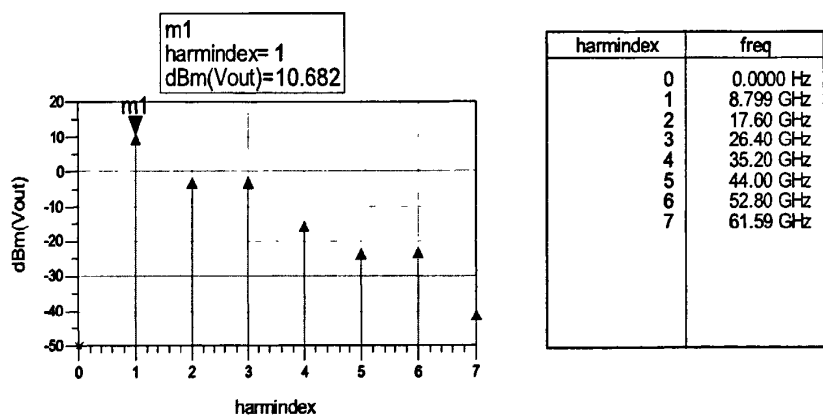


图 3.16 谐波平衡仿真结果



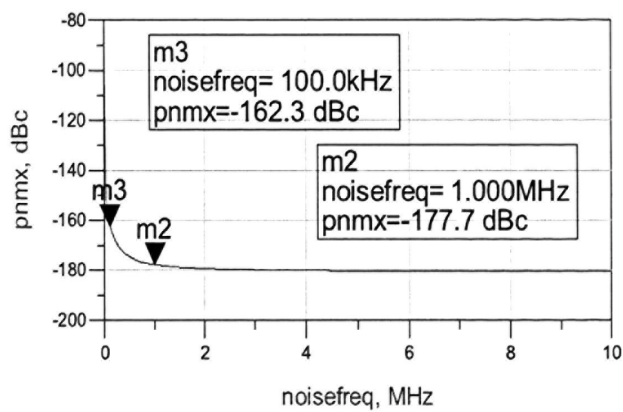


图 3.17 相位噪声仿真结果

电路的谐波平衡仿真结果如图 3.16 和 3.17 所示，可以看出仿真的谐振点在 8.8GHz，输出功率为 10.682dBm，相位噪声为-162dBc/Hz@100KHz，-177dBc/Hz@1MHz，但实际的测试结果远达不到这么理想的相位噪声。瞬态仿真可以仿真出时域的振荡情况，该介质振荡器的瞬态仿真如图 3.18 所示，在 8nsec 的时候达到稳定振荡的状态。

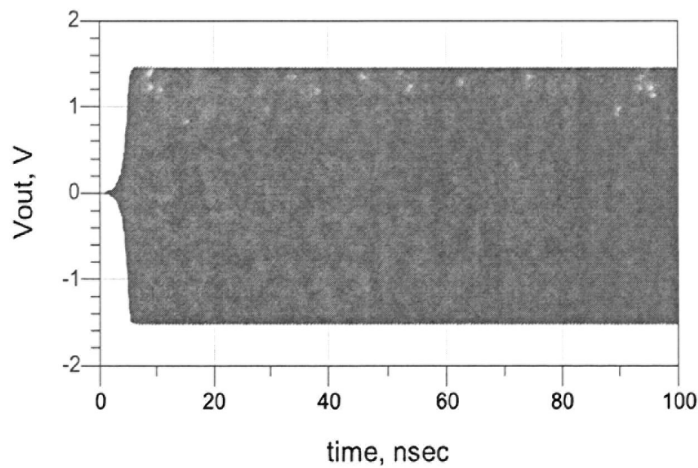
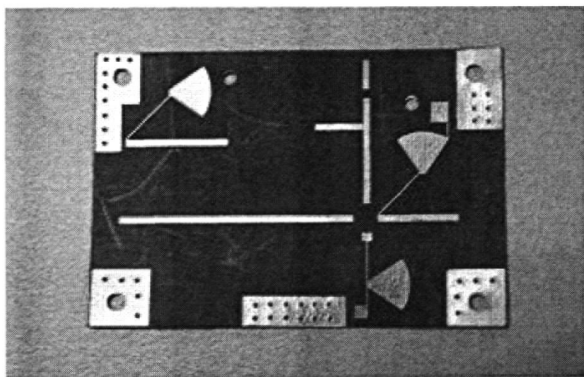


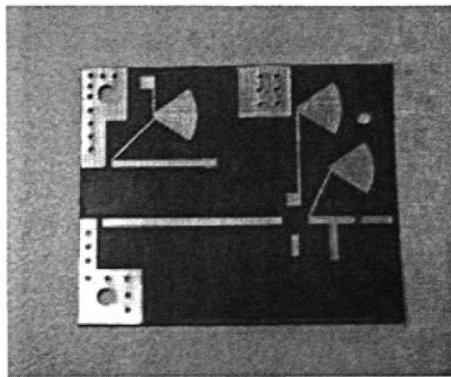
图 3.18 瞬态仿真结果

### 3.4 版图及金属屏蔽盒制作

8.75GHz 的共漏结构的介质振荡器设计步骤和方法与 8.8GHz 共源结构的介质振荡器相同, 只是将输出端口设计在源极, 反馈线加在漏极, 用 ADS 软件设计好电路后, 用 CAXA 软件绘制版图, 即可制版, 电路板均采用 Rogers 5880 板材, 8.75GHz 的共源结构的介质振荡器电路板实物如图 3.19 (a) 所示, 8.8GHz 共漏结构的介质振荡器电路板实物如图 3.19 (b) 所示。



(a) 8.75GHz 共漏结构



(b) 8.8GHz 共源结构

图 3.19 介质振荡器电路板实物图

本设计仿真无源部分的时候, 侧重点在于腔体的尺寸, 并且已经优化得到了一个较为合适的腔体。而一般的介质振荡器, 有源部分和无源部分均在一个腔体中, 一方面, 有源电路会对无源电路产生影响, 使得噪声性能变差, 另一方面, 各种器件的引入会使腔体尺寸的仿真不准确, 失去了参考价值。因此, 本设计采取了一种新的隔离结构的腔体, 通过插板将有源部分与无源部分隔开, 插板下方开一凹槽, 使微带线通过, 隔离结构的金属屏蔽盒如图 3.20 所示。金属板将有源部分与无源部分隔开, 则无源部分仿真更接近于实际情况, 对于实物的调试更具参考价值。

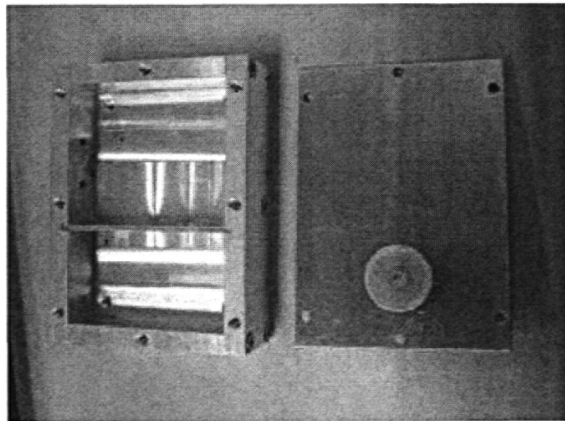


图 3.20 隔离结构金属屏蔽盒实物图

### 3.5 介质振荡器的调试与分析

#### 3.5.1 介质振荡器的调试方法

介质振荡器做成后，可以通过以下途径来调节振荡频率和改善相位噪声：

1. 调节介质块的位置：通过无源部分的仿真可以知道，当介质块远离微带线的时候，耦合就越弱，Q 值就越大，相对的相位噪声就会越小，输出功率会减小；当介质块靠近微带线的时候，耦合就会加强，输出功率就会变大，但是 Q 值会下降，相位噪声性能变差。另外，还要考虑到介质块与变容二极管的耦合，相距太远的话，则压控的频率变化范围就会减小，甚至起不到控制的作用。而当介质块水平移动时，会影响谐振频率，介质块右移，则频率会提高；介质块左移，则频率会降低，注意介质块不要移出机械调谐盖板的覆盖范围。

2. 采用垫片：采用垫片可以调节介质块的垂直位置，垫片的高度一般不超过 0.2mm，否则可能会使介质块与微带线耦合不足，达不到选频和稳频的作用<sup>[37]</sup>。垫片的材料可以采用石英玻璃垫片和聚四氟乙烯塑料垫片等，其介电常数一般位于介质板和介质块的相对介电常数之间。垫片的高度越高，则介质块与微带的耦合就越弱，相位噪声得到改善，但是输出功率会下降，起振也变得困难。

3. 调节反馈线和输出网络：如果调节介质块的位置，也达不到所需的频点的话，可以通过调节反馈线的长度，以及输出网络的微带线的长度，来改变振荡频率。具体方法可以在设计时加入孤岛，方便调试时改变微带线长度，也可以采用贴铜皮等方式。

4. 调节静态工作点：可以调节漏极电压，源极电阻来改变晶体管的工作点，测试中发现微调静态工作点后，振荡频率和输出功率都会发生变化，甚至出现跳模现象。

5. 机械调谐：金属屏蔽盒在设计时，盒盖上就有机械调谐螺杆和金属盖板，其原理是通过改变金属盖板和介质块顶部空间的大小来改变磁场的分布。金属盖板离介质块越近，则振荡频率就越高，导体损耗也就越大；金属盖板离介质块越远，振荡频率越低。其调谐范围在几十到几百 MHz 不等。

6. 若振荡频率偏低，则可以用细砂纸打磨介质块，振荡频率就会提高。所以在定做介质块时，一般可以选取频率稍低一些的介质块，方便调试。

7. 电源要采用至少两个滤波电容，一个用来滤除低频的信号，一个用来过滤高频，并且滤波电容要靠近芯片。

#### 3.5.2 介质振荡器的测试结果

按照 3.5.1 节的各种方法调试后，使介质振荡器工作在所需频点，8.75GHz 的介质振荡器的实物图和测试结果如图 3.21 所示。

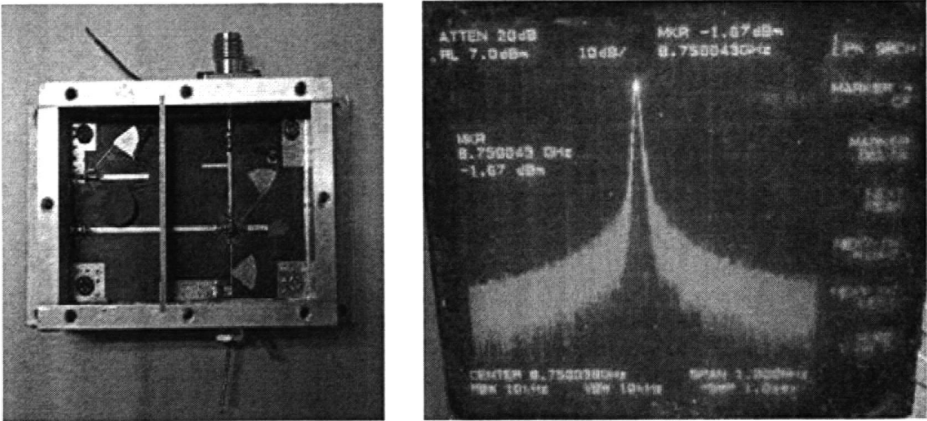


图 3.21 8.75GHz 介质振荡器实物图与频谱图

由上图可以看出，8.75GHz 共漏结构的介质振荡器输出功率为-1.67dBm，电路尺寸为 32mm×47mm，因其设计是为 8.8GHz 的 PDRO 的设计积累经验，因此，没有做进一步改进。

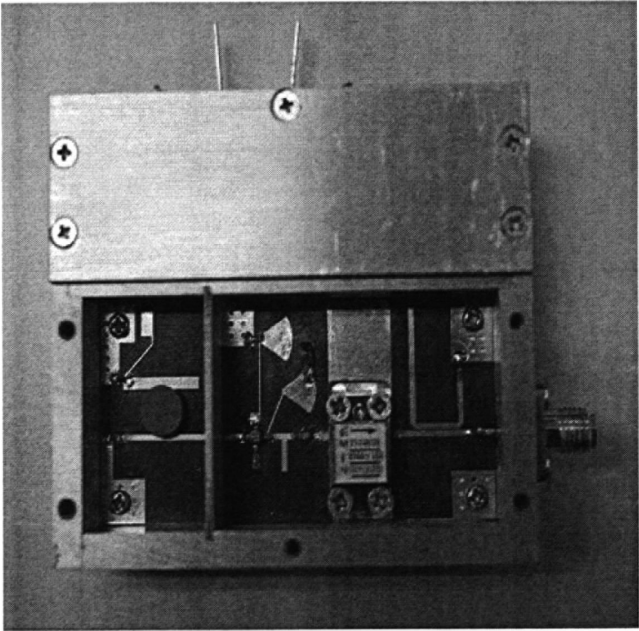


图 3.22 8.8GHz 介质振荡器实物图

而 8.8GHz 共源结构的介质振荡器相比较 8.75GHz 的介质振荡器有如下改进方面：一，输出功率更高，8.8GHz 的 DRO 输出功率为 8.17dBm，这是因为仿真有源电路尺寸较为准确，实物调试时，对有源电路部分的改动较小。二，体积更小，8.8GHz 的 DRO 电路尺寸为 29mm×34mm。三，在电路输出端加以隔离器，一方面可以减少负载对于频率源的牵引，另一方面可以使输出相位噪声更好。另外，因其将与锁相环路结合做成锁相介质振荡器，因此对其相位噪声和调谐范围做进一步的讨论。各参数如下，其 10kHz 位置的噪声性能很差且不易测量，在锁定后噪声性能会提高。

- 输出功率：8.17 dBm
- 机械调谐范围：大于 300MHz
- 电调谐范围：约为 3MHz
- 相位噪声值：-101dBc/Hz@100kHz

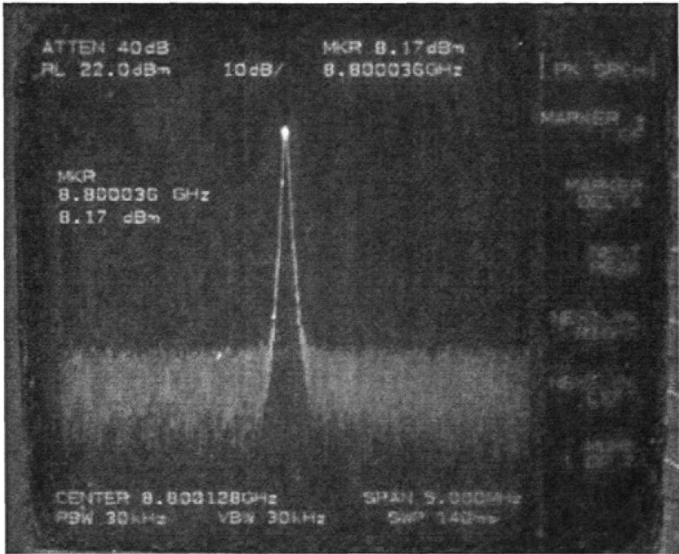


图 3.23 8.8GHz 介质振荡器的相位噪声

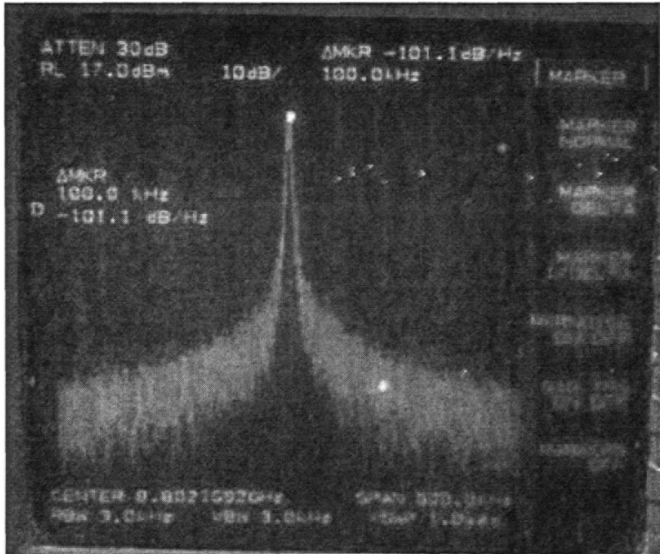


图 3.24 8.8GHz 介质振荡器的相位噪声

3.5.3 共源结构与共漏结构性能对比

8.75GHz 共漏结构的介质振荡器设计要早一些，因经验不足，难免比 8.8GHz 共源结构的介质振荡器性能要差一些，但是在设计过程中，发现共漏结构与共源结构的一些区别，主要表现在有源部分的电路设计。共漏结构的电路不稳定圆的范围要大一些，在用

ADS 仿真时，电路比较容易起振，而且调解输出匹配和反馈线的长度时，发现在一定的范围内，电路都可以工作在振荡状态，谐波平衡仿真和瞬态仿真的结果都是正常振荡。

共源结构的介质振荡器起振比较困难，在有源电路设计时，尝试了很多电路尺寸，有时谐波平衡的仿真结果正常，但时域仿真结果却不振荡，而且输出网络和反馈线的长度有很小的变化，对电路影响都比较大。另外一点，共源结构的介质振荡器输出功率要比共漏结构大一些。两种设计具体的区别见下表。

表 3.8 共源结构和共漏结构的介质振荡器的区别

频率	8.75GHz	8.8GHz
结构	共漏结构	共源结构
电路设计	源极输出，漏极反馈	漏极输出，源极反馈
反馈线长度	9mm	2.4mm
起振	较为容易	较为困难
输出功率	-1.67dBm	8.17 dBm
相位噪声	-96 dBc/Hz@100kHz	-101dBc/Hz@100kHz

## 4 锁相环的设计制作

本文的锁相环设计方案如下，带有压控功能的介质振荡器作为锁相环路中的VCO，其输出经定向耦合器引出一路信号进入预分频电路，经四分频后进入鉴相器，晶体振荡器作为参考频率，通过鉴相器的比较得到控制电压，然后经过环路滤波器，将介质振荡器输出的频率锁定在某固定频点上，即可得到稳定干净的PDRO。

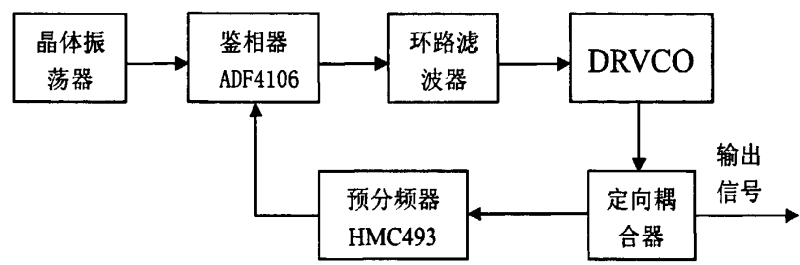


图 4.1 PDRO 方案结构图

### 4.1 定向耦合器的设计

首先，根据图 2.9 所示，鉴相器要正常工作需要两路输入：一路是晶体振荡器直接输入作为参考频率，一路是 VCO 输出端反馈回来的信号，两路信号进行相位比较。因此，VCO 的输出端需要分成两路，可以使用定向耦合器来实现。

定向耦合器有四个端口分别为：1.输入端口，2.直通端口，3.耦合端口，4.隔离端口，在理想情况下，端口 1 和端口 4 的隔离度为无穷大。本文采用的是 U 形微带线构成的定向耦合器，如图 4.2 所示。

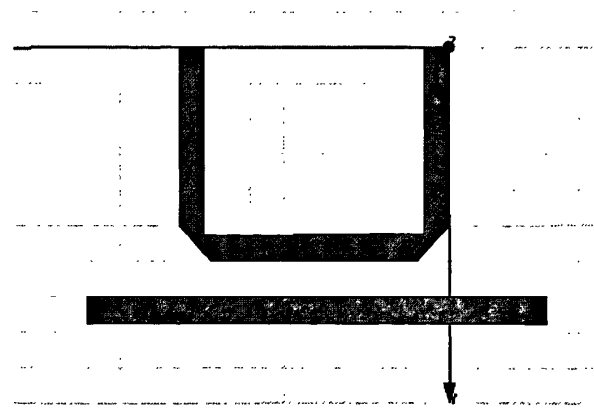


图 4.2 定向耦合器仿真图

定向耦合器的直通端口作为 VCO 的输出，耦合端口作为反馈回路的输入口，隔离端口接一  $50\Omega$  电阻作为匹配负载然后接地，将该端口的能量吸收掉，避免反射造成影响。根据设计方案，VCO 反馈的信号要通过预分频器，本文采用的预分频器的输入功率范围为  $-20\text{dBm}\sim+10\text{dBm}$ ，推荐值为  $-7\text{dBm}$ ，介质振荡器的输出功率为  $8\text{dBm}$  左右，因此设计耦合度约为  $-15\text{dB}$ 。本文所用板材的相对介电常数为 2.2， $50\Omega$  微带线的宽度  $W$  为  $0.76\text{mm}$ ，耦合段微带线长度为四分之一波长  $6.23\text{mm}$ ，为减少损耗，导角长度选取为  $1.8W$ ，即  $1.37\text{mm}$ 。通过 HFSS 仿真软件的分析，微带线和 U 形线之间的间隔与 S 参数的关系如表 4.1 所示，最终选取间隔为  $0.15\text{mm}$ 。

表 4.1 间隔与 S 参数的关系（单位：dB）

间隔	S11	S21	S31	S41
0.1mm	-25	-0.24	-13.06	-29.6
0.15mm	-27	-0.21	-15.25	-29.5
0.2mm	-39	-0.10	-16.80	-29.3
0.3mm	-35	-0.06	-19.58	-29.7

4.2 预分频电路设计

本文选取的鉴相器芯片为 AD 公司的 ADF4106，允许的射频输入频率为  $0.5\text{GHz}$  到  $6\text{GHz}$ ，而 VCO 的输出频率为  $8.8\text{GHz}$ ，因此，在进入鉴相器之前需要进行预分频。

预分频器采用的是 Hittite Microwave 公司的 HMC493 除 4 分频器，它的单边带相位噪声仅为  $-150\text{dBc/Hz}$ ，可以对 DC 至  $18\text{GHz}$  的信号进行分频，分频后输出的功率约为  $-7\text{dBm}\sim-4\text{dBm}$ ，可直接接入 ADF4106，输入功率范围为  $-20\text{dBm}\sim+10\text{dBm}$ 。单电源直流供电，工作电压为  $+5\text{V}$ ，工作电流约为  $96\text{mA}$ ，采用  $9\text{mm}^2$  的 QFN 贴片封装，其功能框图和单边带相位噪声如图 4.3 所示。

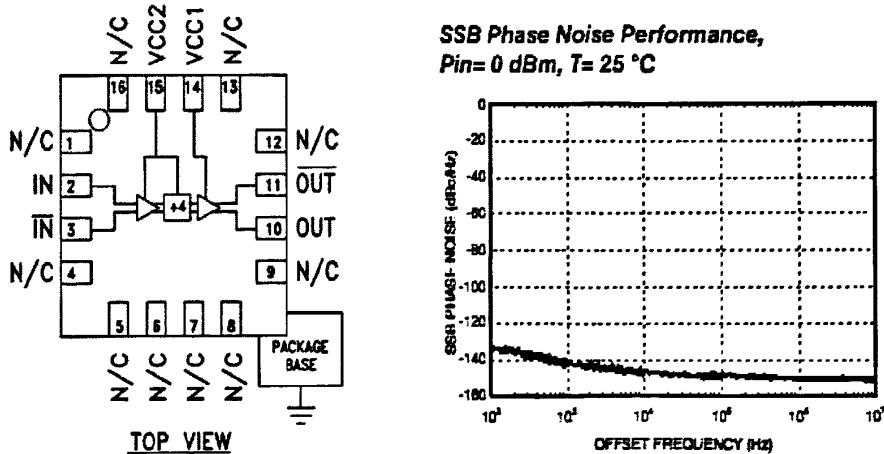


图 4.3 HMC493 功能图和相位噪声



由HMC493芯片构成的分频器，外围电路非常简单，VCC端接+5V电源，输入端和输出端各加一隔直电容，互补输入端接电容后接地，互补输出端接匹配电阻后接地，其他管脚悬空即可。

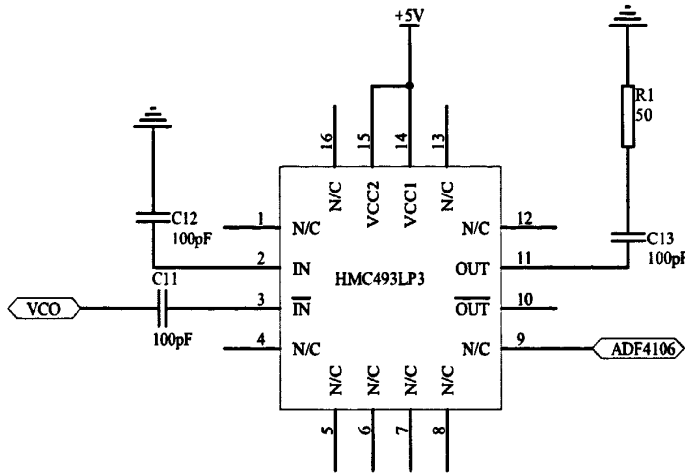


图 4.4 HMC493 分频器电路

4.3 鉴相器电路及控制电路设计

本文采用的鉴相器芯片为 AD 公司的 ADF4106，该芯片包括一个低噪声数字相位频率检测器 PFD，一个精密电荷泵，可编程分频器 R 和可编程分频器 N。其内部功能框图如下：

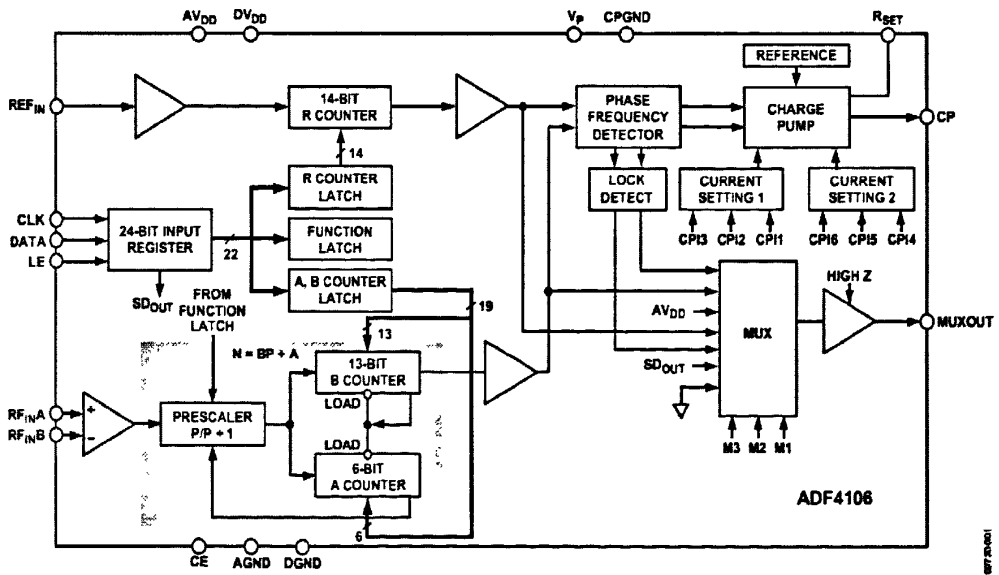


图 4.5 ADF4106 内部功能框图

晶振的参考频率经过 14 位的分频器 R 分频得到鉴相频率，射频信号经过分频器 N 分频之后，与鉴相频率相比较，产生一个直流控制信号<sup>[38]</sup>。其中，分频器 N 是由 6 位计数器 A，13 位计数器 B，双模前置分频器 P/P+1 组成， $N=BP+A$ ，P/P+1 的取值有四种：8/9，16/17，32/33，64/65，且 B 必须大于等于 A<sup>[39]</sup>。

ADF4106 的具体参数如下：

- 归一化相位噪声：-219dBc/Hz
- RF 输入频率范围：0.5GHz~6GHz
- RF 输入灵敏度：-10dBm~0dBm
- 参考输入频率范围：20MHz~300MHz
- 鉴相频率最大值：104MHz
- AV<sub>DD</sub> 范围为 2.7V~3.3V，DV<sub>DD</sub>=AV<sub>DD</sub>
- 封装形式：TSSOP-16

ADF4106 的各参数是由单片机控制的，本课题选用 TI 公司的 MSP430F2013 单片机，通过 CLK、DATA、LE 三个管脚进行串行通信来配置锁相芯片，该单片机只需 3V 单电源供电，128B 的 RAM，2KB+256B 的 flash Memory，采用 TSSOP 封装，具有低功耗特点<sup>[40]</sup>，其程序烧写可直接使用 USB 接口，使用便捷。ADF4106 的外围电路及单片机控制电路如图 4.6 所示。

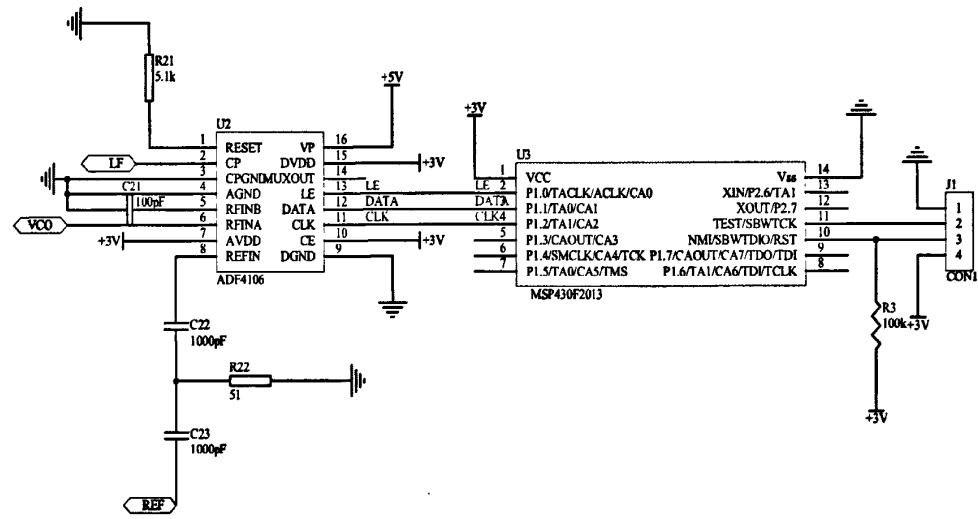


图 4.6 鉴相器电路及控制电路原理图

芯片外围电路已经设计好，下面就要确定分频器的参数，编写单片机的控制程序。

1. 分频器参数确定

ADF4106 有以下参数可编程：参考频率分频数 R，计数器 A，计数器 B，前置分频数 P，电荷泵电流 V<sub>P</sub>。

选取参数的原则如下：

- 分频数满足  $N = PB + A$ ，且  $B \geq A$ ，N 值越小则引入的噪声越小
- P/P+1 的工作有四种模式：8/9，16/17，32/33，64/65
- 考虑前置分频器允许的输出最大值：P=8 时， $f_{VCO}/P < 300\text{MHz}$

P=16 时， $f_{VCO}/P < 325\text{MHz}$

介质振荡器输出的频率为 8.8GHz，经过 HMC493 预分频后，反馈到 ADF4106 的频率为 2.2GHz，对于锁相环有：

$$f_{\text{反馈}} = (PB + A) \frac{f_{\text{REF}}}{R}$$

上式中  $f_{\text{REF}}$  为参考频率，选取 100MHz 晶振为参考频率，鉴相频率选取 50MHz，因此  $R=2$ ， $N=44$ ，根据上述原则，选取  $P=8$ ， $B=5$ ， $A=4$ ，可以计算前置分频器输出为 275MHz，小于 300MHz，符合要求。

## 2. 控制字确定

对于计算出的 A、B、P、R 的值，以及工作模式等的确定，是通过对单片机写入控制字来配置的。单片机需要写入的控制字包括初始化控制字 INI，功能控制字 FUN，N 分频器控制字 N (A,B)，参考分频器控制字 REF。设置控制字的程序如下：

```
/* ADF4106 Control words BP+A=5*8+4=44 */
#define CONFIG_SIZE 12
const unsigned char ADF4106_CTL[CONFIG_SIZE]={
                                0x1f,0x80,0x03,    //INI
                                0x1f,0x80,0x02,    //FUN
                                0x00,0x05,0x11,    //N(A,B)
                                0x00,0x00,0x08    //REF
                                };
```

控制字确定后，使用 IAR Embedded Workbench 软件编写控制程序，然后将程序通过烧写器写入单片机，加电后即可对 ADF4106 进行控制。

## 4.4 环路滤波器电路的设计

根据 2.2.2 节对于环路滤波器的叙述，因为 DRVCO 的压控灵敏度比较低，而仿真得到的输出在 8.8GHz 的控制电压接近鉴相器电荷泵的输出电压 5V，因此选取有源滤波器来提高控制电压，最终选取有源比例积分滤波器，其电路结构如图 4.7 所示。

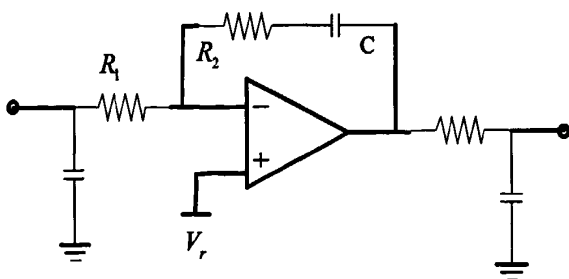


图 4.7 有源比例积分滤波器原理图

环路滤波器电路中的放大器采用的是 AD 公司的 OP27, 该放大器具有较高的共模抑制比及较低的输入噪声电压密度和温漂<sup>[41]</sup>。根据 2.2.1 节鉴相器原理的分析, 运放的同相输入  $V_p$  取电荷泵电源的一半, 为 2.5V, 环路滤波器中各电阻电容的值可由 ADIsimPLL 仿真软件计算出来。

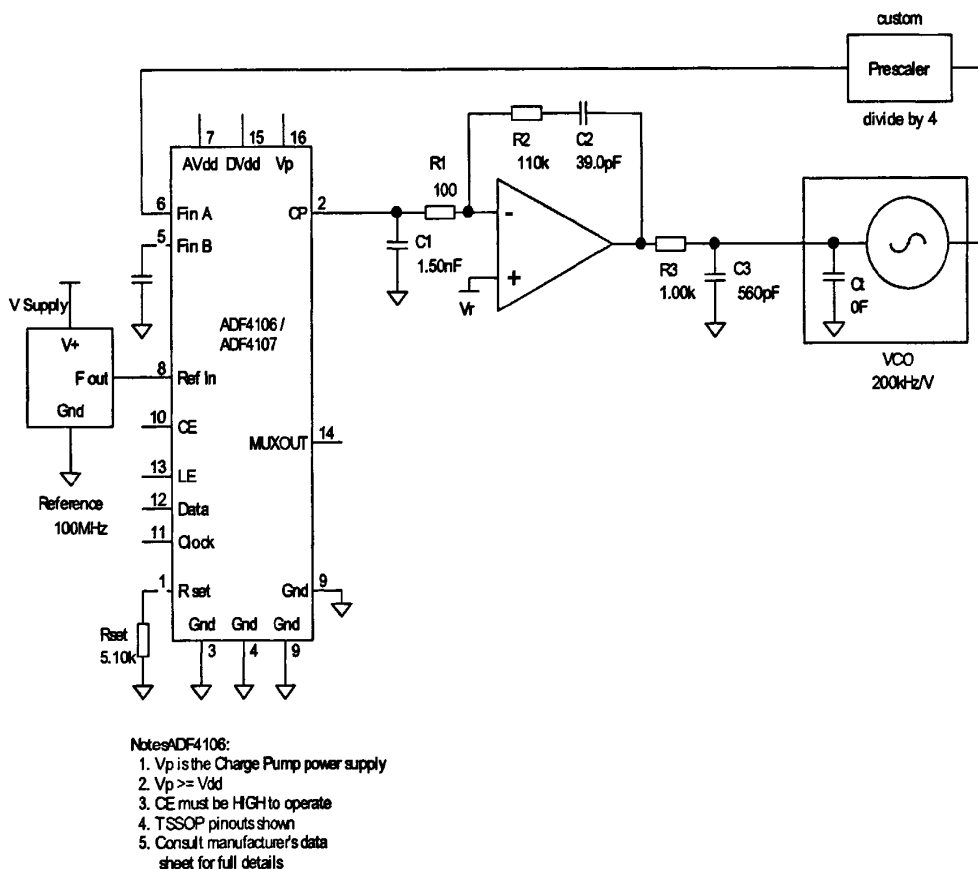


图 4.8 环路滤波仿真图

锁相环电路各参数设置如下:参考频率 100MHz, 进行二分频后鉴相频率为 50 MHz, 前置分频器为 4 分频, 从芯片手册上查得 PFD 的鉴相灵敏度为 0.286V/rad, VCO 的压控灵敏度为 200KHz/V。环路带宽的选取是环路仿真中的关键问题, 这关系到锁相环能否入锁, 入锁快慢及相位噪声等。仿真时, 初步选取环路带宽为 100KHz, 相位裕度为

45 度，得到各参数如图 4.8 所示，在实际调试电路的时候，根据锁定情况和相位噪声再调节环路带宽。

4.5 整体电路的设计

PLL 主要构成部分前几节已经详细阐述，压控介质振荡器的输出经耦合器分支反馈回环路，经 HMC493 进行 4 分频后进入 ADF4106，单片机 MSP430 对 ADF4106 进行控制，对反馈信号分频后与参考信号比较，输出控制电压，经 OP27 环路滤波后，控制压控介质振荡器的输出频率。整个 PLL 电路原理图如下：

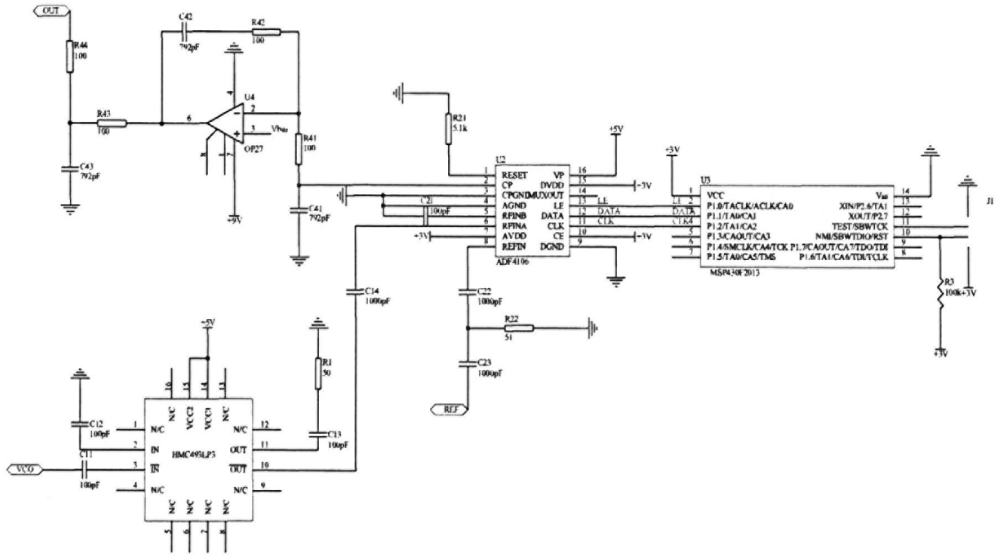
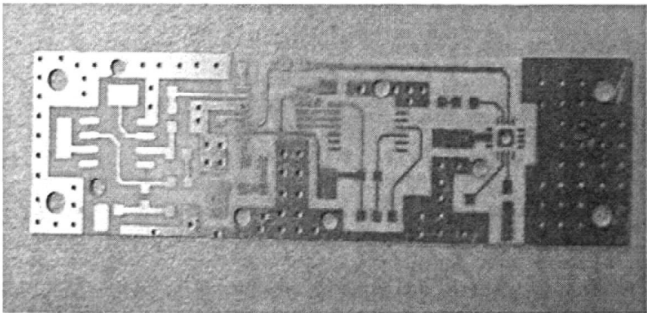


图 4.9 锁相环电路原理图

根据原理图，使用 DXP 软件绘制版图，布线时要注意以下几点：

- 合理布局，使信号之间的干扰最小，体积最小。
- 电源线要尽量粗，过孔位置要注意，避免电源线与信号线交叉。
- 在电源引脚处加电容滤去高频噪声，且滤波电容越靠近芯片越好。
- 接地要处理好，避免电磁干扰。

锁相环电路的尺寸为 29mm×17mm，PCB 版图及实物图如图 4.10 所示。



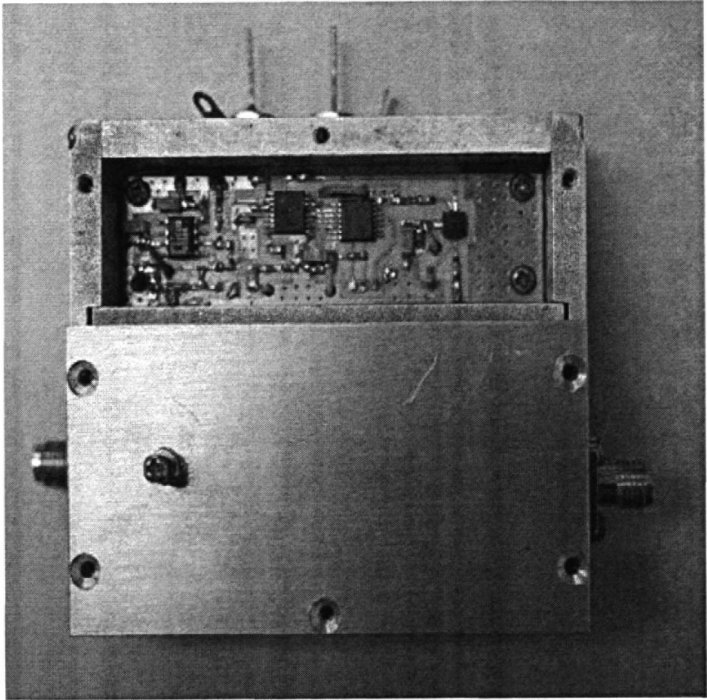


图 4.10 PLL 的 PCB 图及实物图

## 5 PDRO 测试结果与分析

## 5.1 电源电路

在方案设计中，为每个芯片提用的电源为：

**DRVCO: +3.3V**

**HMC493: +5V**

ADF4106: +3V, +5V

MSP430F2013: +3V

OP27: +9V,  $V_f = 2.5V$

晶体振荡器: +3.3V

可以设计外加直流+8V和+12V两路电源,+12V电源通过78L09稳压块提供+9V电,+8V电源通过LM7805稳压块提供+5V电,通过LM1117提供+3.3V和+3V电,电源引脚处需加滤波电容,采用 $0.1\mu F$ 电容和 $10\mu F$ 的钽电容, $0.1\mu F$ 的电容主要用来滤除高频分量, $10\mu F$ 的钽电容主要用来滤除低频分量。具体电路如图5.1所示。

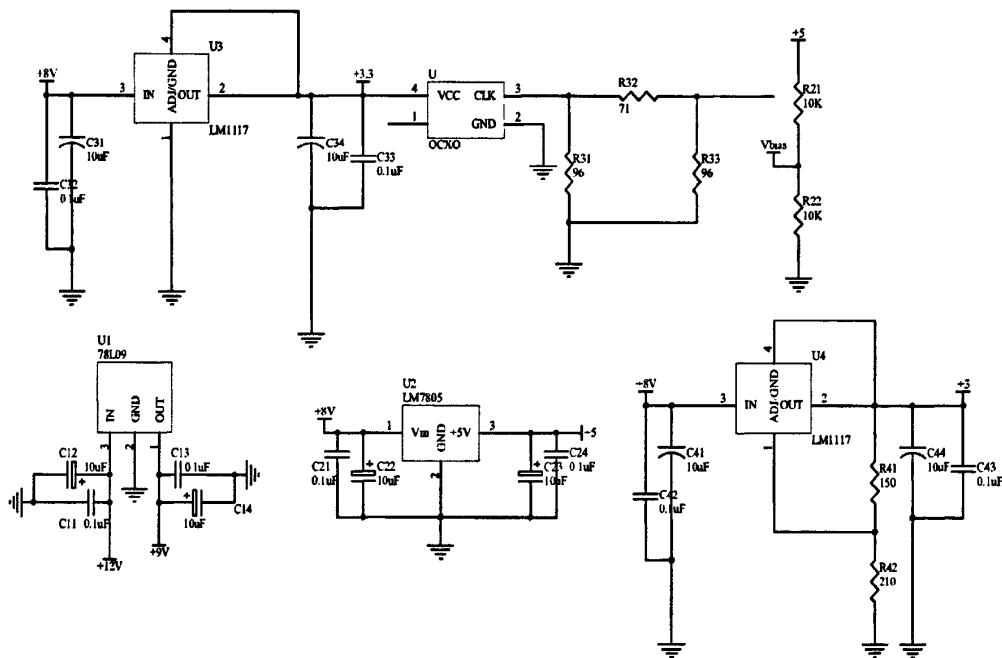


图 5.1 电源电路原理图

另外，为了节省空间实现小型化，将参考晶振也放在电源电路中，参考频率采用贴片形式封装的 100MHz 晶振 HXO-36B，该晶振尺寸约为 5×7mm，输出功率实测为 15dBm 左右。ADF4106 芯片建议的参考频率输入小于 10dBm，因此在晶振和 ADF4106 间加入

$\pi$  型衰减器，衰减值取 10dB。该衰减器为电阻元件组成，电路如下：

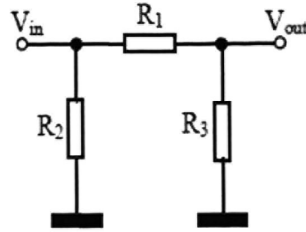


图 5.2 衰减电路原理图

$\pi$  型衰减器一般不需要进行阻抗变换，只需将  $R_2$  和  $R_3$  取相同阻值，电路为对称形式，其输入阻抗和输出阻抗就相等。设  $R_2 = R_3 = R$ ， $\pi$  型衰减器的计算公式为：

$$\begin{cases} R = \frac{A_T + 1}{A_T - 1} R_0 \\ R_1 = \frac{A_T^2 - 1}{2A_T} R_0 \end{cases}$$

输入输出阻抗  $R_0 = 50\Omega$ ，电压衰减倍数  $A_T = V_{in} / V_{out}$ ，衰减为 10dB，可计算出：

$$R = 96\Omega$$

$$R_1 = 71\Omega$$

整个电源电路在金属屏蔽盒的底部，电源电路及晶振电路的实物图如图 5.3 所示：

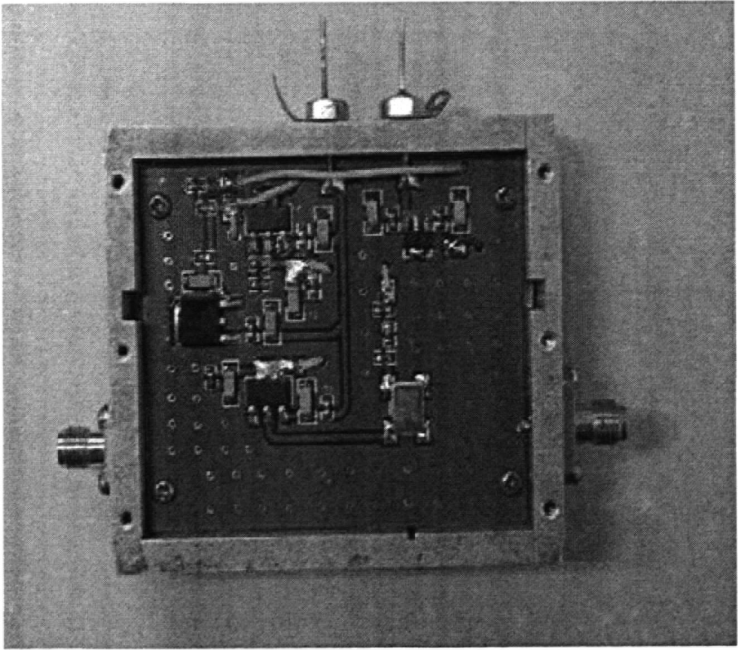


图 5.3 电源电路的实物图



## 5.2 整体电路测试

将 DRVCO 和 PLL 电路装配在屏蔽盒内, 电源电路在盒子背面, 即可进行整体电路的测试。另外, 为了减少干扰, 在介质振荡器和定向耦合器之间加入一隔离器, 电路元件全部集成在一个尺寸为  $50\text{mm}\times 59\text{mm}\times 16\text{mm}$  的屏蔽腔里, 实现了小型化的设计。实物图如图 5.4 所示。

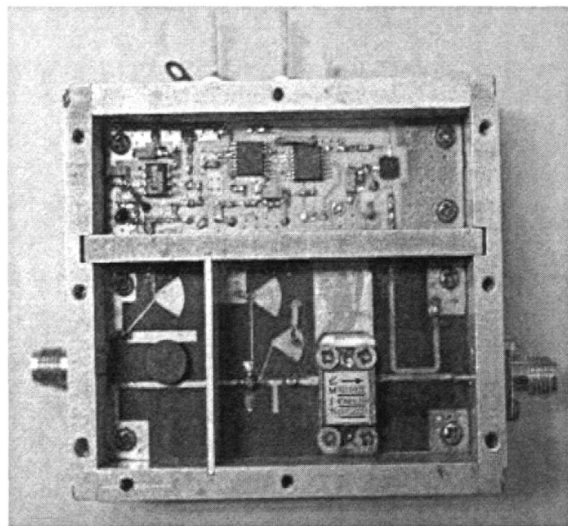


图 5.4 PDRO 实物图

在加电测试前, 首先要做好准备工作, 将 PDRO 与频谱仪连接好, 检查外加直流电源的极性是否正确, 用万用表测量电源与地之间是否短路, 然后检查各电路连线是否正常, 电解电容等有正负极之分的器件的安装方向是否正确, 各部分均无误后即可加电测试。

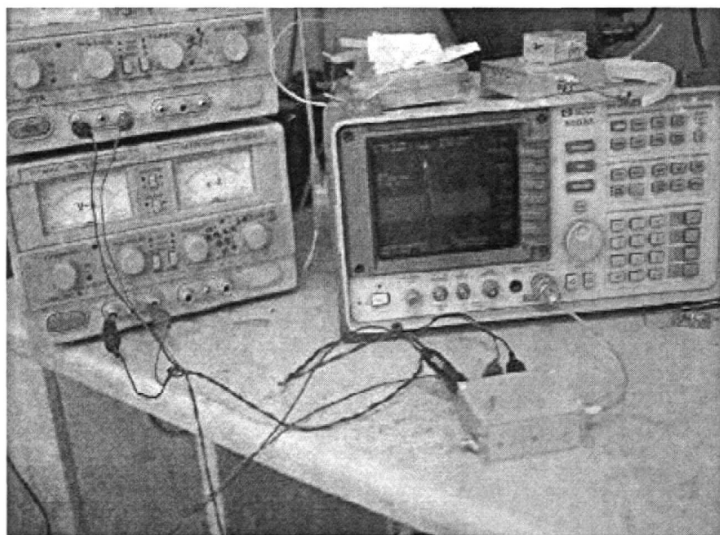


图 5.5 PDRO 测试环境

整体测试时，DRVCO 部分已经调试好，可以作为一个部件来使用，只要调试锁相环部分，若环路未入锁，可以从以下步骤来进行调试：

- 检查电路各个电源电压是否正常，接地是否良好。
- 检查连线及焊接，是否有虚焊漏焊的地方。
- 用频谱仪测试介质振荡器输出是否在 8.8GHz 附近。
- 测试 HMC493 分频后，频率后是否为 2.2GHz。
- 检查参考晶振输入 ADF4106 的频率是否为 100MHz。
- 检查单片机工作是不是正常，可以写入一个方波程序，然后用示波器看输出波形。
- 将单片机的控制程序中 ADF4106 的 MUXOUT 管脚输出设为 R 分频和 N 分频，然后检查该检测端输出是否正常。
- 测量 ADF4106 的 R<sub>SET</sub> 管脚电压，在上拉电阻为 5.1K $\Omega$  时，该管脚电压约为 0.6V。
- 若 ADF4106 正常工作，则调整环路带宽和相位裕度，根据仿真值微调电阻和电容的值。

最终，选择环路带宽为 81kHz，相位裕度为 48 deg。

测得 PDRO 的性能指标如下：

输出频率：8.8 GHz

输出功率：8.1 dBm

相位噪声：-94dBc/Hz@10kHz

-98dBc/Hz@100kHz

-113dBc/Hz@1MHz

杂散噪声：< -78 dBc

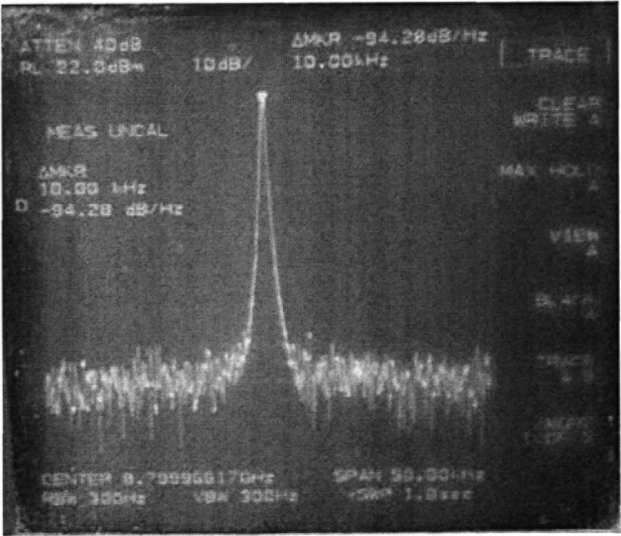


图 5.6 PDRO 在 10KHz 处的相位噪声

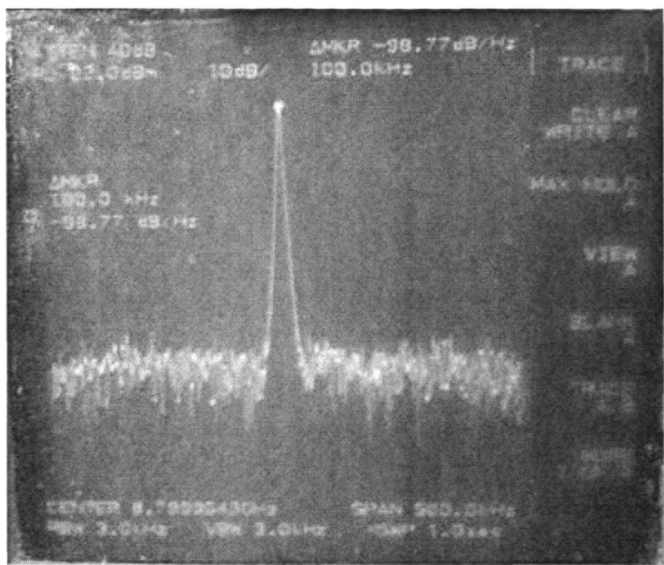


图 5.7 PDRO 在 100kHz 处的相位噪声

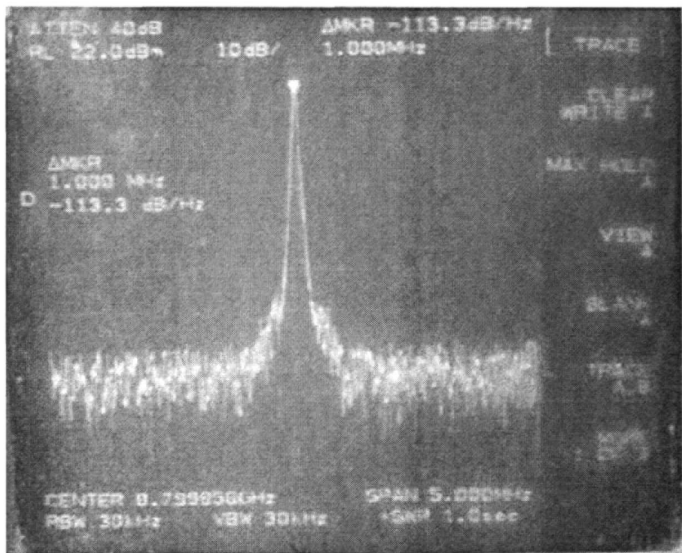


图 5.8 PDRO 在 1MHz 处的相位噪声

从图 5.6，图 5.7 和图 5.8 可以看出，锁定相位后，偏离中心频率 10kHz 处的相位噪声为-94dBc/Hz，偏离中心频率 100kHz 处相位噪声为-98dBc/Hz，偏离中心频率 1MHz 处相位噪声为-113dBc/Hz。与自由振荡的介质振荡器的相位噪声对比可以发现：100kHz 处的相位噪声从-101dBc/Hz 变到-98dBc/Hz，恶化了 3dB 左右，而 10kHz 处的相位噪声有了明显的改善，从-80dBc/Hz 左右改善到了-94dBc/Hz。

与处于领先水平的锁相介质振荡器相比，本课题的相位噪声指标还有上升的空间，分析原因主要如下：

1. 加工的陶瓷介质块的无载品质因数不是很高，只有 3500~4000 左右，而现在品质因数比较高的陶瓷介质块 Q 值可达 10000 以上，因此介质振荡器的相位噪声指标没达

到理想的值。

2. 介质板存在导体损耗和辐射损耗，屏蔽盒，调谐盖板，固定螺钉等均存在一定的损耗，降低了 DRO 的有载 Q 值。另外，可以尝试换取不同材料的垫片来改善输出相位噪声。

3. 有源器件的噪声影响不可避免，虽然采用了隔离结构，对相噪性能有一定的改善，但是本文选取的 GaAs FET 作为有源器件，性能相对于 HBT 和 BJT 而言较差一些，因此可以选择有更低噪声系数的晶体管。

4. 为了使介质振荡器能在锁相环路中担任 VCO，本文使用了变容二极管来实现压控功能，而本文采用的变容二极管 SMV2019 的品质因数较低，会使谐振网络的品质因数下降，影响噪声系数指标。

## 结束语

本文首先介绍了介质振荡器与频率源的概况，分析了锁相介质振荡器各部分的工作原理，使用 ADS 和 HFSS 仿真软件分别对介质振荡器有源部分和无源部分的电路进行设计优化，并且制作了 8.75GHz 的共漏结构和 8.8GHz 的共源结构的两款介质振荡器。然后制作了以 ADF4106 芯片为基础的锁相环电路，与 8.8GHz 介质振荡器结合形成 PDRO。最终测试输出功率为 8.1dBm，相位噪声为 -94dBc/Hz@10kHz，-98dBc/Hz@100kHz，-113dBc/Hz@1MHz。

在仿真和调试过程中，发现并解决了很多问题，对于锁相介质振荡器的各种特性都有了一个较为深入的认识，并且制作了实物，达到了课题预期的目的，为以后制作出更先进的锁相介质频率源积累了丰富的经验，打下了良好的基础。但是因为本人设计经验和时间所限，再加上这是个比较前沿的课题，相关资料比较匮乏，设计调试的难度也比较大，所做工作还有许多不足之处，有待进一步完善。具体缺点如下：1.介质振荡器的相位噪声性能，离仿真的结果有一定的差距，还有提升的空间。2.DRO 的压控范围较小，使得锁相环入锁比较困难。

另外，以本课题为基础，对电路进行改进，以下几个方面可以进一步研究：对于输出功率方面，因为某些系统要求频率源要有较高的输出功率，可以采用串联两个晶体管的方式作为振荡器的放大器件，两级放大可以有效的提高增益。对于输出频率方面，由于受集成电路制造工艺和器件水平的限制，很难将锁相介质振荡器做到很高的频段，因此可以采用经过倍频器倍频，再通过滤波器滤波取出所需谐波的方式获得较高频率的输出。

最后，由于本人水平有限，论文中难免出现错误和纰漏，希望各位专家批评指正。

## 致 谢

值此硕士论文完成之际，我谨向各位支持和帮助过我的老师、同学以及亲人，致以最诚挚的谢意，感谢你们对我人生道路上的指导和陪伴，见证我的进步与成长。

首先要感谢的是我的导师赵建中教授，赵老师学识渊博，经验丰富，在整个研究生阶段我都得到了赵老师的悉心指导和孜孜不倦的关怀。特别是在毕业设计阶段，赵老师悉心指导我完成课题的开题，理论研究，电路设计以及论文的编写，并不断的给出了很多启发性的建议和指导，对于课题的顺利完成起到了关键作用。赵老师对于我学业上的指导和帮助，使我受益匪浅，对于人生态度和为人处事的教诲更是对我今后的生活起到深远的影响，使我终身受益。

同时，还要感谢教研室陈春红老师、杨国老师、缪晨老师、康炜老师等，他们在课题研究中给予我很多指导和帮助。感谢梁松涛、杨阳、龚君、王辉、沈莉丽、刘森、杨风云等同学，他们陪我度过了两年半的时光，在学业上大家互相督促共同进步，在生活中也相处融洽互相帮助，衷心的感谢他们。

最后，对所有百忙之中审阅本文的专家及教授致以深深的谢意！

## 参考文献

- [1] 刘顺英等. 锁相环原理、设计及其应用. 北京: 人民邮电出版社, 1988
- [2] 童诗白, 华成英. 模拟电子技术基础. 北京: 高等教育出版社, 2001: 446-447
- [3] Peregrine Semiconductor Corp. PE83336datasheet. <http://www.psemi.com/>, 2011
- [4] 廖承恩. 微波技术基础. 第一版. 西安: 西安电子科技大学出版社, 2003
- [5] David M. Pozar. Microwave Engineering. Third Edition. BeiJing: Publishing House of Electronics Industry, 2006: 506
- [6] Mysoor, N.; Kayalar, S.; Andricos, C.; Walsh, G.J.. Performance of dielectric resonator oscillator for spacecraft transponding modem. IEEE Proceedings Aerospace Conference, 2001, 3: 1189 – 1194
- [7] 宋红江, 尹哲. Ku波段低相噪锁相介质振荡器. 半导体技术, 2008 (7):622-625
- [8] Herley Industries Inc. PDROdatasheet . <http://www.herley.com/>, 2011
- [9] Hosoya, K., Ohata, K., Inoue, T., Funabashi, M., and Kuzuhara, M.. Temperature-and strcuture-parameters-dependent characteristic of V-band heterojunction FET MMIC DROs. IEEE Trans. Microw.Theory Tech., 2003, 51 (2): 347–355
- [10] L. Zhou, Z. Wu, M. Sallin and J. Everard. Broad tuning ultra low phase noise dielectric resonator oscillators using SiGe amplifier and ceramic-based resonators. IET Microw. Antennas Propag., 2007, 1 (5): 1064–1070
- [11] Sinnesbishler, F.. Hybrid millimeter-wave push-push oscillators using silicon-germanium HBTs. IEEE Trans. Microw. Theory Tech., 2003, 51 (2): 422–430
- [12] 顾忠诚, 翟助群. X频段小型化、低相噪介质振荡器研制. 2009年全国微波毫米波会议论文集 (下册), 2009: 23-26
- [13] Cheng, S.H., Cheng, K.K.M., and Wu, K.. Low phase noise integrated voltage controlled oscillator design using LTCC technology. IEEE Microw. Wirel. Compon. Lett., 2003, 13 (8): 329–331
- [14] Hosoya, K., Ohata, K., Funabashi, M., Inoue, T., and Kuzuhara, M.. V-band HJEFT MMIC DROs with low phase noise, high power,and excellent temperature stability. IEEE Trans. Microw. Theory Tech., 2003, 51 (11): 2250–2258
- [15] Gupta, A.S., Howe, D.A., Nelson, C., Hati, A., Walls, F.L., and Nava,J.F.. High spectral purity microwave oscillator: design using conventional air-dielectric cavity. IEEE Trans. Ultrason.Ferroelectr. Freq. Control, 2004, 51 (10): 1225–1231
- [16] El-Tager, A.M., and Roy, L. . Study of cylindrical multilayered ceramic resonators

- with rectangular air cavity for low phase noise K/Ka-band oscillators. *IEEE Trans. Microw. Theory Tech.*, 2005, 52 (6): 2211–2219
- [17] Gravel, J.-F., and Wight, J.S.. On the conception and analysis of a 12 GHz push-push phase-locked DRO. *IEEE Trans. Microw. Theory Tech.*, 2006, 54 (1): 153–159
- [18] Llopis, O., Cibiel, G., Kersale, Y., Regis, M., Chaubet, M., and Giordano, V.. Ultra low phase noise sapphire—SiGe HBT oscillator. *IEEE Microw. Wirel. Compon. Lett.*, 2002, 12(5): 157–159
- [19] Gravel, J.-F., Wight, J.S.. On the conception and analysis of a 12-GHz push-push phase-locked DRO *Microwave Theory and Techniques. IEEE Transactions*, 2006, 54: 153 - 159
- [20] Keller, M.G.; Freundorfer, A.P.; Antar, Y.M.M.. A single-chip coplanar 0.8- $\mu\text{m}$  GaAs MESFET K/Ka-band DRO. *IEEE Microwave and Guided Wave Letters*, 1999, 9 (12): 526 – 528
- [21] 黄智伟. 锁相环与频率合成器电路设计, 西安: 西安电子科技大学出版社, 2008
- [22] 张旭. C波段和X波段锁相频率源的研究. 南京理工大学硕士论文, 2007
- [23] 江伟. Ku波段DRVCO与X波段锁相源的设计. 南京理工大学硕士论文, 2009
- [24] 王平胜. 锁相介质振荡器的研究. 中国人民解放军理工大学硕士论文, 2007
- [25] Roland E. Best. *Phase-Locked Loops Design, Simulation, and Applications*. Fifth Edition McGraw-Hill, 2003
- [26] 张厥胜, 曹丽娜. 锁相与频率合成技术. 成都: 电子科技大学出版社, 1995
- [27] Gardner Floyd M.. *Charge Pump Phase-Locked Loops*. *IEEE Trans. Commun.* 1980, 28 (3): 1849–1858
- [28] 鲁昆生, 王福昌. 电荷泵锁相环设计方法研究. *华中理工大学学报*, 2000, 28 (1): 62–64
- [29] Sangho Shin, Kyungmin Kim, Kwiro Lee and Sung-Mo Kang. Fast-Frequency Offset Cancellation Loop Using Low-IF Receiver and Fractional-N PLL. *IEEE Transactions on Circuits And Systems- II :Express Briefs*, 2007, 54: 272~276
- [30] 张厥胜, 张会宁, 邢静. 锁相环频率合成器. 北京: 电子工业出版社, 1997
- [31] 王子宇. 基于微波锁相环的 Ka 波段锁相信号源. *高技术通讯*, 2006, 16 (12)
- [32] 王洪魁, 袁小云, 张瑞智. 低噪声低功耗 CMOS 电荷泵锁相环设计. *固体电子学研究与进展*, 2004, 24 (1): 13–15
- [33] Seung Wook Park and Ihn S. Kim. Theoretical Verification on the Effect of an Additional DR in Push-Push FET dros. *IEEE Microwave and Wireless Components Letters*, 2003, 13 (11)



- [34] Hamed, K.W.; Freundorfer, A.P.; Antar, Y.M.M.. A 26 GHz Integrated Differential DRO Implemented Using SiGe-HBT Technology. IEEE/MTT-S International Microwave Symposium. 2007: 657 – 660
- [35] Forstner, H.P.; Wohlmuth, H.D.; Knapp, H.; Gamsjager, C.; Bock, J.; Meister, T.; Aufinger, K. A 19GHz DRO downconverter MMIC for 77GHz automotive radar frontends in a SiGe bipolar production technology. IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2008: 117 – 120
- [36] 程焰平. 介质谐振器反馈式振荡器的实用机辅设计方法. 现代雷达, 2000, 22 (2): 79 – 86
- [37] Vitusevich, S., Schieber, K., Ghosh, I., Klein, N., and Spinnler, M.. Design and characterization of an all-cryogenic low phase noise sapphire K-band oscillator for satellite communication. IEEE Trans. Microw. Theory Tech., 2003, 51 (1): 163–169
- [38] 林毅竟,盛世敏. 锁相环中的新型电荷泵电路. 北京大学学报(自然科学版), 2002, 38 (3): 384-386
- [39] Analog Devices, Inc. ADF4106datasheet . <http://www.analog.com/>, 2011
- [40] 徐惠民, 安德宁. 单片微型计算机原理接口应用. 北京: 北京邮电大学出版社, 1990
- [41] 薛华. 低相位噪声微波锁相频率源设计. 信息技术与信息化, 2006 (6): 105~107