

北京交通大学

---

硕士学位论文

---

Class D音频功率放大器设计

---

姓名：刘静

---

申请学位级别：硕士

---

专业：微电子学与固体电子学

---

指导教师：袁晓君

---

20080601

## 中文摘要

**摘要：**音频功率放大器广泛应用于家庭影院、音响系统、立体声唱机、伺服放大器等电子系统中。人们在追求高保真度音频功放的同时，也希望功放有大的输出功率和高效率。因此，设计一种失真度小，输出功率大，效率高的音频功放也有很重要的现实意义。

本文设计了一种新型的音频功率放大器，此设计所涉及的主要理论在国内外尚属研究阶段，具有很大的发展空间和应用前景。本课题的设计获得了良好的性能，可以应用于耳机、MP3、CD、DVD播放器以及掌上电脑等一些便携式电子产品。

在查阅大量中外文献的基础上，本文对功率放大器进行了系统的阐述。首先介绍了目前常用的各类线性、非线性功率放大器并分析其优缺点，比较了传统D类功放和基于自激振荡理论的D类功放的性能特点，在此基础上提出了本文所研究的基于自激振荡原理SCOM结构的D类音频功率放大器，并阐述其工作原理。

本文在传统D类放大器的基础上进行改进，利用自激振荡和同步控制理论，设计实现同步控制振荡调制结构（SCOM）的D类功率放大器。SCOM电路由运算放大器、比较器、驱动电路、环路滤波电路和功率输出级组成。利用扬声器的电感实现音频信号的恢复，节省了芯片面积。本文创新性的设计出了应用于SCOM结构的D类功率放大器性能优良的运算放大器及比较器，并进行模块仿真及系统仿真；在单电源电压供电的条件下，采用全桥结构实现双边三电平输出，提高THD性能和输出功率；利用反馈电路提高线性度和电源电压抑制特性；采用无滤波调制的方式，以减小芯片面积，降低成本；采用  $8\Omega + 20\mu H$  的扬声器负载模型，在反复计算调试的基础上达到性能指标的要求。

电路仿真设计和版图实现阶段采用的是CADENCE公司的EDA工具，选用了HHNEC250G\_PCELL（一层多晶硅，四层金属）CMOS工艺的设计规则。实现0.5W功率输出，效率大于70%， THD小于1%， 版图核心部分面积为  $480\mu m \times 300\mu m$ 。

**关键词：**D类功率放大器、音频、自激振荡、无滤波调制

**分类号：**TN722

## ABSTRACT

**ABSTRACT:** Audio power amplifier is widely used in high performance audio systems, stereo phonographs, servo amplifier and instrument systems. Nowadays, people emphasize high power and high efficiency as well as high fidelity feature of audio power amplifier. So it is worth to design an audio power amplifier with the features of high power and high efficiency.

The paper has designed a new-type of audio power amplifier. There are so many opportunities to develop and apply, because it is still at study phase. The design in my paper has good performance to use. We can apply it to portable electronics such as cellular, CD, DVD, MP3 players, PAD'S, some other portable electronics, etc.

After studying power amplifier, in this paper, I introduce the kinds of power amplifier. First, I introduce the familiar linear and non-linear power amplifier, and then analyze advantages and disadvantages of this amplifier. I compared the characters of traditional class D power amplifier and the amplifier that is based on self-oscillating theory. Next, I refer to the structure of SCOM class-D audio power amplifier that is based on self-oscillating which is studied in my paper.

The Cass D power amplifier in this paper, which is called Synchronized Controlled Oscillated Modulator (SCOM), is designed based on self-oscillating and synchronized controlled theory. The SCOM consist of operational, comparer, power driver, filter circuit and output stage. Audio signal is resumed by the inductance in speaker, and it saves arrears of chip. I designed an operational amplifier and a comparer innovatively with good characters that can be used in SCOM. I finished all the stimulations in this design. Powered by one power supply, bridge-tied load is used in order to improve THD and output power. Feedback circuit is used to improve linearity and PSRR. It can save the arrear of the chip and the cost because this circuit utilizes filter free modulator. Is has achieve all requests after test and test loading with a speaker of  $8\Omega + 20\mu H$  .

I choose EDA tools provide by CADENCE to finish the circuit and layout design. The process of HNEC250G\_PCELL (one poly and four metals) is selected in my design. The output power is 0.5W, the efficiency is higher than 70%, THD is small than 1% and the area of chip is  $480\mu m \times 300\mu m$  . All of these satisfy the requests of design.

**KEYWORDS:** Class-D power amplifier, Audio, Self-oscillating, Filter free modulation

**CLASSNO:** TN722

## 学位论文版权使用授权书

本学位论文作者完全了解北京交通大学有关保留、使用学位论文的规定。特授权北京交通大学可以将学位论文的全部或部分内容编入有关数据库进行检索，并采用影印、缩印或扫描等复制手段保存、汇编以供查阅和借阅。同意学校向国家有关部门或机构送交论文的复印件和磁盘。

(保密的学位论文在解密后适用本授权说明)

学位论文作者签名: 陈静

导师签名: 陈丽华

签字日期: 08年6月12日

签字日期: 08年6月12日

### 独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作和取得的研究成果，除了文中特别加以标注和致谢之处外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得北京交通大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

学位论文作者签名: 刘静 签字日期: 08 年 6 月 12 日

## 致谢

本论文的工作是在我的导师袁晓君教授的悉心指导下完成的，袁晓君教授严谨的治学态度和科学的工作方法给了我极大的帮助和影响。在此衷心感谢两年来袁晓君老师对我的关心和指导。

张宏科教授悉心指导我们完成了实验室的科研工作，在学习上和生活上都给予了我很大的关心和帮助，在此向张宏科老师表示衷心的谢意。骆丽教授对于我的科研工作和论文都提出了许多的宝贵意见，在此表示衷心的感谢。

在实验室工作及撰写论文期间，杜春山、路宁、朱振梁、陈常勇、李宁等同学对我论文的研究工作给予了热情帮助，在此向他们表达我的感激之情。

另外也感谢家人，他们的理解和支持使我能够在学校专心完成我的学业。

# 1 引言

## 1.1 本课题研究的背景和意义

随着现代电子技术的不断发展，功率放大电路也得到了飞速的发展和应用。特别是半导体技术的进步，使功率放大电路向模块化、小型化、集成化的方向不断发展。功率放大器通常按照其工作状态分为五类，即A类、B类、AB类、C类、和D类。前四种属于线性功率放大器，D类属于非线性功率放大器。D类放大器名称是在1958年由泰勒提出的<sup>[1]</sup>，当时它的提出是为了被应用于振荡电路。与A, B, AB和C类功率放大器相比较，D类功率放大器的特点是，输出级MOS管工作于相继开关状态，这对功率放大器效率有极大提高。

D类功放是一项意义深远的创新技术，具有广阔的发展前景，并对消费电子产品产生巨大的冲击作用，D类功放在音频和非音频领域都具有广泛的应用。如DVD接收机、AV接收机、助听器、手机、等离子显示器、汽车音响、PC机、PDA、CD耳机、收录机，以及专业音频设备等。与其他几类功放相比，D类功放在获得更高的效率可以降低芯片尺寸，所以在便携式音频设备中有着重要的地位。统计表明，D类放大器目前以每年超过50%的速度在迅猛增长。

图1-1清晰地反映出随着功率增加，D类放大器迅速达到85%以上的效率，而线性放大器的效率随功率增长的速度则相当缓慢。效率改善与放大器产生的热量成反比。因此，就相同的输出功率而言，线性放大器需要更大的散热片，这在一定程度上也加大了它与D类放大器相比的尺寸<sup>[2]</sup>。

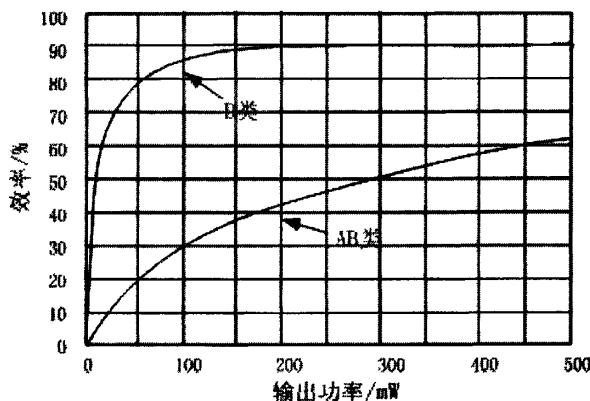


图 1-1 D 类和 AB 类功率放大器的效率比较

Figure 1-1 Comparer efficiency of Class-AB and Class-D power amplifier

## 1.2 音频放大器主要参数

### 1. 电源抑制比(PSRR)

电源抑制比(Power Supply Rejection Rate)是指音频放大器的输入测量电源电压的偏差耦合到一个模拟电路输出信号的比值。PSRR 反映了音频功率放大器对电源的纹波大小的要求，PSRR 值越大越好，音频放大器输出音质就越好。

### 2. 最大输出功率(POCM)

输出功率反映音频功率放大器的负载能力，通常音频放大器厂家会提供产品的在一定工作电压和额定负载下的最大输出功率。芯片的效率在不同的条件下肯定也不相同。

### 3. 总谐波失真加噪声(THD+N)

失真是指对于某电路模块其输入信号与输出信号在幅度上，相位上及波形形状产生变化的现象。按性质分，有非线性失真和线性失真，通常用谐波失真来表示非线性失真(Nonlinear Distortion)的程度。谐波失真是指信号通过电路中非线性元件产生了新的频率分量(谐波)对原信号形成的干扰，即波形发生的畸变。总谐波失真(Total Harmonic Distortion)是指用信号源输入时，输出信号(谐波及其倍频成分)比输入信号多出的额外谐波成分(通常用%来表示)。一般说来，1KHz 频率处的总谐波失真作为大部分产品的失真指标，该值越小越好。

噪声发生是一个随机过程，它的大小在任何时候都不能被预测。但在很多情况下，噪声的平均功率还是可以被预测的。我们通常需要把几个主要噪声源的影响相加来获得总噪声，得到我们关注的平均噪声功率。

在实际测试数据或各类标准中采用，我们用 THD+N(Total Harmonic Distortion + Noise)作为衡量保真度的评价指标，指标中“+N”表示了在考虑保真度的同时也对噪声进行了考虑<sup>[3]</sup>。

## 1.3 本人主要工作

对于功率放大器的基本要求如：较小的非线性失真，较大的电流驱动能力及较高的电源效率等<sup>[4]</sup>。另外由于此电路主要应用于便携式电子产品，低功耗、稳定性，抗干扰能力也必须考虑。

本课题研究的目标是设计一种应用于便携式移动设备中的 D 类音频功率放大器，同时获得较高的效率和较高的音频质量。利用 HHNEC250G\_PCELL 工艺，采用全桥结构，利用自激振荡和同步控制原理，设计实现无滤波闭环控制 D 类功率

放大器。

本文主要工作是：

- (1) 了解功率放大器工作原理和音频特性的基础上设计 SCOM 结构的 D 类音频功率放大器，实现功率放大功能；
- (2) 设计 SCOM 结构所需要的运算放大器；
- (3) 设计一个静态比较器，满足 SCOM 结构的要求；
- (4) 完成驱动电路的设计；
- (5) 进行版图的绘制。

本文所设计音频功率放大器主要设计要求和技术指标如下：

- (1) 全桥模式驱动  $8\Omega + 20\mu H$  扬声器负载；
- (2) 芯片电源电压为 3.3V 单电源供电；
- (3) 输出功率大于 0.5W；
- (4) 电源效率高于 70%；
- (5) 总谐波失真 THD 小于 1%；
- (6) 版图核心部分面积小于  $500\mu m \times 500\mu m$ 。

## 1.4 论文结构

论文的总体结构如下：

第 1 章引言，说明音频放大器应用，设计过程中需要考虑的主要设计指标，以及本课题的具体要求。

第 2 章给出音频放大器主要分类及工作原理和 D 类功放的工作原理。

第 3、4、5 章分别详细说明了 D 类功放中所需要的运算放大器、比较器和驱动电路的设计及仿真。

第 6 章介绍本文所设计的 SCOM 结构 D 类功放的仿真测试结果。

第 7 章给出芯片电路的版图设计。

第 8 章对本课题设计进行总结。

## 2 功率放大器简介

本章首先介绍常见的几种功率放大器的特点和区别，接下来主要讲述D类放大器的优点和工作原理，在对传统D类功放改进的基础上提出SCOM结构的功放电路设计方法，并介绍了与电路相关的工作原理。

### 2.1 放大器的种类

音频功率放大器用于实现音频信号功率的增强。

随着半导体器件的出现和电子技术的飞速发展，为了适应不同的应用场合，出现了各种类别的音频功率放大器，在这里只对主流的五种基本类型(A、B、AB、C、D类放大器)加以概括的介绍。本章为了方便说明，电路均采用幅度相等的正负双电源<sup>[3]</sup>。

#### 2.1.1 A类放大器

A类放大器的原理图如图 2-1(a)所示，工作偏置点如图 2-1(b)所示。对 A类放大器，偏置电流  $I_Q$  比输入电流大，固定偏置点 Q 点在负载线的中心。在一个完整的信号周期当中，功率晶体管一直工作在线性放大状态，即导通角为  $180^\circ$  (在一个信号周期内，导通角度的一半定义为导通角)<sup>[5]</sup>。

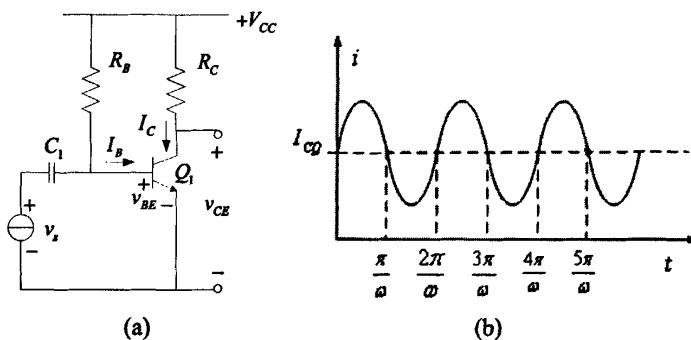


图 2-1 (a)A类放大器原理图 (b)A类放大器的固定偏置点

Figure 2-1 (a)The circuit of Class-A amplifier (b)The constant offset of Class-A amplifier

假设输出信号为  $V_p \sin \omega t$ ，则输出负载功率：

$$P_L = \frac{1}{2} \frac{V_p^2}{R_L} \quad (2-1)$$

平均电流为  $I_Q$ ，正电源  $V_{CC}$  提供的功率为：

$$P_{S+} = V_{CC} \left[ \frac{1}{T} \int_0^T \left[ I_Q + \frac{V_p}{R_L} \sin \omega t \right] dt \right] = V_{CC} I_Q \quad (2-2)$$

负电源  $V_{CC}$  提供的功率  $P_{S-}$  也为  $V_{CC} I_Q$ ，因此电源提供的功率为：

$$P_S = P_{S+} + P_{S-} = 2V_{CC} I_Q \quad (2-3)$$

放大器的效率：

$$\eta = \frac{1}{4} \frac{V_p^2}{I_Q R_L V_{CC}} \times 100\% = \frac{1}{4} \left( \frac{V_p}{I_Q R_L} \right) \left( \frac{V_p}{V_{CC}} \right) \times 100\% \quad (2-4)$$

当  $V_p = V_{CC}$  和  $V_p = I_Q R_L$  时， $\eta$  有最大值 25%。

音频功率放大器的应用中，A 类放大器的主要缺点在于出现没有信号输入或者只有间断的音频信号输入而处于等待状态时有相当大的功率损失；第二，功率损耗的热能将使得器件的工作温度上升，破坏电路性能，甚至损坏电路器件<sup>[3]</sup>。

## 2.1.2 B 类放大器

B 类放大器的原理图如图 2-2(a)所示，工作偏置点如图 2-2(b)所示。B 类放大器是一种互补式的输出结构，两个晶体管不能同时工作，每个器件工作半个周期，导通角为 90°<sup>[5]</sup>。

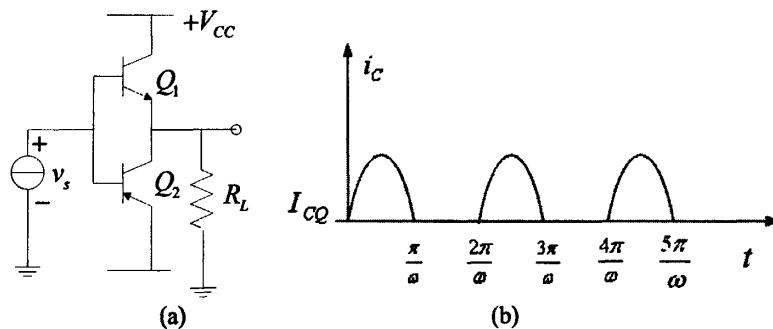


图 2-2 (a)B 类放大器原理图 (b)B 类放大器的固定偏置点

Figure 2-2 (a)The circuit of Class-B amplifier (b)The constant offset of Class-B amplifier

假设输入信号为正弦波形，忽略交越失真，负载输出功率：

$$P_L = \frac{1}{2} \frac{V_p^2}{R_L} \quad (2-5)$$

每个电源提供的电流为输出电流的一半, 平均电流为  $\frac{V_p}{\pi R_L}$ , 每个电源提供的功率为:

$$P_s = P_{s+} + P_{s-} = 2V_{cc} \left( \frac{V_p}{\pi R_L} \right) \quad (2-6)$$

放大器的效率为:

$$\eta = \frac{\frac{V_p^2}{2R_L}}{2V_{cc} \left( \frac{V_p}{\pi R_L} \right)} = \frac{\pi V_p}{4V_{cc}} \quad (2-7)$$

当  $V_p = V_{cc}$  时,  $\eta$  具有最大值  $\frac{\pi}{4}$  约为 78.5%, 晶体管的偏置电流为零。由于在一个晶体管截止而另一个晶体管导通时, 需要过渡时间, 因此 B 类放大器存在交越失真。

### 2.1.3 AB 类放大器

AB 类放大器的原理图如图 2-3(a)所示, 工作偏置点如图 2-3(b)所示。AB 类放大器的输出器件工作时间大于半个周期但小于一个周期, 导通角在  $90^\circ$  与  $180^\circ$  之间。它通过在 B 类放大器的两个晶体管输入端加适当的正向偏置电压, 使两个晶体管不会彻底截止, 消除了交越失真。AB 类放大器既改善了 B 类放大器的非线性, 效率又高于 A 类, 是 A 类放大器的线性度与 B 类放大器的效率的结合<sup>[5]</sup>。

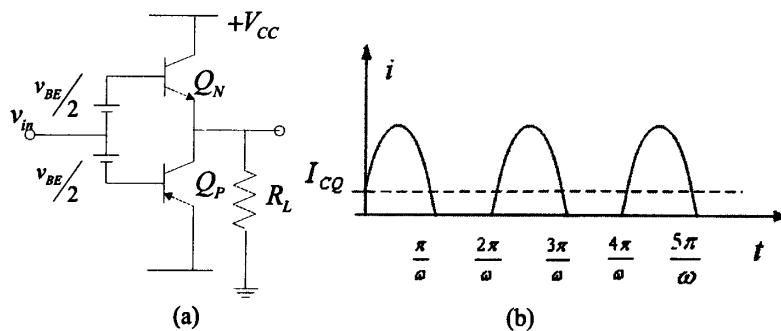


图 2-3 (a)AB 类放大器原理图 (b)AB 类放大器的固定偏置点

Figure 2-3 (a)The circuit of Class-AB amplifier (b)The constant offset of Class-AB amplifier

### 2.1.4 C 类放大器

C类放大器的原理图如图 2-4(a)所示，图中  $Z_L$  为外接负载，一般为阻抗性的，电感  $L_r$  和电容  $C_r$  为匹配网络，它们与外接负载共同组成并联谐振回路。工作偏置点如图 2-4(b)所示。通过调节电容  $C_r$ ，使回路谐振在输入信号频率上。C类放大器的导通角小于  $90^\circ$ ，即功率管工作时间小于半个周期，功率管在每个周期中导通一定时间，而不是半周期工作。C类放大器的工作效率高于 A类和 B类放大器。它是一种用谐振系统作为匹配网络的非线性功率放大器，一般用于对失真度要求不高或调谐输出的场合。例如无线发射机中，用 C类放大器对载波信号或高频已调波信号进行功率放大。这些信号或是频率固定的简谐信号或是频谱宽度远小于载波频率的窄带信号<sup>[5]</sup>。

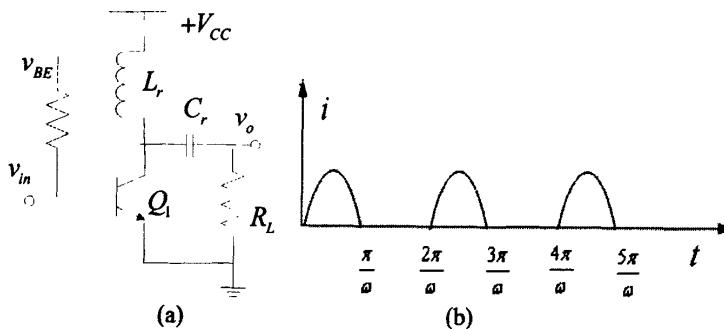


图 2-4 (a)C类放大器原理图 (b)C类放大器的固定偏置点

Figure 2-4 (a)The circuit of Class-C amplifier (b)The constant offset of Class-C amplifier

### 2.1.5 D类放大器

D类音频放大器<sup>[6]</sup>是以离散时间放大器设计思想为基础，它的研究已有近半个世纪，直到 1970 年金属氧化物半导体场效应管出现后，实现了高性能的开关器件，这才开发出宽频带 D类音频放大器。D类音频功放不同于 A类、B类和 AB类工作方式，它采用切换电压方式利用 PWM (Pulse Width Modulation) 信号控制导通时间以放大信号。该类放大器输出级的工作状态在完全导通和完全截止两状态间转换，因此输出器件的功耗很小。由于 D类功放利用晶体管快速切换的开关特性，以开关方式把模拟音频信号进行脉宽调制(PWM)，使其效率远高于其他类功率放大器。

D类功放的最大优势在于其电源功率转换效率，理论上可以达到 100%。意法半导体公司的 TS4962 型号 D类放大器转换效率已经达到 88%。与 AB类放大器相

比, D 类放大器需要更小的电源电流, 因此具有更长的电源使用时间或者更低的电源使用成本; 另外, D 类放大器更低的发热量使得更小的封装成为可能, 同时去掉了 AB 类放大器中所使用的降温设备。基于这两个优点, 对于消费类电子来说, D 类功率放大器的高效率成为最好的选择。

除了高效率外, D 类放大器还具有大功率、低失真的优点。虽然其他种类的模拟功率放大器也可以通过采用优质元件, 复杂的补偿电路, 深负反馈, 使失真变得很小, 但却不能同时获得大功率和高效率。工作在开关状态下的 D 类功率放大器却很容易实现大功率, 高效率, 低失真。

与 AB 类放大器相比, D 类放大器的缺点是: 较低的声音质量和更高的电路复杂程度。但是, 在移动设备的使用中, 效率和性能更为重要<sup>[7]</sup>。

## 2.2 D 类功率放大器工作原理

传统的 D 类放大器一般由三个主要部分组成: 输入和 PWM 级、放大级(一般为 MOSFET 桥)以及输出级, 它的工作原理与 DC-DC 开关模式变换器很相似。在两种工作模式中, 输入信号都进行 PWM 调制, 也就是对输入信号进行 PWM 调制, 使调制信号的占空比正比于瞬时输入电压, 然后调制信号驱动功率开关产生放大的 PWM 波形, 再通过输出级进行解调得到放大的输出信号<sup>[5][8]</sup>。

### 2.2.1 传统 D 类功放工作原理

现在所使用的 D 类放大器有很多种调制拓扑结构, 最常用的拓扑结构是带有三角波(或者锯齿波)振荡器的脉冲宽度调制(PWM)。它的工作原理是: 基于 Nyquist 采样定理, 采用脉宽调制(PWM)<sup>[13]</sup>方式对经预放大的输入信号进行采样变换, 变换所产生的数字信号的脉宽与对应采样点信号的幅值按一定关系变化, 再以此数字信号来驱动功率开关晶体管, 使之产生具有输出功率的变脉宽数字信号, 然后经滤波器还原出功率放大后的模拟信号。

实际 D 类放大器存在着各种线性失真和非线性失真, 失真成分主要为输入信号的谐波成分和高频成分。高频成分可以通过高阶滤波器或谐振回路来抑制<sup>[6]</sup>, 而输入信号的谐波成分需通过负反馈回路来抑制<sup>[9][10][11]</sup>。

图 2-5 中显示了基于 PWM 的 D 类放大器模块图, 它包括脉冲宽度调制器, 栅极驱动, 两个 MOSFET 所构成的功率输出级, 一个由  $L_F$  和  $C_F$  构成、反馈电路和用来恢复放大的音频信号的低通滤波器。功率输出级的 P 沟道和 N 沟道的

MOSFET 交替连接到 VDD 或者 GND 而成为电流转换开关, 这样 D 类放大器的输出就是一个频率较高的方波信号。多数 D 类放大器开关频率 ( $f_{sw}$ ) 的典型值为 250kHz 至 1.5MHz。输出的方波是由输入信号进行调制的, 把输入信号与三角波 (或者锯齿波) 相比较而产生 PWM 信号。当三角波振荡器作为采样时钟时, 这种调制方式也被称为“自然采样”。当没有输入信号时, 输出波形的占空比为 50%。采用自然采样双边调制 PWM 的 D 类放大器的原理框图如图 2-5 所示<sup>[1]</sup>。图 2-6 说明了所得到的 PWM 输出波形随着输入信号的变化而变化。

为了从输出的 PWM 波形中提取放大了的音频信号, D 类放大器需要设计低通滤波器。LC 无源低通滤波器的输出等于方波的平均值。另外, 低通滤波器阻止了高频开关能量被负载电阻消耗掉。假设滤波器的输出电压和电流在一个开关周期内保持为常数, 这个假设是很精确的, 因为  $f_{sw}$  远远高于输入的音频信号。因此, 占空比和滤波输出电压的关系可以利用电感的电压和电流的时域分析得到。

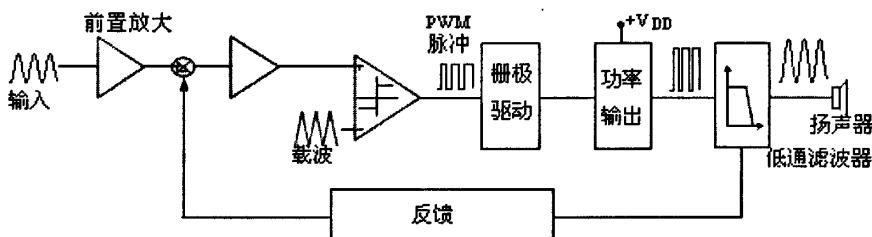


图 2-5 传统 D 类放大器的原理框图

Figure 2-5 The block diagram of the traditional Class D amplifier

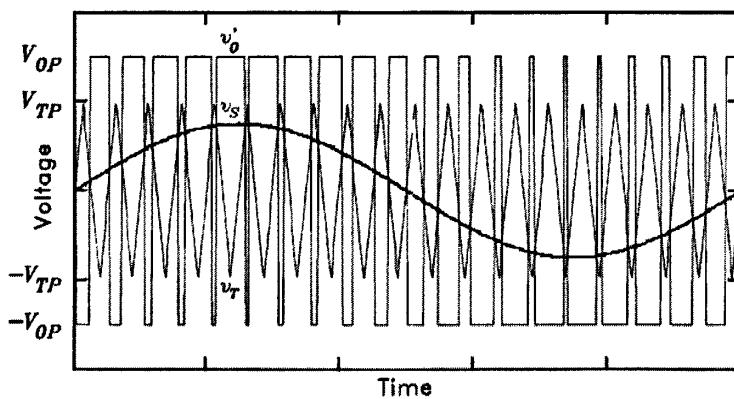


图 2-6 PWM 工作方式下输入输出信号

Figure 2-6 The input and output signals based on PWM

失真度作为 D 类音频功率放大器的主要性能指标之一, 也是目前 AB 类功率

放大器的优势所在。一个理想的 D 类音频功率放大器应该是没有失真的，在 20Hz~20kHz 的人耳感觉范围内应该也没有噪声，且效率高达 100%。但是在实际的设计中，总是避免不了失真。因此，D 类功放设计的关键就在于采用各种方法改善失真度，获得高质量信号。

### 2.2.2 SCOM 结构功放的工作原理

同步控制振荡调制 SCOM (Synchronized Controlled Oscillated Modulator) 结构在传统 PWM 调制功率放大器的基础上有所改进。去掉 LC 滤波器而在反馈环路中进行滤波，同时利用正反馈形成自激振荡，通过输出波形的幅度的变化控制开关频率。不需要三角波（或锯齿波）作为载波信号<sup>[7]</sup>。电子领域对它的数学模型已经有了一定的研究<sup>[19][20][21][22]</sup>。

SCOM 结构功率放大器在 THD、噪声、芯片尺寸等方面的性能优于 PWM 调制方式。SCOM 的具体工作原理和设计过程在第 3、4、5、6 章详细论述。

本论文中所提出的 SCOM 结构，可以获得较高的效率、很好的音频质量，同时电路结构并不复杂。COM (Controlled Oscillated Modulator) 和 SCOM 结构的实质是：

- (1) COM 结构是一种自激振荡控制系统，环路带宽等于开关频率，设计中并不产生载波。
- (2) 由于具有环路控制，COM 结构在理论上具有无限大的 PSRR。
- (3) SCOM 将 PWM 图形合成为双边三电平信号，这样就可以省略传统 D 类放大器中的输出滤波结构。因为开关频率较高，所以不会影响音频质量，同时开关频率中不含有偶次谐波。
- (4) 因为具有变化的开关频率，所以 COM 结构具有展开的 EMI 频谱的优点。

为了在获得较高效率的同时获得较高的声音质量，需要在 D 类放大器电路中应用闭环控制。这样，在开关输出级中线性和非线性误差源是互补的。这就可以获得很好的 THD 和噪声性能，控制环路里可以不使用有源器件<sup>[7]</sup>。

同步控制振荡调制 (SCOM) 功率放大器的结构是在传统 PWM 方式的基础上改进，通过添加闭环滤波实现无滤波调制和对开关频率的控制。此项设计的几本模块单元包括积分器、比较器、驱动电路、环路 RC 滤波器和输出级，涉及到的原理包括自激振荡、全桥结构和反馈理论，驱动及滤波原理等。

#### 1. 自激振荡原理

图 2-7 是一个反馈网络，图中  $A$  是基本放大电路的增益， $F$  是反馈网络的反馈系数。如果在基本放大电路的输入端输入一定频率、一定幅度的正弦信号  $X_a$ ，经

过基本放大电路和反馈网络所构成的环路传输后，在反馈网络的输出端，得到反馈信号  $X_f = FX_o = AFX_a$ 。当反馈信号  $X_f$  无论在幅值上还是在相位上都与输入信号  $X_a$  一致时，若用  $X_f$  代替  $X_a$ ，则可以在输入端维持原有的输出信号  $X_o$ ，也就是自激。因此可得自激振荡的平衡条件为：

$$AF = |AF| \angle(\varphi_a + \varphi_f) = 1 \quad (2-8)$$

即：

$$|AF| = 1 \quad (2-9)$$

$$\varphi_a + \varphi_f = 2n\pi, n = 0, 1, 2, \dots \quad (2-10)$$

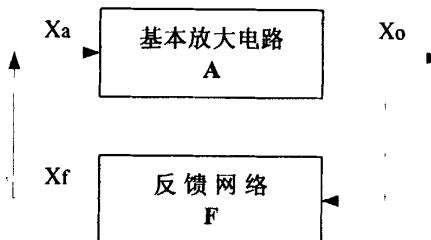


图 2-7 自激振荡原理方框图

Figure 2-7 The diagram of the self-oscillating

式 2-9 称为振幅平衡条件，而式 2-10 则称为相位平衡条件，这两点是我们所熟知的“巴克豪森准则”。相位平衡条件的实质就是必须将负反馈电路接成正反馈。

在 SCOM 结构中就是利用正反馈构成自激振荡，实现对开关频率的控制。所以在 SCOM 电路的设计中要保证环路增益等于 1，闭环相位延迟为  $360^\circ$ ，这是保证设计能够实现的基本要求<sup>[12]</sup>。

## 2. 全桥结构和半桥结构

很多D类放大器使用全桥结构的输出级。全桥结构由两个半桥结构差分的驱动负载。这种负载连接通常被称为桥式连接负载（bridge-tied load, BTL）。如图2-8 所示，全桥结构的运行是通过在负载上构造交互的传导路径<sup>[13]</sup>。

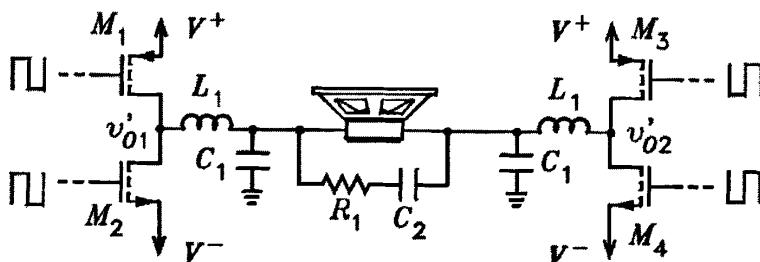


图2-8 全桥结构D类输出级

Figure 2-8 Bridge-tied load Class D output stage

图2-9表示基于PWM方式的D类放大器传统BTL的输出波形。在图2-9中，输出波形是互补的，这样就在负载上产生了PWM的差分信号。

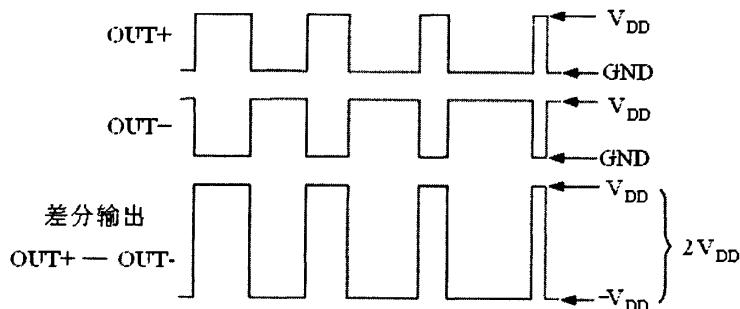


图2-9 全桥D类放大器输出波形

Figure 2-9 Output waveforms of Bridge-tied load Class D amplifier

全桥结构的D类BTL放大器除了具有较高的电源效率外，BTL放大器的第一个优点是，这种结构构成双向传输路径，当工作在单电源供电的情况下输出端不需要DC阻隔电容。而半桥结构的放大器就不能这样，因为它的输出摆幅在 $V_{DD}$ 至地之间，并且理想的占空比是50%，这就意味着它的直流具有 $V_{DD}/2$ 的偏移。对于全桥结构的放大器来说，这个直流偏移出现在负载的两端，所以输出端的DC电流为零。第二个优点是，在相同的电源电压下与半桥结构相比，全桥结构可以达到两倍的输出摆幅，因为负载是由差分结构驱动的。这样，在相同的电源电压下，可以获得的最大输出功耗是半桥放大器的四倍。

但是，全桥结构的放大器需要的MOSFET数量是半桥拓扑结构的两倍。有些人认为这是一个缺点，因为较多的开关会导致较多的导通和开关损耗。但是，这通常只对高输出功耗放大器( $>10W$ )来说是正确的，因为它具有较高的输出电流和电压。由于这个原因，在高功耗放大器中更多地使用半桥放大器，因为它们具有更高的效率。大多数用在高功耗应用中的全桥放大器带有 $8\Omega$ 负载时所具有的效率为80%至88%。但是，半桥放大器，例如MAX9742，在驱动 $8\Omega$ 负载、传送14W功耗时可以达到90%以上的效率<sup>[10]</sup>。

本课题的设计要求是负载为 $8\Omega + 20\mu H$ 时的输出功率为0.5W，属于小功耗放大器，使用全桥结构会获得更好的性能。

### 3. 反馈电路

很多D类放大器把PWM的输出信号反馈到器件的输入端构成负反馈结构，闭环工作方式不仅提高了器件的线性度，同时也使器件具有电源抑制的作用。而开环放大器如果有也仅仅具有最小的电源抑制。因为在闭环拓扑结构中，输出波

形被检测到并返回到放大器的输入端，这样电源线的波动就会通过控制环路在输出端被检测到并加以校正。闭环设计具有的优点所付出的代价是可能存在的稳定性问题，就像所有使用反馈的系统那样。因此，闭环回路必须仔细设计和补偿，以确保在所有工作条件下都能够稳定工作。而在本课题的设计中，是通过正反馈形成自激振荡进行闭环控制，这样就不存在稳定性问题。

典型的 D 类放大器的反馈环路都具有噪声整形的功能，这样就大大减小了通带内由于脉冲宽度调制、输出级和电源电压的变化而产生的噪声。这种拓扑结构和 Sigma-delta 调制器中的噪声整形非常相似。为了解释噪声整形的功能，图 2-10 表示了一个简单的一阶噪声整形模块图。这种典型的反馈网络包括电阻分配器，但是为了简化，图 2-10 中显示的图例使用的反馈比值为 1。另外，积分器的传输函数简化为等式  $1/s$ ，理想积分器的增益反比于频率。同时假设 PWM 模块对于控制环路来说具有单位增益零相位偏移。利用基本的控制模块分析，可以得到以下的输出表达式：

$$V_o(s) = \frac{1}{1+s} \times V_{in}(s) + \frac{s}{1+s} \times E_n(s) \quad (2-11)$$

等式 2-11 表明噪声项  $E_n(s)$  乘以一个高通滤波函数（噪声传输函数），而输入项  $V_{in}(s)$  乘以一个低通滤波函数（信号传输函数）。噪声传输函数的高通滤波相应对 D 类放大器进行噪声整形。如果输出滤波器的截止频率选择合适，大部分噪声都会被推到通带以外（如图 2-10 所示）。前面的例子是一阶噪声整形，现在很多 D 类放大器使用多阶噪声整形拓扑以进一步优化线性度和电源电压抑制性<sup>[13]</sup>。本文的设计为了简化电路，采用了一阶噪声整形。

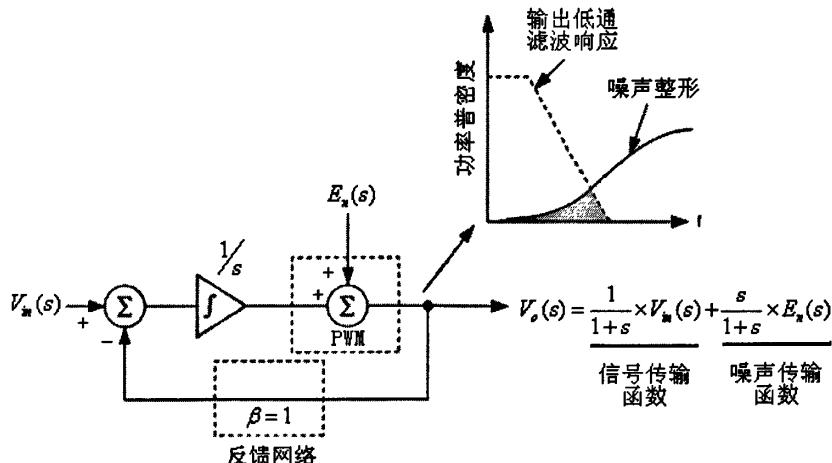


图 2-10 D 类放大器消除带内噪声一阶噪声整形控制环

Figure2-10 A control loop with 1st-order noise shaping for a Class-D amplifier pushes most noise out of band

#### 4. 无滤波调制

传统 D 类放大器的一个主要缺点是需要额外的 LC 滤波器。这不仅增加了设计难度、增加了芯片占用面积，同时也会因为滤波器件的非线性增加信号的失真度。幸运的是，现在很多 D 类放大器使用无滤波调制电路以消除或者降低外加滤波器的需要<sup>[14]</sup>。

本课题所设计的 D 类放大器使用了特殊的滤波方式，即在设计反馈环路时使用 RC 无源滤波器，这样就可以在实现闭环控制的同时进行环路滤波。同时使用高电感扬声器模型，利用扬声器自身的滤波功能恢复声音信号，而不需要外加在输出端的 LC 滤波器。从而降低了设计难度，节省了芯片面积<sup>[7]</sup>。

#### 5. SCOM 结构工作原理

为了获得较好的声音质量的同时保持高的电源效率，可以使用闭环控制的 D 类放大器。这样，开关输出级的线性和非线性误差源可以互相补偿。这样可以提高 THD 和噪声性能，同时，闭环电路中不用使用有源器件<sup>[7]</sup>。

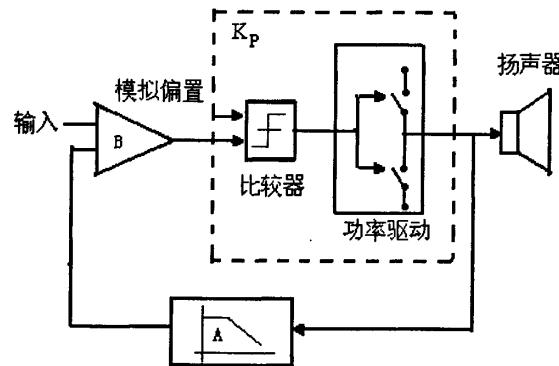


图 2-11 COM 结构模块图

Figure 2-11 The diagram of the COM

COM 结构是由两个补偿器、一个比较器和一个功率开关构成的，结构框图如图 2-11 所示。A 为前向模块，反馈模块 B 为经典的线性补偿模块，它的线性传输函数为：

$$A(s) = K_a \frac{1}{\tau_{Ap1} s + 1} \quad (2-12)$$

$$B(s) = K_b \frac{\tau_{Bz1} s + 1}{\tau_{Bp1} s + 1} e^{(-\theta s)} \quad (2-13)$$

$K_a$  是模块 A 的直流增益， $K_b$  是模块 B 的直流增益， $\theta$  为总的时间延迟，包括通过比较器、门级驱动和开关输出级的时间。 $K_p$  为比较器和开关输出级的等效小

信号增益,当处在开关频率时,  $K_p$  会为实现单位环路增益进行自动调整。所得到的环路传输函数和振荡条件用角速度表示为:

$$|L(j\omega_s)|=K_p A(j\omega_s) B(j\omega_s)|=1 \quad (2-14)$$

$$\angle L(j\omega_s)=\angle(A(j\omega_s)B(j\omega_s)e^{(-\theta j\omega_s)})=-\pi \quad (2-15)$$

为了产生振荡,必须保证180°的相位延迟,并且在振荡频率处环路增益为1。相位延迟由模块A和B产生,就是延迟时间 $\theta$ ,模块A为单极点系统,在开关频率处对相位延迟的贡献为90°,模块B包含一个极点并最终为零,以控制开关频率。通过调整模块A,可以使B成为一个纯粹的积分器。

振荡条件和标准的振荡器相似,但是COM具有音频信号作为输入,通过系统增益 $A_v$ 进行放大。既然假定系统带宽内环路增益足够高,系统增益就可以由反馈模块的增益 $1/K_a$ 定义。

因为COM结构不仅控制开关输出级的脉冲调制,而且在系统带宽内是一个线性控制系统,所以可以有效地抑制误差。COM系统本质上是不稳定的控制,这就意味着不会有进一步的不稳定问题。和delta-sigma调制相比, COM调制可以进行精确的控制,包括功率的考虑。为了使delta-sigma调制获得好的性能,系统需要较高的频率和很精确的外加时钟<sup>[7]</sup>。

SCOM控制系统结构框图如图2-12所示。它是由两个COM结构进行同步控制得到的,从而在不使用负电源的情况下在输出端获得双边三电平信号输出。

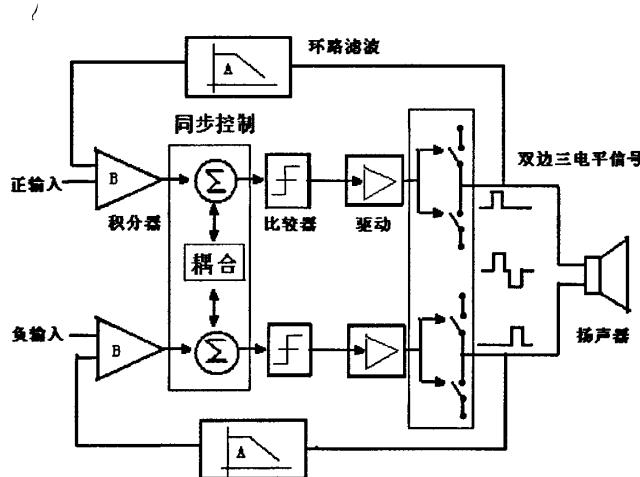


图2-12 SCOM结构框图

Figure2-12 The block diagram of the SCOM

## 2.3 本章小结

本章主要介绍了与功率放大器相关的基础知识,比较了各类功率放大器的性能和特点。在分析传统D类功率放大器工作原理的基础上,提出了基于自激振荡原理的SCOM结构的功率放大器,并介绍了相关理论。这些都是进行功率放大器设计之前所要了解的基本内容。

### 3 运算放大器的设计

由于运算放大器在闭环回路中，所以在设计时没有太多的限制因素。但是运算放大器需要能够驱动大信号以获得较低的 THD+N，同时需要具有较低的直流失调以有利于得到较低的 pop 噪声<sup>[7]</sup>。

#### 3.1 运算放大器的非理想因素

运算放大器是 SCOM 的关键部分，它的性能好坏直接影响到整个电路的性能。由于模拟器件本身的限制，它不可避免的有一些非理想因素<sup>[15][16]</sup>。

##### 1. 有限增益

理想运算放大器的差模开环增益为无穷大，而实际中运放的增益是有限的，在低频小信号的情况下，典型值为 60 dB 到 100dB。

##### 2. 线性范围

输出电压  $V_{out}$  在一定范围内，与输入电压的线性关系  $V_{out} = A_V (V_{in1} - V_{in2})$  才成立。一般情况下， $V_{out}$  的最大值是比正的电源电压要小，而  $V_{out}$  的最小值要比负的电源电压要大一些。

##### 3. 失调电压

对于理想的运算放大器来说，如果  $V_{in1} = V_{in2}$ ，则  $V_{out}$  恒定在一个数值，即  $V_{os(out)} = 0$ 。但是在实际的器件中，这种关系并不完全正确。当输入短接时，输出电压  $V_{os(out)} \neq 0$ ， $V_{os(out)}$  与运放的增益成正比。因此，用输入失调电压  $V_{os}$ （使  $V_{os(out)} = 0$  时的差分输入电压）来表示更为方便，其一般值在  $\pm 2mV$  到  $\pm 10mV$  之间。

##### 4. 共模抑制比 (CMRR)<sup>[17]</sup>

共模电压增益为：

$$A_C = \frac{V_{out}}{[(V_{in1} + V_{in2})/2]} \quad (3-1)$$

差模电压增益为：

$$A_D = \frac{V_{out}}{[(V_{in1} - V_{in2})/2]} \quad (3-2)$$

共模抑制比(CMRR)被定义为差模电压增益与共模电压增益的比值，即  $A_D/A_C$  或者等于  $20\log_{10}(A_D/A_C)$ 。理想运算放大器的共模电压增益为 0，共模抑制比为  $\infty$ 。共模抑制比表明的是运算放大器抑制噪声的能力，因此一个大的共模抑制比(CMRR)值是很重要的。

## 5. 频率响应

由于存在寄生电容、有限的载流子迁移率等原因，在高频的情况下，增益会随着频率的增加而减小，通常用单位增益带宽(即在电压增益为1时的频率)来描述，单位增益带宽通常在1-100MHz范围内，而理想运算放大器的单位增益带宽为 $\infty$ 。

## 6. 转换速率

在运算放大器的输入端加一个大的阶跃信号，那么一些晶体管就会进入线性区或者完全截止，结果，输出会以一定的速率跟随输入信号，这种电压变换的极限叫转换速率。转换速率大小由所能提供的对电容充放电的最大电流确定。正常情况下，转换速率不受输出端的限制，而是受前一级所能提供或吸收电流的能力的限制。理想运算放大器的转换速率为 $\infty$ 。

## 7. 噪声

理想运算放大器里面是不会产生噪声的，而实际上MOS晶体管由于它本身的结构、工艺技术和在运算放大器中的偏置条件等原因，在低频情况下显示了较高的闪烁噪声，而在高频情况下热噪声是主要的。这些噪声在运放的输出端产生了噪声电压，除以电压增益等效为输入噪声电压源，它严重影响了运算放大器的动态范围。

## 8. 电源抑制比 (PSRR)<sup>[17]</sup>

理想运算放大器的电源电压的波动是不会影响到输出端的，而实际上，由于数字噪声可能会耦合到模拟电源上以及电源本身噪声的影响，电源电压的改变会引起运放输出电压的变化。从输入到输出的增益除以从电源到输出的增益，这个值就是电源抑制比(PSRR)。

对于正电源：

$$PSRR^+ = \frac{v_{out}/v_{in}}{v_{out}/v_{dd}} \quad (3-3)$$

对于负电源：

$$PSRR^- = \frac{v_{out}/v_{in}}{v_{out}/v_{ss}} \quad (3-4)$$

## 9. DC 功耗

理想放大器中没有任何的直流功耗，而在实际的运放中，运算放大器的直流功耗的典型值为0.25~10mW。

实际上述描述的都是运算放大器的设计过程中所要考虑的主要参数，这些参数之间的实现是相互矛盾的，要实现某些参数就要以牺牲其它性能指标为代价，因此，要设计一个高性能的运算放大器，多方面的优化是一个非常关键的问题。如图3-1“模拟电路设计八边形法则”所示<sup>[18]</sup>，这样的折衷选择、相互制约对高性

能放大器的设计提出了许多难题，要靠直觉和经验才能得到一个较佳的折衷方案。

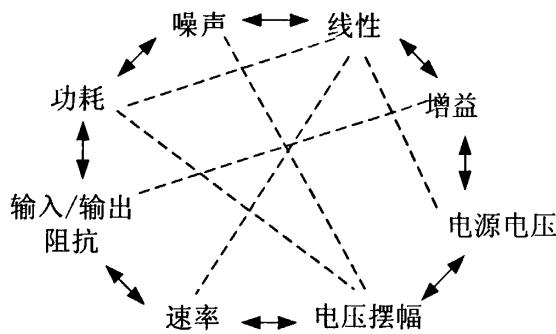


图 3-1 模拟电路设计的八边形法则

Figure 3-1 Octagon theorem of analog design

## 3.2 运算放大器结构的选择与设计

每一种运算放大器的拓扑结构都有自己的优点，选择时要根据需要仔细比较。常用结构主要包括套筒式共源共栅、折叠共源共栅放大器和两级运算放大器。

套筒式共源共栅电路可以获得较高的电压增益，缺点是输出摆幅被减小了，而且很难以输入和输出短路的方式实现单位增益缓冲器。

研究显示，折叠共源共栅运放与套筒式结构相比，输入电压摆幅较大一些。这个优点是较大的功耗、较低的电压增益、较低的极点频率和较高的噪声为代价得到的。折叠共源共栅运放的一个重要特点是，可以使输入共模电平接近电源供给的一端电压<sup>[17][18]</sup>。因此，折叠共源共栅运放比套筒式结构有更广泛的应用。因为输入输出可以短接，而且输入共模电平更容易选择。

单级放大器很难同时满足增益和输出摆幅度的需要，因此可以通过两级运算放大器进行设计。如图 3-2 的示意图所示，第一级提供高增益，第二级提供大的摆幅，以满足设计需要。

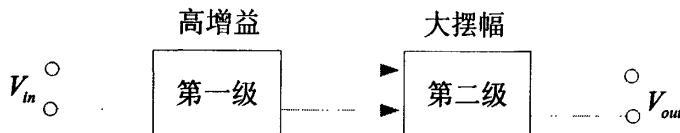


图 3-2 两级运放示意图

Figure 3-2 Sketch map of two stages OPA

根据以上几种运放在增益、速度、功耗等方面性能特点的分析和比较，总结为表 3-1 所示。

表 3-1 运放各种结构及相关性能的比较

Table 3-1 Characters of different kinds of OPA

	增益	输出摆幅	速度	功耗	噪声
套筒式共源共栅	中	中	高	低	低
折叠式共源共栅	中	中	高	中	中
两级运放	高	高	低	中	低

从 2.2.2 一节 SCOM 结构的工作原理分析可知，运算放大器需要良好的线性度，较低的噪声，同时需要较大的输入输出范围，以满足较大的振荡输入信号和输出大的驱动信号。通过以上分析，本论文选择了两级折叠共源共栅运算放大器结构，其放大电路如图 3-3 所示。第一级电路采用折叠共源共栅结构，提高增益的同时增大输入信号范围，第二级电路为 A 类输出级，以增大输出摆幅。

运放的增益为：

$$|A_v| = G_m R_{out} \quad (3-5)$$

其中  $G_m$  为等效输入跨导， $R_{out}$  为等效输出电阻。

输出短路电流约等于  $M_1$  的漏电流，因此从  $M_1$  的源端往里看所看到的阻抗，即  $(g_{m7} + g_{mb7})^{-1} \parallel r_{o7}$ ，通常要远低于  $r_{o1} \parallel r_{o9}$ 。因此，

$$G_m \approx g_{m1} \quad (3-6)$$

$$R_{out1} \approx [(g_{m7} + g_{mb7})r_{o7}(r_{o1} \parallel r_{o9})] \parallel [(g_{m5} + g_{mb5})r_{o5}r_{o3}] \quad (3-7)$$

第一级增益为：

$$|A_{v1}| \approx g_{m1} \{ [(g_{m7} + g_{mb7})r_{o7}(r_{o1} \parallel r_{o9})] \parallel [(g_{m5} + g_{mb5})r_{o5}r_{o3}] \} \quad (3-8)$$

第二级增益为：

$$|A_{v2}| \approx g_{m12}(r_{o12} \parallel r_{o14}) \quad (3-9)$$

两级运放的总增益为：

$$|A_v| = |A_{v1}| |A_{v2}| \quad (3-10)$$

为了得到  $60^\circ$  的相位裕度，需要保证关系式 3-11 的成立

$$C_c > 0.22C_L \quad (3-11)$$

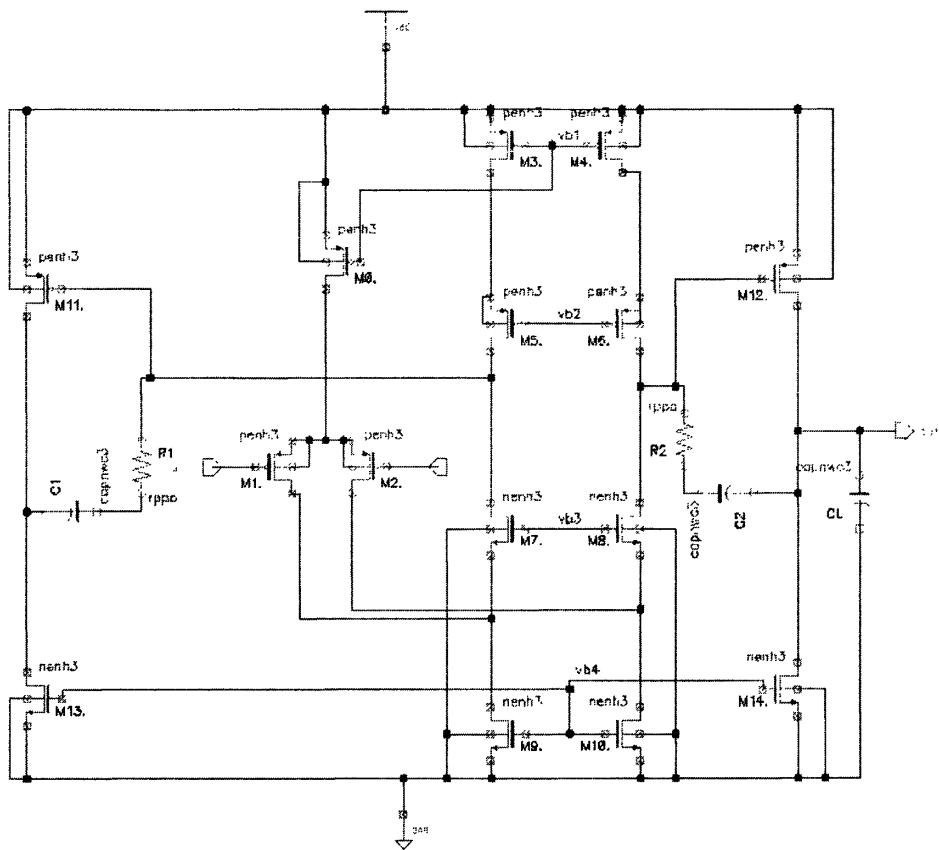


图 3-3 运算放大器放大电路

Figure 3-3 The amplifier circuit of OPA

由两个数值中较大的确定为尾电流  $I_{ss0}$  的最小值:

$$I_0 = SR \times C_C \quad (3-12)$$

设计  $M_1$ 、 $M_2$  MOS 管的宽长比以达到期望的增益带宽 GB 值:

$$GB = \frac{g_{m1}}{C_C} \quad (3-13)$$

输出极点:

$$p_2 = \frac{-g_{m12}}{C_L} \quad (3-14)$$

零极点:

$$z_1 = \frac{1}{C_C(g_{m12}^{-1} - R_2)} \quad (3-15)$$

输出摆幅等于:

$$V_{DD} - |V_{OD12}| - V_{OD14} \quad (3-16)$$

设计过程中主要按照设计指标要求, 通过这些关系得到所需要的设计参数。

在折叠共源共栅放大器中, 偏置电压的精度和稳定性在一定程度上决定了运放性能的好坏。N 型和 P 型的低压共源共栅偏置电路都需要基准电流源, 最合理的方法是用 MOS 管来提供, 如图 3-4 接  $V_{ref}$  基准电压的 MOS 管 M9 就起到这样的作用。同时, 我们要考虑偏置电路要尽量的节约功耗, 偏置电路提供的偏置电压要尽量稳定, 这需要运放的宽长和偏置电路对应管子的宽长要尽量匹配。图 3-4 是设计的为折叠式共源共栅电路两级提供偏置的低压共源共栅偏置电路。这里设计的关键是要求镜像匹配, 为了降低整个运算放大器的整体功耗及芯片面积, 这里每个管子的宽长比都要在满足要求的情况下尽量小。

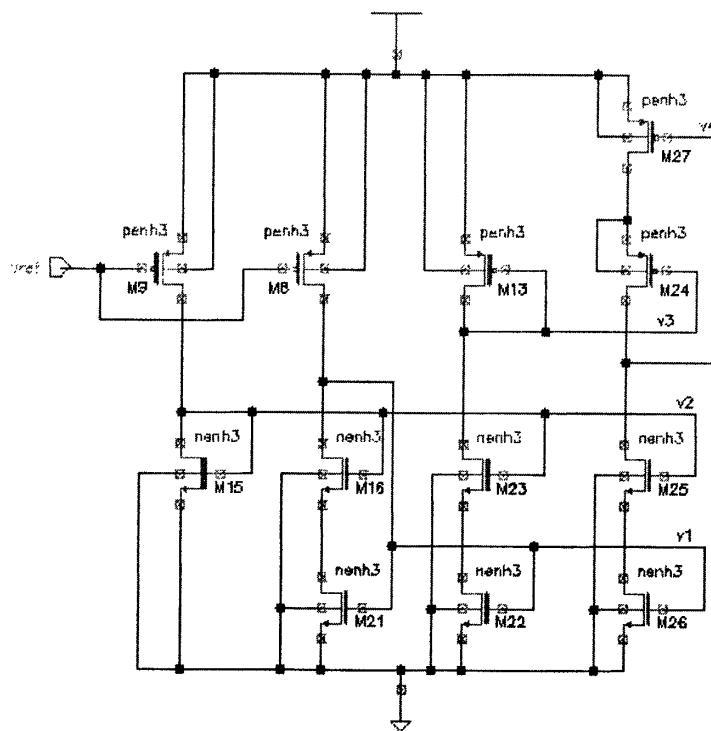


图 3-4 运算放大器偏置电路

Figure 3-4 The bias circuit of OPA

模拟电路在工作时, 有高精度、高稳定的直流电压源或直流电流源是特别重要的。一般要求这种直流参考源对供电电源电压和工艺参数有相对的独立性, 且要求其对芯片的工作温度有很好的独立性<sup>[30]</sup>。

在本论文的 D 类功率放大器系统中, 电压基准源为比较器提供比较电平, 并与偏置电路一起为运算放大器提供准确的偏置电压。基准电压是否稳定, 直接影响功率放大器的电源抑制比, 以及系统噪声的大小。虽然基准电压源有多种电路

结构,目前业界采用的基准电压源设计方法主要有隐埋齐纳二极管基准电压源、XFET(外加离子注入结型场效应管基准电压源)和带隙基准电压源三种。虽然前两者具有更好的温度系数和更低的噪声电压,但对工艺有较高要求并且不利于系统集成,而本项目的设计完全基于HHNEC025工艺库,因此采用带隙结构设计高精度的基准电压源是最佳选择。

带隙基准电压的原理主要是利用三极管基区-发射级电压 $V_{BE}$ 的负温度系数特性和两个三极管基区-发射级电压之差 $\Delta V_{BE}$ 的正温度系数特性进行补偿获得,其电路结构如图3-5所示:

由于:

$$I_4 = I_3 \quad (3-17)$$

$$I_3 = \frac{\Delta V_{BE}}{R_3} \quad (3-18)$$

所以有:

$$V_{out} = V_{BE} + I_3 \times R_4 \quad (3-19)$$

$$V_{out} = V_{BE} + \left( \frac{\Delta V_{BE}}{R_3} \right) \times R_4 \quad (3-20)$$

$$\frac{\partial V_{out}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + \left( \frac{\partial \Delta V_{BE}}{\partial T} \right) \times \left( \frac{R_4}{R_3} \right) \quad (3-21)$$

其中,正温度系数为:

$$\frac{\partial V_{BE}}{\partial T} = \left[ \frac{V_{BE} - (4+m)V_T - \frac{E_g}{q}}{T} \right] \quad (3-22)$$

$V_{BE}$ 为三极管基区-发射级电压,  $m \approx -3/2$ ,  $V_T = \frac{KT}{q}$ ,  $\frac{E_g}{q}$ 为硅的带隙电压,  $T$ 为热力学温度。

负温度系数为:

$$\frac{\partial \Delta V_{BE}}{\partial T} = \left( \frac{kT}{q} \right) \times \ln(mn) \quad (3-23)$$

$m$ 为三极管Q2与Q1发射界面面积之比,  $n = \frac{I_3}{I_4}$ , 本试验中取 $m=8$ ,  $n=1$ 。再

调整 $\frac{R_4}{R_3}$ 的比值大小,以使 $\frac{\partial V_{out}}{\partial T} = 0$ 。

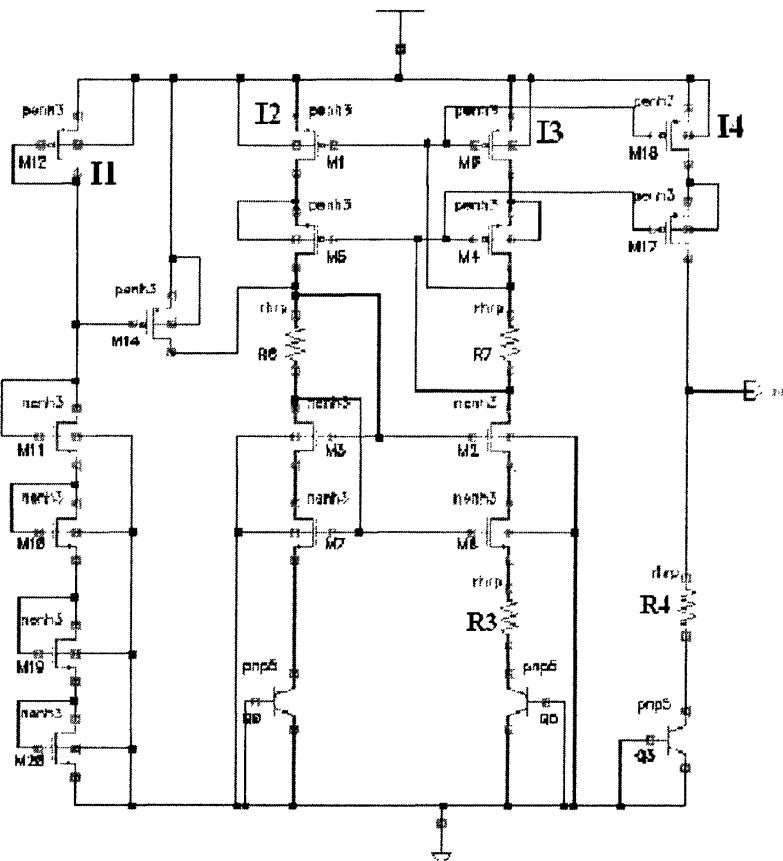


图 3-5 基准元电路

Figure 3-5 The circuit of bandgap-reference

把基准元、偏置电路与运放的放大电路进行连接，得到所设计的两级折叠共源共栅运算放大器。运放的整体电路如图 3-6 所示。

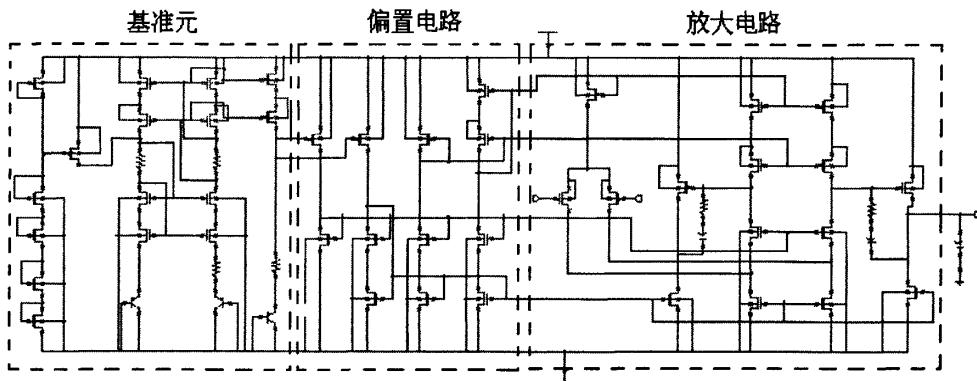


图 3-6 运算放大器整体电路

Figure 3-6 The whole circuit of operational amplifier

### 3.3 运算放大器的仿真结果

在电路仿真阶段，使用 CADENCE 公司的 Spectre 工具完成电路设计和仿真。为了适应快速发展的集成电路工艺，本课题选用了 HHNEC250G\_PCELL 工艺。电路采用 3.3V 单电源电压供电。

经过第 3 章中关于运算放大器的结构选择、理论计算和反复调试，达到了所需的各方面性能指标，主要涉及以下几方面的性能：

#### 3.3.1 基准元仿真结果

##### 1. 三极管的V-I特性

对三极管电路进行直流扫描可以得到三极管的I-V特性，如图3-7所示。从图中可知三极管导通电流大于1.2uA时，基区发射极电压V<sub>BE</sub>趋于恒定，当达到8uA时V<sub>BE</sub>基本不变。所以本论文中设定支路电流I<sub>2</sub>、I<sub>3</sub>大于8uA。

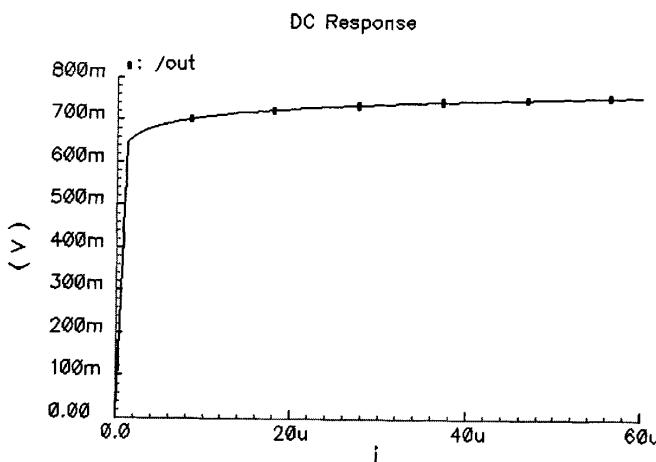


图 3-7 三极管 I-V 特性曲线

Figure3-7 The curve of I-V characteristic dynatron

##### 2. 三极管温度特性

考虑到工艺上的失配，同时为了减小面积，选择 5×5BJT 模型。在三极管电流大于 8uA 且恒定不变的情况下，对其进行温度变量扫描可以得到三极管的 T-V 特性，如图 3-8 所示，温度从 -45°C 到 125°C，输出电压从 859.671mV 到 567.183mV，则 V<sub>EB</sub> 的温度系数为：

$$TC_{EB} = \frac{859.671mV - 567.183mV}{125 - (-45)} \approx 1.72 \quad (3-24)$$

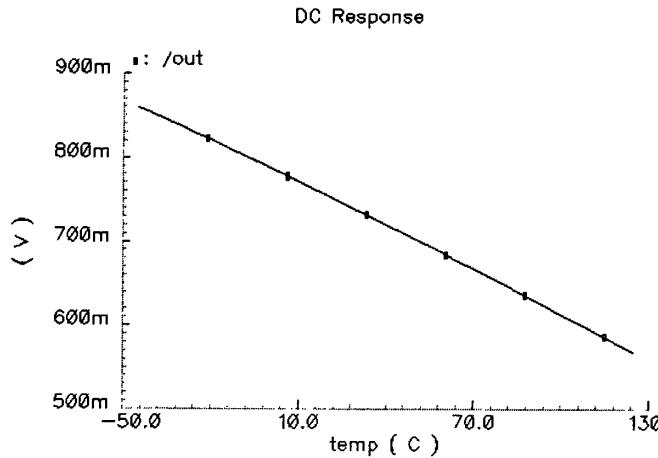


图 3-8 三极管温度特性曲线

Figure3-8 The temperature characteristic curve of bipolar

### 3.基准元的温度系数

对基准元电路进行温度变量扫描可以得到输出基准电压的T-V特性，如图3-9所示。为了适应不同的应用需要(比如军用)，扫描温度范围选定从-45°C到125°C。电源电压为3.3V。可以看出当温度在27°C左右时，输出电压具有零温度系数。低于此温度时输出电压具有正温度系数，高于27°C时具有负温度系数。根据图3-9的扫描结果，求得温度系数如下：

$$TC = \frac{V_{\max} - V_{\min}}{V_{no} \times (T_{\max} - T_{\min})} \times 10^6 = \frac{1.23284 - 1.22841}{1.232858 \times (125 - (-45))} \times 10^6 \\ = 25.91 \text{ ppm}/\text{C} \quad (3-25)$$

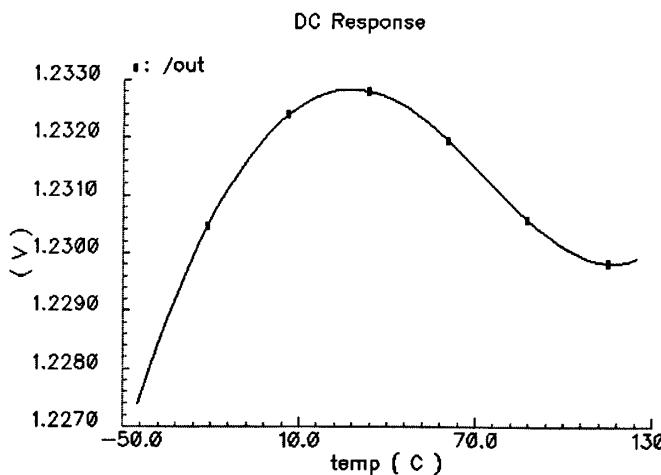


图 3-9 基准元的温度系数

Figure3-9 The temperature coefficient of bandgap-reference

#### 4. 基准元最低工作电压及电压稳定系数

对基准源电路的电源电压从0V到4V进行扫描, 如图3-10。从图中可知, 当电源电压达到3V时输出基准电压便相对恒定。

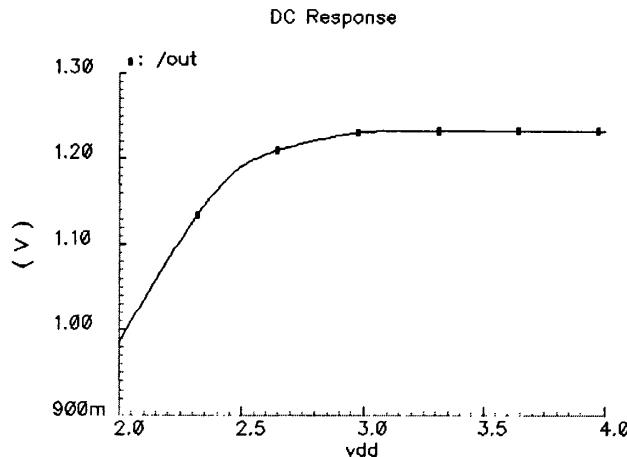


图 3-10 基准元最低工作电压及电压稳定系数

Figure3-10 The lowest voltage and stable coefficient of bandgap-reference

#### 5. 基准元的电源抑制比

为了提高整个D类功率放大器系统的电源抑制比, 要求基准源电路也要有较高的电源抑制比。本试验要求该基准电压的PSRR不低于 $-60\text{dB}$ , 如图3-11测试结果, 本基准源电路的PSRR为 $-61.8\text{dB}$ 。

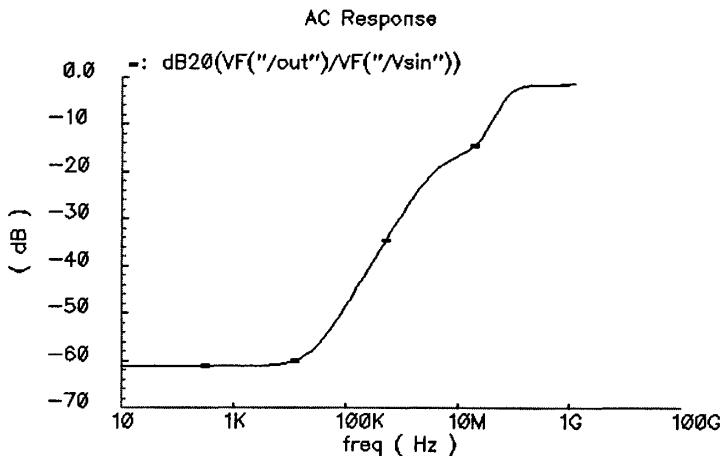


图 3-11 基准元的电源抑制比

Figure 3-11 The PSRR of bandgap-reference

### 3.3.2 运放的 DC 分析

## 1. 直流传输特性

运放的电源取 3.3V, 反相端接 1.65V, 同相端加直流扫描电压<sup>[15]</sup>, 测试电路如图 3-12 所示, 得到运放的直流传输特性的测试结果如图 3-13 所示。从图中可以得到以下性能:

- (1) 通过扫描可以得到输入失调电压大约为  $0.3796\mu\text{V}$ 。
  - (2) 输出电压的正向摆幅为  $3.23\text{V}$ ，负向摆幅为  $1.9\text{mV}$ 。
  - (3) 运放线性工作电压的范围是:  $1.584\text{V}-1.716\text{V}$ 。

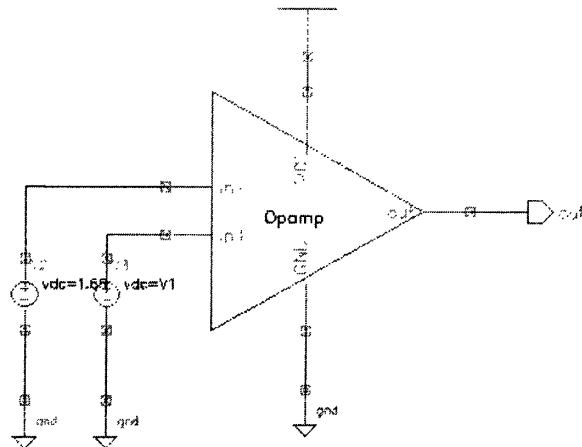


图 3-12 直流传输特性测试电路

Figure 3-12 Circuit for voltage transfer characteristic test

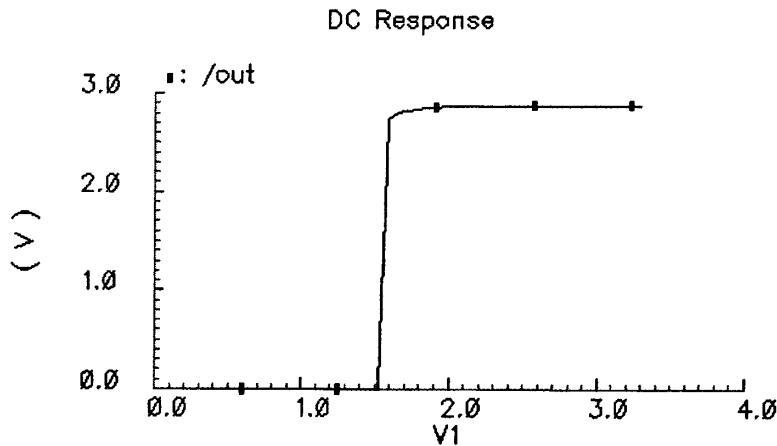


图 3-13 直流传输特性

Figure 3-13 Voltage transfer characteristic

## 2. 输入输出跟随特性

运放的电源取 3.3V, 反相端与同相端连在一起, 同相端加直流扫描电压<sup>[15]</sup>, 测试电路如图 3-14 所示, 得到运放的输入输出跟随特性, 测试结果如图 3-15 所示。转移曲线斜率为 1 的线性部分就是输入共模电压范围: 0V-2V。

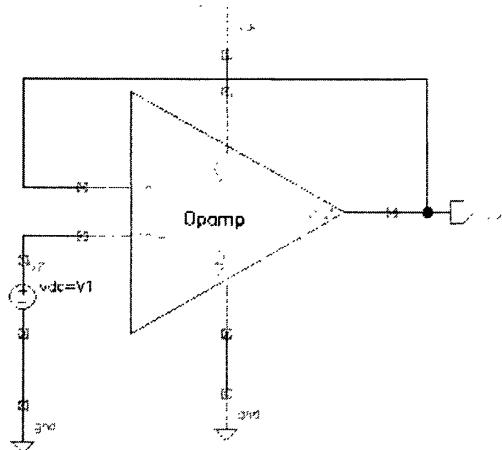


图 3-14 输入输出跟随特性测试电路

Figure3-14 Circuit for following characteristics test

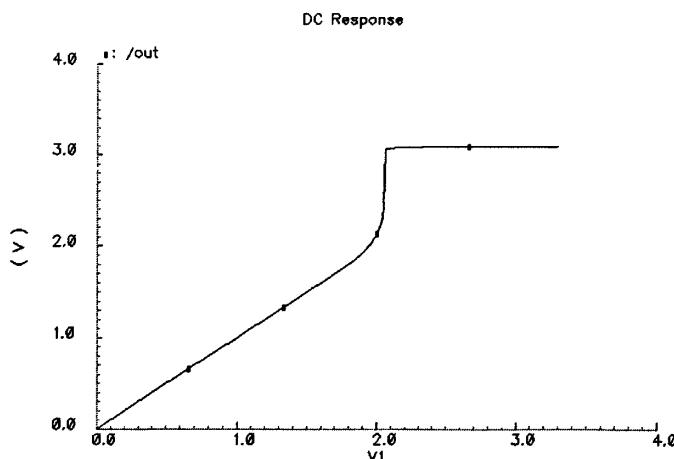


图 3-15 输入输出跟随特性

Figure3-15 The following characteristics

## 3. 输出电压摆幅特性

运放连接成如图 3-16 所示的测试电路, 反相增益为 10 的结构, 正输入端接 1.65V 的电压<sup>[15]</sup>, 在正输入端加直流扫描电压, 可以得到输出的直流扫描信号, 测试结果如图 3-17 所示, 可以看出输出电压摆幅为: 1.9mV-3.23V。

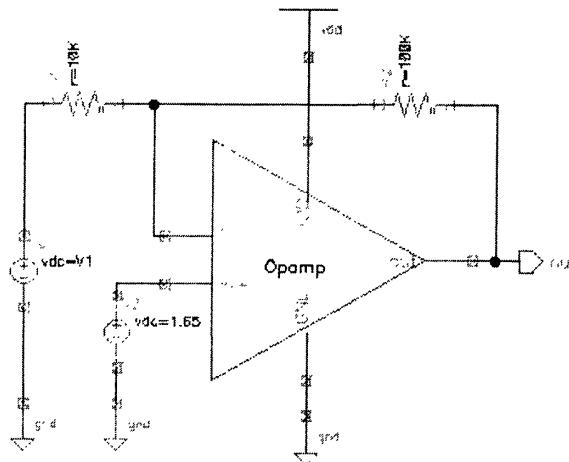


图 3-16 输出电压摆幅特性测试电路

Figure 3-16 Circuit for output range characteristics test

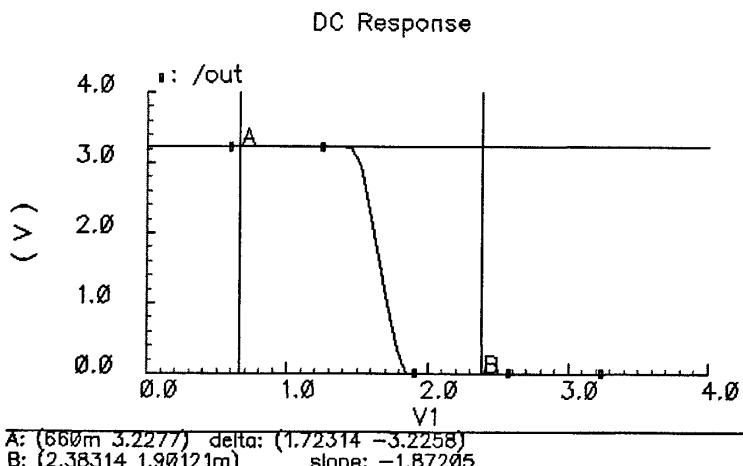


图 3-17 输出电压摆幅

Figure 3-17 The output range

### 3.3.3 运放的 AC 分析

#### 1. 幅频与相频特性

运放在电源电压为 3.3V, 共模输入电压为 1.65V 的条件下, 两输入端输入差模信号, 并进行交流小信号分析, 可以得到小信号开环电压增益的幅频及相频特性曲线<sup>[15]</sup>, 如图 3-18 所示, 从仿真结果可以看出, 运算放大器采用 RC 补偿, 在满足单位增益带宽的同时, 能很好地调节相位裕度。

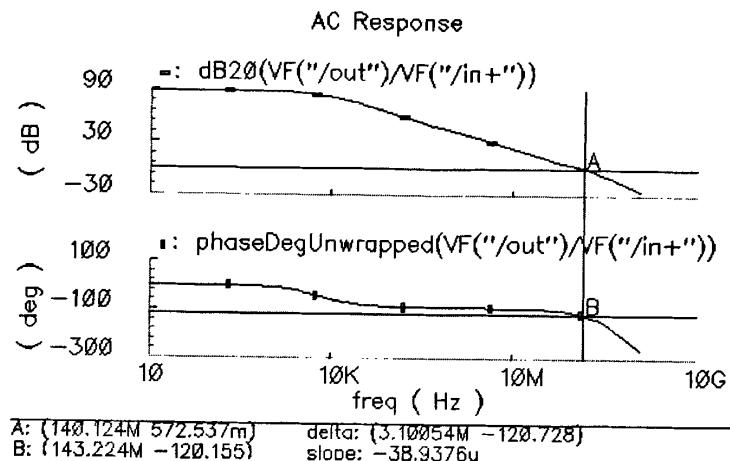


图 3-18 运算放大器的幅频、相频特性

Figure 3-18 Frequency response of OPA

由上图可以得到, 该运算放大器在负载电容为 2PF 时的开环增益为 87.89dB, 单位增益带宽为 140.124MHz, 相位裕度 60°。符合设计要求。

## 2. 共模幅频分析

在运放的两输入端加相同的信号, 作交流小信号分析, 就可以模拟出电路的共模增益的幅频特性, 测试结果如图3-19所示。测量CMRR的方法就是先测量差模电压增益(以dB为单位), 再在输入端加共模信号, 测其共模电压增益, 进行计算<sup>[15]</sup>。

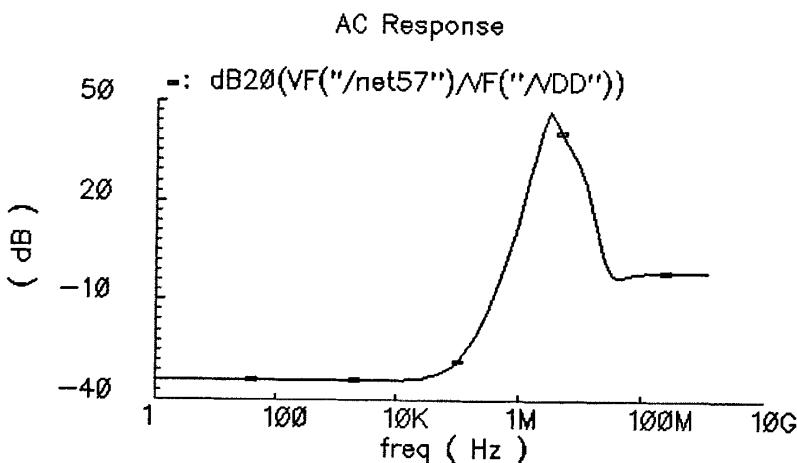


图 3-19 共模幅频特性曲线

Figure 3-19 CM Frequency response

在低频下电路的共模增益为 $-36.97\text{dB}$ , 结合前一部分交流小信号分析结果可以得到电路的共模抑制比为:

$$CMRR = 20\lg \left| \frac{A_p}{A_c} \right| \approx 87.89 + 36.97 = 124.86\text{dB} \quad (3-26)$$

## 2. PSRR 幅频分析

现代模拟电路, 特别是数字模拟混合信号电路中, 电源噪声串扰是一个比较常见的问题, 电源线中的这些噪声会影响到运放的输出, 所以电路对这些噪声的抑制能力也是一项重要的指标。

在电源端输入一个微小的波动, 通过 AC 分析测试得到 PSRR 的幅频特性曲线如图 3-20 所示, 从图中可以得到 PSRR 为 $47.5\text{dB}$ 。

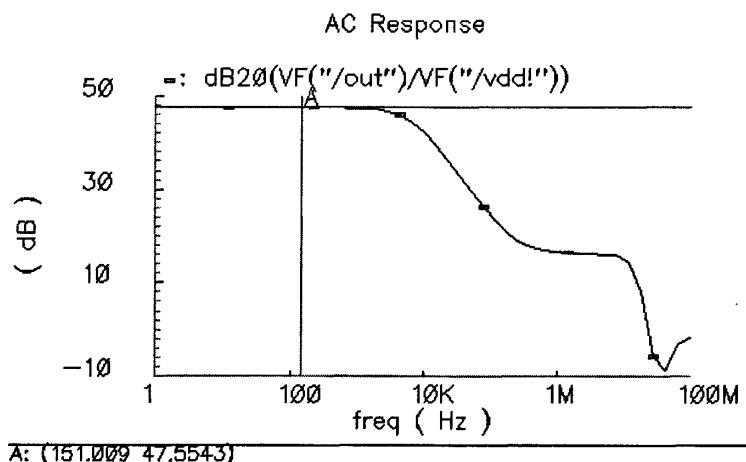


图 3-20 PSRR 幅频特性曲线

Figure 3-20 PSRR Frequency response

### 3.3.4 运放瞬态特性分析

运放的速度是指放大电路在闭环状态下, 输入为大信号, 放大电路输出电压对时间的最大变化速率, 即:

$$SR = \frac{dv_o(t)}{dt} \Big|_{\max} \quad (3-27)$$

在输入大阶跃信号的时候, 运放会工作在非线性区, 它的输入与输出会出现瞬时的饱和或者截止状态。一般规定运放在单位电压增益, 单位时间内输出电压的变化值来标定转换速度, 转换速度和第一级偏置电流以及补偿电容的大小有关。

同相输入端加高、低电平分别为 3.3V 和 0V, 周期为  $4\mu\text{s}$ , 占空比为 50% 的方波脉冲, 测试电路如图 3-21 所示。进行瞬态分析得到输出电压上升沿波形如图 3-22 所示, 下降沿波形如图 3-23 所示, 由公式进行计算:

$$SR^+ = \frac{2.0165 - 0.4982}{217.814n - 209.189n} \approx 176.1 \text{ V}/\mu\text{s} \quad (3-28)$$

$$SR^- = \frac{2.4950 - 0.4311}{334.669n - 320.307n} \approx 143.7 \text{ V}/\mu\text{s} \quad (3-29)$$

由此可以得到, 其上升沿的转换速率  $125.13 \text{ V}/\mu\text{s}$ , 下降沿的转换速率  $100.19 \text{ V}/\mu\text{s}$ , 满足设计要求。

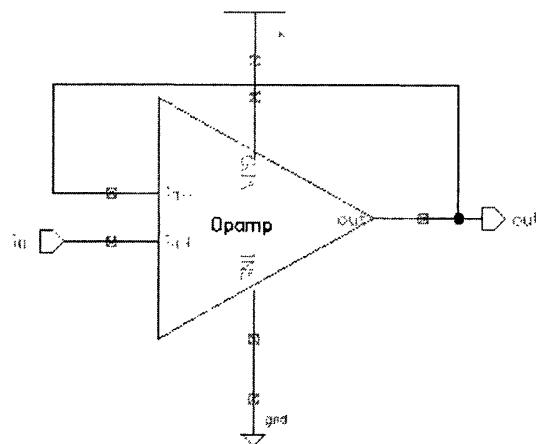


图 3-21 转换速率测试电路

Figure 3-21 Circuit for SR test

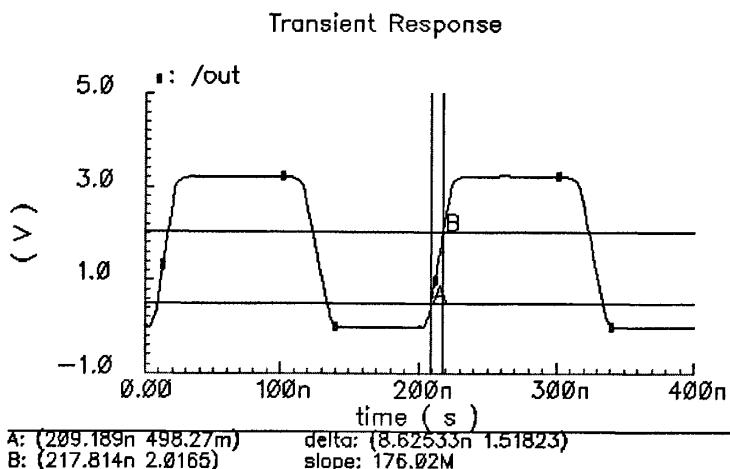


图 3-22 上升沿转换速率测试

Figure 3-22 Test for  $SR^+$

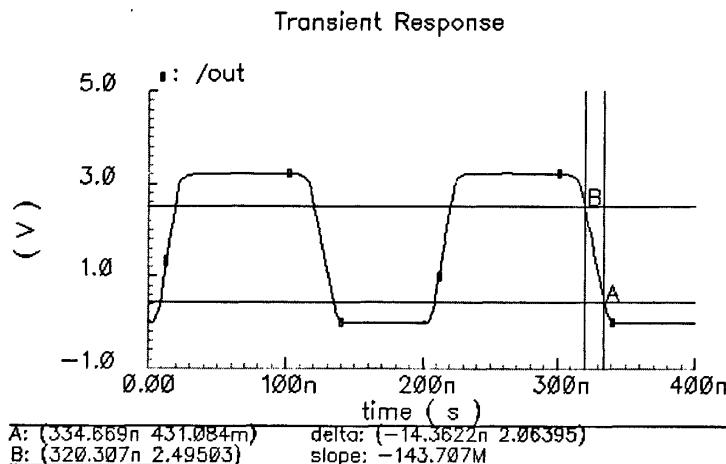


图 3-23 下降沿转换速率测试

Figure3-23 Test for  $SR^-$ 

### 3.3.5 运放静态功耗特性

在本文的设计中，功耗是一项很重要的参数，只要仿真出电路在静态开环状态下的电路总电流，就可以计算出运算放大器的静态功耗。通过直流分析得到电路的总电流为1.95mA这样，电路的总功耗为：

$$P_{static} = 1.95mA \times 3.3V \approx 6.44mW \quad (3-30)$$

按照设计要求和功耗分配，可以满足设计需要。

### 3.3.6 运放噪声分析

对电路进行噪声分析，一般是与交流小信号一起进行的。所计算出的噪声是电路中元件所产生的热噪声、散粒噪声和闪烁噪声的总和。从图3-24中可看出1kHz时电路的输出噪声约为 $589.244 \mu V/\sqrt{Hz}$ ，从而等效输入噪声为 $23.57 nV/\sqrt{Hz}$ 。

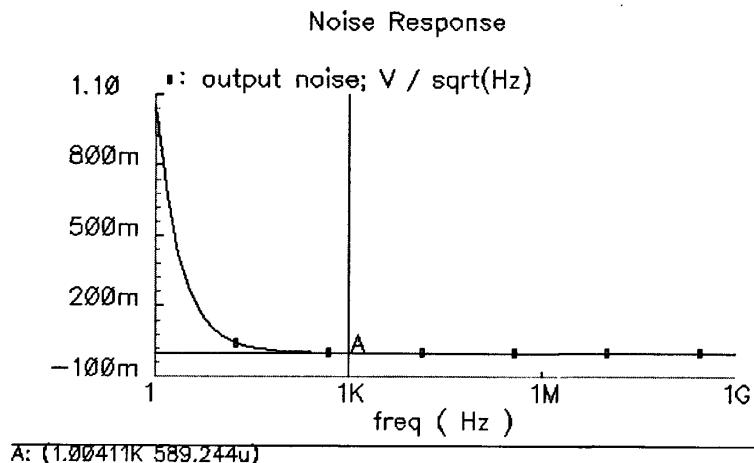


图 3-24 运放噪声分析结果

Figure3-24 Noise response of OPA

经过性能折中的反复调试和以上几种测试，得到的运算放大器的性能总结为表 3-2，各种性能基本满足设计要求。

表 3-2 运算放大器性能指标

Table3-2 Characteristics of OPA

分析类型	参数	数值
DC 分析	输入失调电压	0.3796uV
	线性工作电压的范围	1.584V-1.716V
	输入共模电压范围	0V-2V
	输出电压摆幅	1.9mV-3.23V
AC 分析	开环增益	87.89dB
	单位增益带宽	140.124MHz
	相位裕度	60°
	负载电容	2pF
	CMRR	124.86dB
	PSRR	47.5dB
瞬态分析	正转换速率	$SR^+ = 176.1V/\mu s$
	负转换速率	$SR^- = 143.7V/\mu s$
功耗测试	静态功耗	6.44mW
噪声分析	噪声	$23.57nV/\sqrt{Hz}$

### 3.4 本章小结

本章分析了运算放大器的非理想因素，在比较各种运算放大器结构的基础上确定设计方案，完成了两级折叠共源共栅运算放大器的设计和仿真，得到了良好的性能指标，可以满足 SCOM 电路的设计需要。

## 4 比较器的设计

比较器是功放中的又一个主要模块。和运算放大器一样，比较器也处于闭环回路中，设计中没有太多的限制。比较器的设计是将运放的模拟输出信号与比较电压进行比较，并将比较结果以数字信号的形式输出，这就要求比较器有较快的速度和较高的分辨率，这些因素会影响 SCOM 电路的开关频率和总谐波失真。所设计的比较器需要具有固定的延迟时间并消耗较低的电流<sup>[7]</sup>。由于开关频率在 300kHz 左右，所以，比较器的速度应该满足开关频率的要求。

### 4.1 比较器结构的选择

比较器的速度是一个主要性能指标，会影响整个功率放大器的转换速度；另外，它的精度也很重要，会直接影响到量化精度，从而影响SCOM电路的THD指标。

经过分析和比较，所选择的比较器结构如图4-1所示，该比较器结构简单，支路较少，节点较少，因而功耗低，延迟小速度快。因为比较器工作在噪声环境中，并且在阈值点检测信号的变化，如果比较器足够快且噪声足够大的话，其输出端也将存在噪声<sup>[17]</sup>。为了减小噪声对电路的影响，本比较器的第一级采用了正反馈来实现高增益开环迟滞，既加快了比较器的速度又降低了噪声对比较器的影响。

在图4-1中共有两条反馈路径，第一条是通过晶体管  $M_1$  和  $M_2$  的共源节点的串联电流反馈，这条反馈通路是负反馈；第二条是连接  $M_5$  和  $M_6$  源-漏极的并联电压反馈，这条反馈通路是正反馈。当此正反馈系数小于负反馈系数时，整个电路将为负反馈，同时失去迟滞效果；当此负反馈系数小于正反馈系数时，整个电路将为正反馈，同时在电压传输曲线中将出现迟滞。只要  $\beta_5/\beta_3 < 1$ ，传输函数便没有迟滞；当  $\beta_5/\beta_3 > 1$  时，迟滞将会出现。

正转折点为：

$$V_{TRP}^+ = v_{GS1} - v_{GS2} \quad (4-1)$$

负转折点为：

$$V_{TRP}^- = v_{GS2} - v_{GS1} \quad (4-2)$$

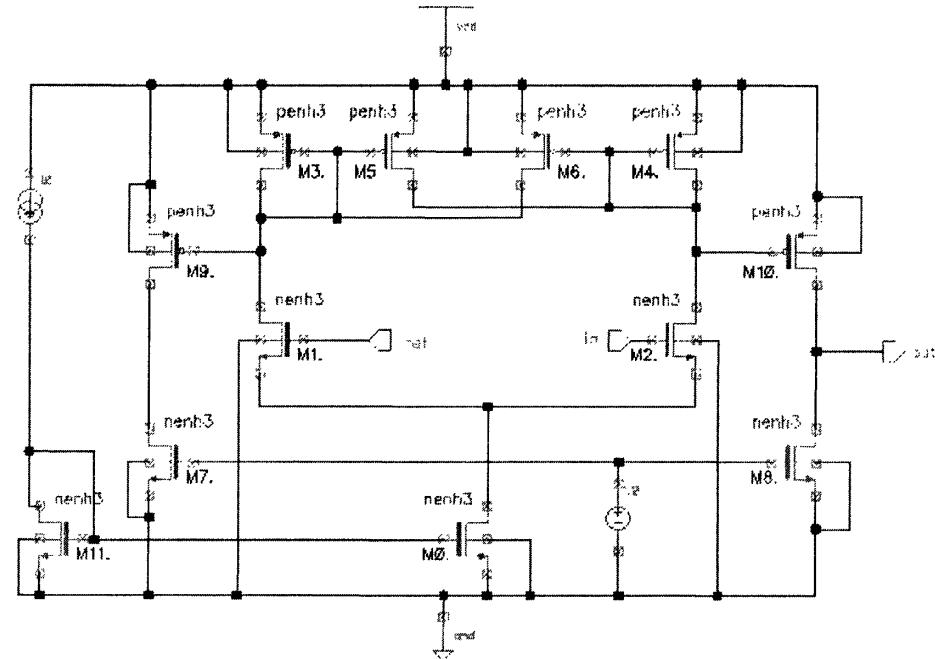


图 4-1 比较器电路图

Figure 4-1 The schematic of comparer

另外，两级比较器可以提供足够的增益以达到所需要的精度。这种结构不需要进行补偿以使其具有最大的带宽和较快的响应。比较器的第二级为A类输出级，以提供合理的输出电压摆幅和输出电阻，满足设计需要。比较器的  $V_{OH}$  和  $V_{OL}$  值需要计算得到，假设  $M_{10}$  栅极有一个最小电压  $V_{G10(min)}$ ，则最大输出电压可以写成：

$$V_{OH} = V_{DD} - (V_{DD} - V_{G10(min)} - |V_{TP}|) \left[ 1 - \sqrt{1 - \frac{2I_s}{\beta_{10} (V_{DD} - V_{G10(min)} - |V_{TP}|)^2}} \right] \quad (4-3)$$

最小输出电压是：

$$V_{OL} = GND \quad (4-4)$$

比较器的小信号增益为：

$$A_v(0) = \left( \frac{g_{m1}}{g_{ds2} + g_{ds4}} \right) \left( \frac{g_{m10}}{g_{ds8} + g_{ds10}} \right) \quad (4-5)$$

比较器的最小输入是：

$$V_{in}(\min) = \frac{V_{OH} - V_{OL}}{A_v(0)} \quad (4-6)$$

比较器的第一级、第二级输出极点分别是：

$$p_1 = \frac{g_{ds2} + g_{ds4}}{C_I} \quad (4-7)$$

$$p_1 = \frac{g_{ds8} + g_{ds10}}{C_{II}} \quad (4-8)$$

其中,  $C_I$  是与第一级输出相连的总电容,  $C_{II}$  是与第二级输出相连的总电容。 $C_{II}$  一般由  $C_L$  决定。所以两级比较器的频率响应可以表示为:

$$A_v(s) = \frac{A_v(0)}{\left(\frac{s}{p_1} + 1\right)\left(\frac{s}{p_2} + 1\right)} \quad (4-9)$$

## 4.2 比较器仿真结果

经过反复计算和调试完成了比较器的设计, 同时主要对比较器进行了精度、速度、失调电压和静态功耗的测试。这几项指标的测试结果如下所述:

### 4.2.1 精度测试

对比较器输入小信号幅度为 50uV, 频率为 1kHz 的交流信号, 进行 AC 分析得到幅频特性曲线如图 4-2 所示。由比较器的 AC 分析结果, 可以得到, 比较器的增益为 78.96dB, 3dB 带宽为 1.01MHz。通过计算可以得到比较器精度:

$$V_{in(\text{最小})} = \frac{V_{OH} - V_{OL}}{A_v(0)} = \frac{3.3 - 0}{9000} \approx 0.37mV \quad (4-10)$$

其中,  $A_v(0)$  是比较器的直流增益。

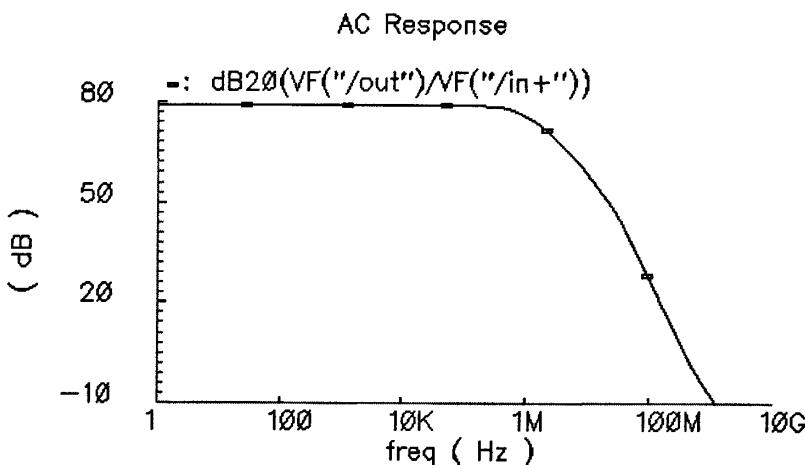


图 4-2 比较器的 AC 分析结果

Figure 4-2 The AC response of comparer

### 4.2.2 速度测试

为了测试比较器的速度, 设置  $V_{in+}$  为脉冲宽度  $1.5\mu s$ , 占空比为 50% 的方波, 方波输入信号为  $5mV$ , 通过瞬态分析得到输出波形, 如图 4-3 所示。

$$t_{rise+delay} \approx 0.05\mu s \quad (4-11)$$

$$t_{fall+delay} \approx 0.06\mu s \quad (4-12)$$

由图 4-3 可得, 比较器的上升及传输延迟时间  $0.05\mu s$ , 下降及传输延迟时间  $0.06\mu s$ 。

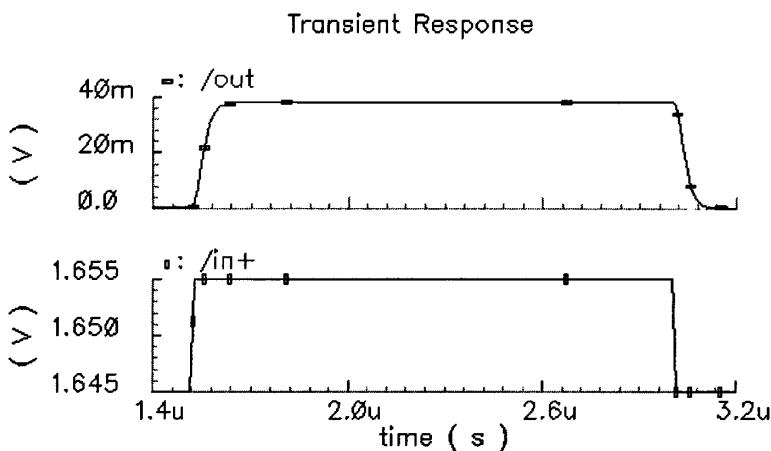


图 4-3 比较器的瞬态分析结果

Figure 4-3 The transient response of comparer

### 4.2.3 失调电压和静态功耗测试

比较器的失调电压大小很重要, 如果把比较器输入端短接, 仿真记录输出端的电压为  $18.9mV$ , 再除以该比较器的增益, 如图 4-2, 直流增益为  $78.96dB$ , 由于比较器不需要接成反馈形式, 所以对相位没有要求, 可以很大。如此可以计算出:

$$V_{offset} = \frac{18.9mV}{9000} \approx 2.1\mu V \quad (4-13)$$

对比较器进行 DC 分析可以得到平衡时的静态功耗是:

$$P_{static} = 381.8\mu A \times 3.3V = 1.26mW \quad (4-14)$$

比较器性能指标总结如表 4-1:

表4-1 比较器性能

Table4-1 Characters of comparer

增益	78.96dB
3dB 带宽	1.01MHz
精度	0.37mV
上升延迟时间	0.05us
下降延迟时间	0.06us
静态功耗	1.26mW
失调电压	7.7pV

### 4.3 本章小结

本章通过分析对比确定比较器的电路结构，完成了比较器的设计和仿真，得到了符合设计要求的性能结果。

## 5 驱动电路和输出级的设计

SCOM 电路所选用的驱动电路和输出级如图 5-1 所示。驱动电路包括的逻辑器件有：反相器、与非门、或非门<sup>[7]</sup>。输出级由两个 MOSFET 构成。设计从反相器开始，设计过程介绍如下。驱动电路的组成部分都是比较简单的逻辑门电路，设计的关键是面积指标。按照设计要求，版图核心部分面积小于  $500\mu\text{m} \times 500\mu\text{m}$ ，驱动电路和输出级所占面积大约为总面积的一半，这是设计驱动电路参数的主要依据。

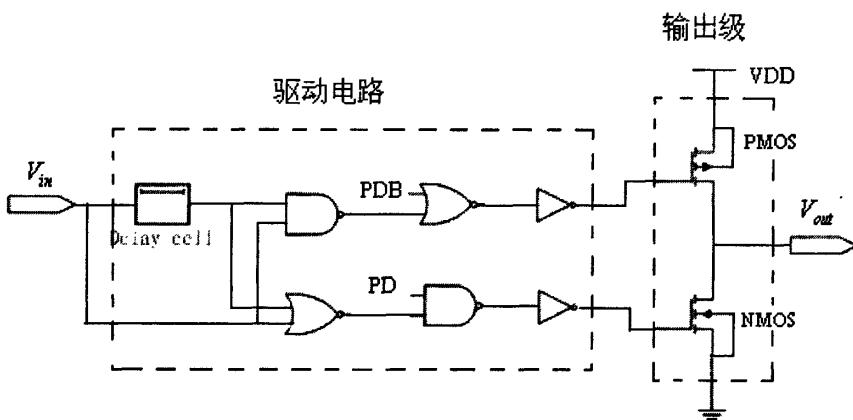


图 5-1 驱动电路和输出级模块图

Figure 5-1 The diagram of driver and output stage

### 5.1 CMOS 逻辑电路的特性

#### 1. 转换时间<sup>[33]</sup>

逻辑电路的输出从一种状态转换到另一种状态所需要的时间，就称为转换时间（transition time）。图 5-2(a)所示为理想的输出状态转换——零时间转换。但是，实际输出不会立即变化，因为需要时间为驱动的连线或其他部件的寄生电容充电。更接近实际的电路输出情形如图 5-2(b)所示。输出从低态到高态的转换时间称为上升时间( $t_r$ , rise time)，从高态到低态的转换时间称为下降时间( $t_f$ , fall time)。上升时间和下降时间很可能不相同。实际图形通常为图 5-2(c)所示。其中高态为输出高电平的 90%，低态为输出高电平的 10%。

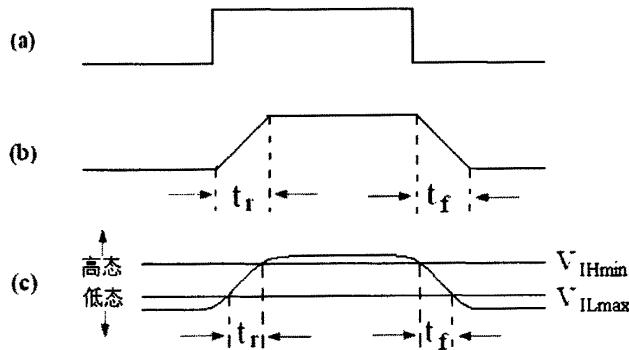


图 5-2 转换时间

Figure 5-2 Transition time

## 2. 传播延迟<sup>[33]</sup>

上升和下降时间只部分的描述了逻辑元件的动态特性，还需要别的参数来描述输出定时与输入定时的关系。信号通路是指一个特定输入信号到逻辑元件的特定输出信号所经历的电气通路。信号通路的传播延迟 ( $t_p$ , propagation delay) 是指从输入信号变化到产生输出信号变化所需要的时间。如图 5-3(a)所示，如果忽略上升和下降时间，CMOS 反相器的输入到输出信号通路上的两个不同传播延迟，取决于输出变化的方向：

$t_{pHL}$ ：输出从高到低变化时，输入变化引起相应输出变化的时间。

$t_{pLH}$ ：输出从低到高变化时，输入变化引起相应输出变化的时间。

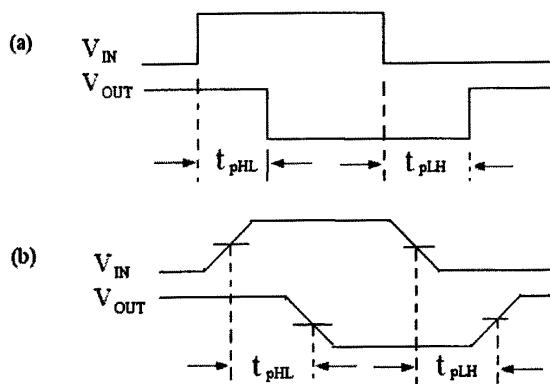


图 5-3 CMOS 反相器的传播延迟

Figure 5-3 Propagation delay

## 5.2 反相器

CMOS 反相器是 CMOS 门电路中的最基本的逻辑部件，电路图如图 5-4 所示。大多数的逻辑门电路都可以通过等效反相器进行基本设计，再通过适当的变化，完成逻辑门电路中晶体管尺寸的计算<sup>[23]</sup>。

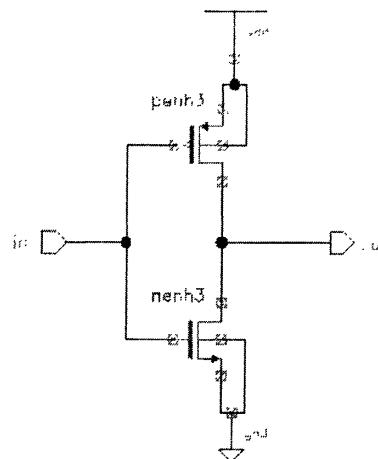


图 5-4 反相器电路图

Figure 5-4 The circuit of inverter

在一定工艺下，反相器的设计关键是对晶体管尺寸 (W/L) 的设计。可以应用上升时间  $t_r$  和下降时间  $t_f$  公式来计算器件的宽长比。上升时间  $t_r$  是指在输入阶跃波形的条件下，输入信号从  $0.1V_{DD}$  上升到  $0.9V_{DD}$  所需要的时间，下降时间则指在输入阶跃波形的条件下，输出信号从  $0.9V_{DD}$  上升到  $0.1V_{DD}$  所需要的时间。

$$t_r = \tau_p \left[ \frac{\alpha_p - 0.1}{(1 - \alpha_p)^2} + \frac{\operatorname{arcth} \left( 1 - \frac{0.1}{1 - \alpha_p} \right)}{1 - \alpha_p} \right] \quad (0.1 < 1 - \alpha_p < 0.9) \quad (5-1)$$

$$t_f = \tau_N \left[ \frac{\alpha_N - 0.1}{(1 - \alpha_N)^2} + \frac{\operatorname{arcth} \left( 1 - \frac{0.1}{1 - \alpha_N} \right)}{1 - \alpha_N} \right] \quad (0.1 < 1 - \alpha_N < 0.9) \quad (5-2)$$

其中  $\tau_p = \frac{C_L}{K_p V_{DD}}$ ， $\tau_N = \frac{C_L}{K_N V_{DD}}$ ， $\alpha_p = \frac{V_{TP}}{V_{DD}}$ ， $\alpha_N = \frac{V_{TN}}{V_{DD}}$ ， $C_L$  为负载电容。

在设计中，采用对称波形设计准则，为了使  $t_r = t_f$ ，如果 NMOS 管和 PMOS 管的阈值电压相等，则  $K_N = K_p$ ，所以在反相器中 NMOS 管和 PMOS 管的宽长比

应该满足下式：

$$\frac{\left(\frac{W}{L}\right)_P}{\left(\frac{W}{L}\right)_N} = \frac{\mu_N}{\mu_P} \quad (5-3)$$

便可知 CMOS 反相器的电压传输特性中阈值电压为电源电压的一半，同时可以获得最佳的噪声容限。根据工艺中 NMOS 管和 PMOS 管迁移率的比值可以确定 NMOS 管和 PMOS 管的尺寸。

对反相器电路进行瞬态分析得到测试结果，由图 5-5(a)、(b) 得到上升时间和下降时间分别为：

$$t_r = 0.11\text{ns}, \quad t_f = 0.12\text{ns}$$

由图 5-6(a)、(b) 可以得到传播延迟为：

$$t_{pHL} = 0.15\text{ns}, \quad t_{pLH} = 0.09\text{ns}$$

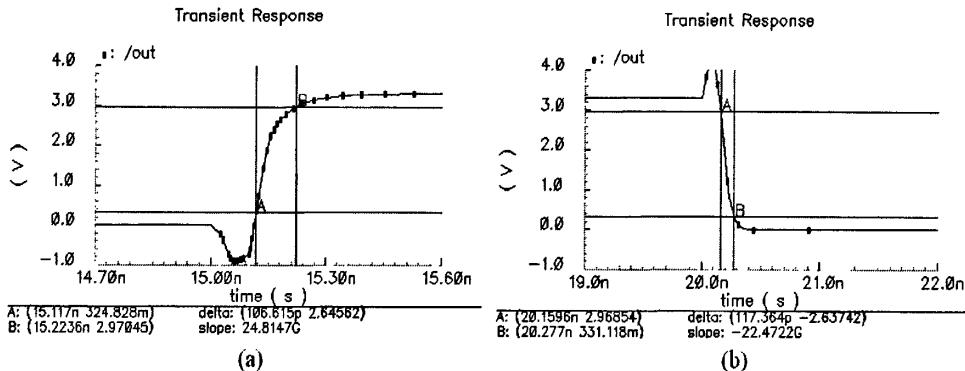


图 5-5 (a)反相器上升时间 (b)反相器下降时间

Figure 5-5 (a)The  $t_r$  of inverter (b)The  $t_f$  of inverter

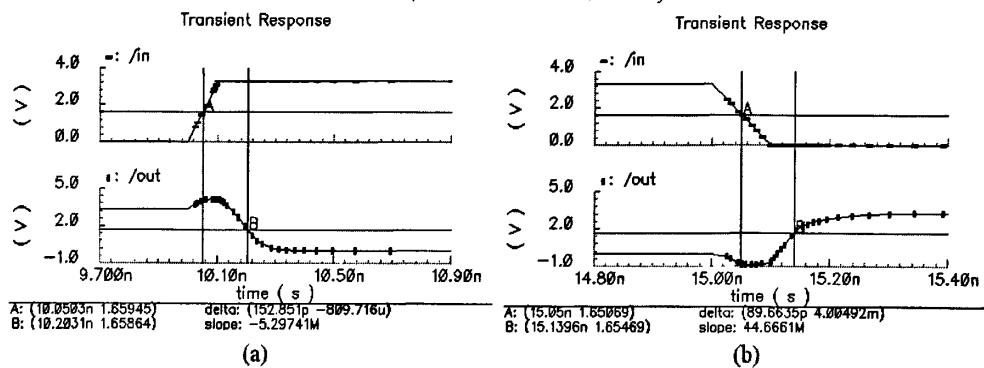


图 5-6 (a)反相器传播延迟  $t_{pHL}$  (b) 反相器传播延迟  $t_{pLH}$

Figure 5-6 (a)The  $t_{pHL}$  of inverter (b) The  $t_{pLH}$  of inverter

### 5.3 二输入与非门

二输入与非门电路的设计，为了使其输出阻抗接近等于等效反相器的输出阻抗，保证输出有实际的电平状况和所需的上升时间和下降时间，各 MOS 管的尺寸计算方法如下：

(1) 将与非门的两个串联 NMOS 管等效为反相器中的 NMOS 管，将两个并联的 PMOS 管等效为反相器中的 PMOS 管。

(2) 考虑到 NMOS 管是串联结构，为保持下降时间不变，各 NMOS 管的等效电阻必须缩小到  $1/N$ ，亦即他们的宽长比必须是反相器中的 NMOS 管的宽长比的 N 倍。

为保证在只有一个 PMOS 管导通的情况下，仍能获得所需的上升时间，要求各 PMOS 管的宽长比与反相器中的 PMOS 管的宽长比相等。

在 Cadence 环境下编辑与非门电路图如图 5-7 所示。按照 5.2 所介绍的设计方法进行参数设置并仿真。设置  $V_{in+}$  的周期为 100ns， $V_{in-}$  的周期为 200ns，占空比为 50% 的方波，输出波形结果如图 5-8 所示。

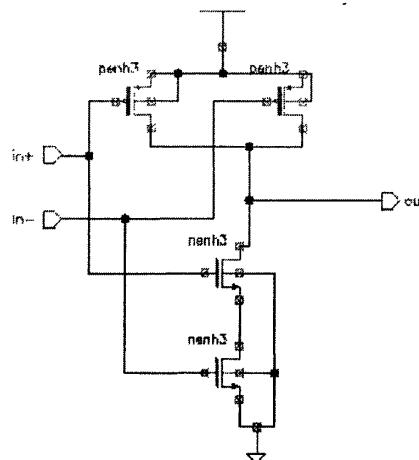


图 5-7 与非门电路图

Figure 5-7 The circuit of NAND

利用瞬态仿真结果，由图 5-9(a)、(b)得到上升时间和下降时间分别为：

$$t_r = 0.31\text{ns}, \quad t_f = 0.50\text{ns}$$

由图 5-10(a)、(b)可以得到传播延迟为：

$$t_{pH} = 0.41\text{ns}, \quad t_{pLH} = 0.15\text{ns}$$

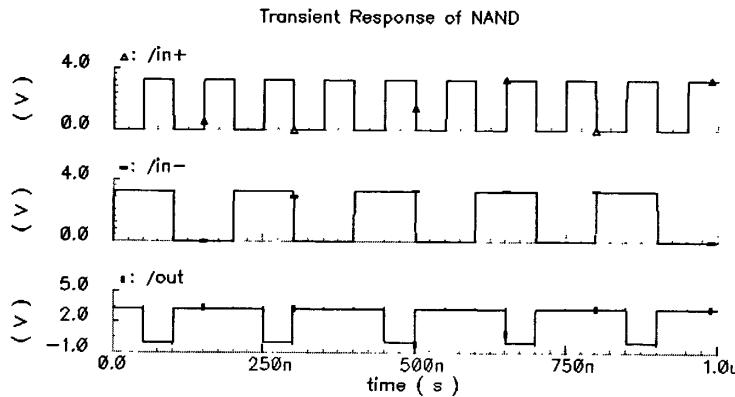


图 5-8 与非门电路输入输出波形结果

Figure 5-8 The input and output waveforms of NAND

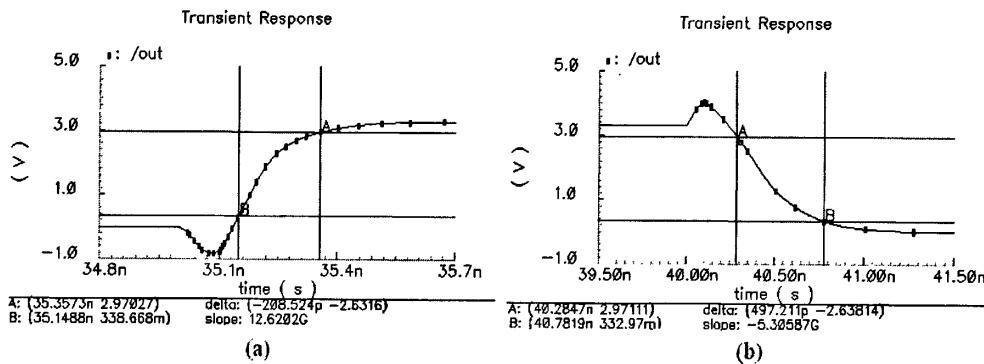


图 5-9 (a)与非门的上升时间 (b)与非门的下降时间

Figure 5-9 (a)The  $t_r$  of NAND (b)The  $t_f$  of NAND

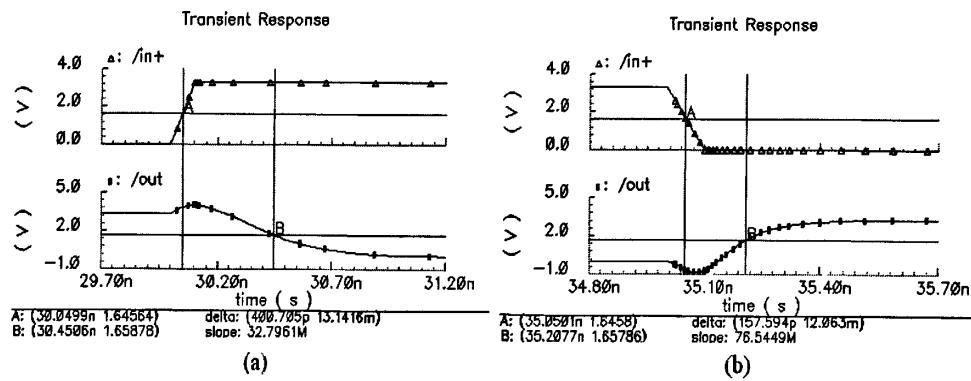


图 5-10 (a)或非门传播延迟  $t_{pHL}$  (b) 或非门传播延迟  $t_{pLH}$

Figure 5-10 (a)The  $t_{pHL}$  of NOR (b) The  $t_{pLH}$  of NOR

## 5.4 二输入或非门

两输入或非门电路的设计类似于与非门电路，同样要保证所需的上升时间和下降时间，也要将其等效为一个反相器，只是需要将 PMOS 管的宽长比变为反相器的 N 倍，NMOS 管的宽长比与反相器相等。

在 Cadence 环境下编辑或非门电路图如图 5-11 所示。按照 5.3 所介绍的设计方法进行参数设置并仿真。设置  $V_{in+}$  的周期为 100ns， $V_{in-}$  的周期为 200ns，占空比为 50% 的方波，输出波形结果如图 5-12 所示。

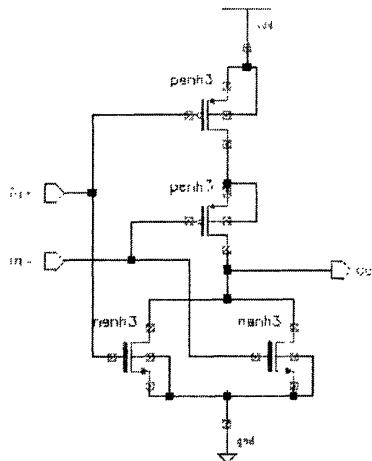


图 5-11 或非门电路图

Figure 5-11 The circuit of NOR

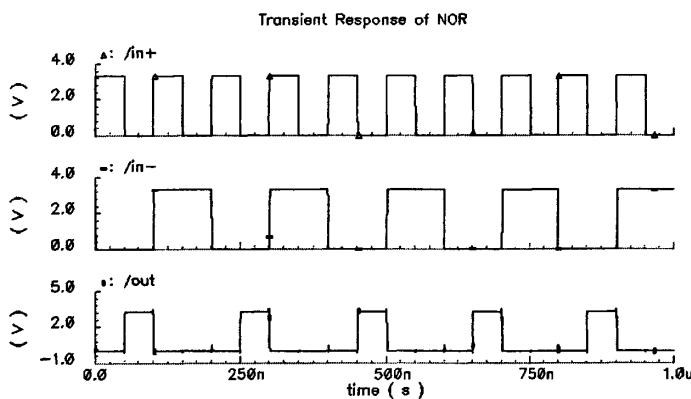


图 5-12 或非门电路输入输出波形结果

Figure 5-12 The input and output waveforms of NOR

利用瞬态仿真结果,由图 5-13(a)、(b)得到上升时间和下降时间分别为:

$$t_r = 0.37\text{ns}, t_f = 0.53\text{ns}$$

由图 5-14(a)、(b)可以得到传播延迟为:

$$t_{pHL} = 0.48\text{ns}, t_{pLH} = 0.29\text{ns}$$

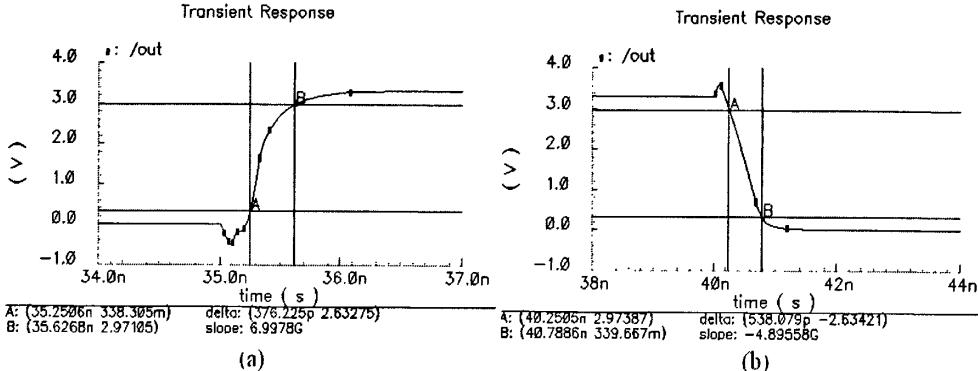


图 5-13 (a)或非门的上升时间 (b)或非门的下降时间

Figure 5-13 (a)The  $t_r$  of NOR (b)The  $t_f$  of NOR

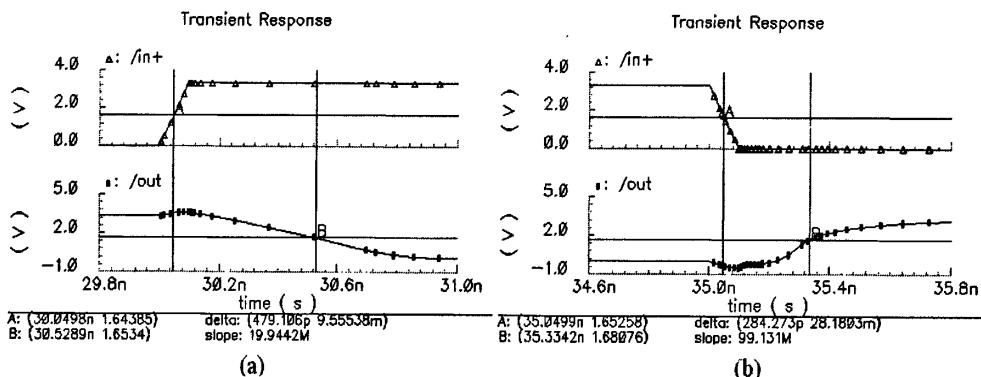


图 5-14 (a)或非门传播延迟  $t_{pHL}$  (b) 或非门传播延迟  $t_{pLH}$

Figure 5-14 (a)The  $t_{pHL}$  of NOR (b) The  $t_{pLH}$  of NOR

## 5.5 延迟单元

延迟单元由两个反相器级联得到。通过延迟单元的延迟时间来实现对 SCOM 电路中死区时间的控制。

一般来讲, CMOS 电路中输出级的开启时间设计误差是造成非线性失真的主要原因, 所以死区时间会造成 D 类音频功率放大器的失真。死区时间(数十纳秒)可以产生大于 1% 的 THD。这就需要进行设计均衡, 因为特定的死区时间是为了

确保输出级功率管的 PMOSFET 和 NMOSFET 不同时打开，从而避免在 VDD 和 GND 之间出现直通路，一定数值的死区时间是 D 类音频功率放大器所必须的。在工作指标范围内，各种器件的有效死区时间是不同的，与工作温度有关，因而对死区时间的设计需要从实际应用的角度出发求得一个最合适的值。死区时间的图示见图 5-15<sup>[13]</sup>。

谐波失真和死区时间的大小有密切的关系，40ns的空载时间可以产生2% 的 THD，如果将空载时间降至15ns，可以实现0.2% 的THD。

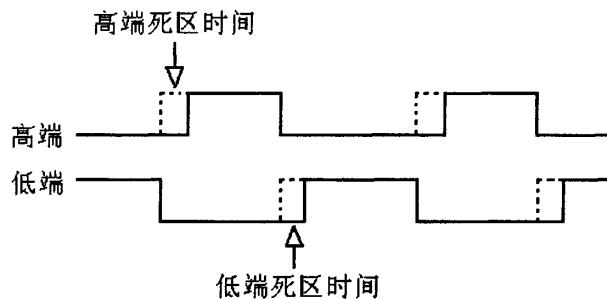


图 5-15 死区时间示意图

Figure 5-15 Sketch map of die-time

延迟单元由两个反相器级联得到，如图 5-16 所示。通过设计两级 MOS 管的宽长比尺寸得到所需要的延迟时间。由仿真结果图 5-17 可以得到，延迟时间为 13.1ns，符合设计原理的要求。

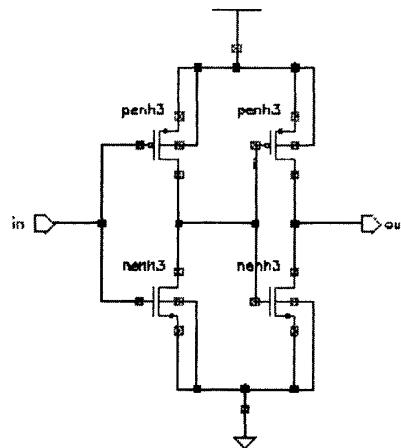


图 5-16 延迟单元电路图

Figure 5-16 The circuit of delay-cell

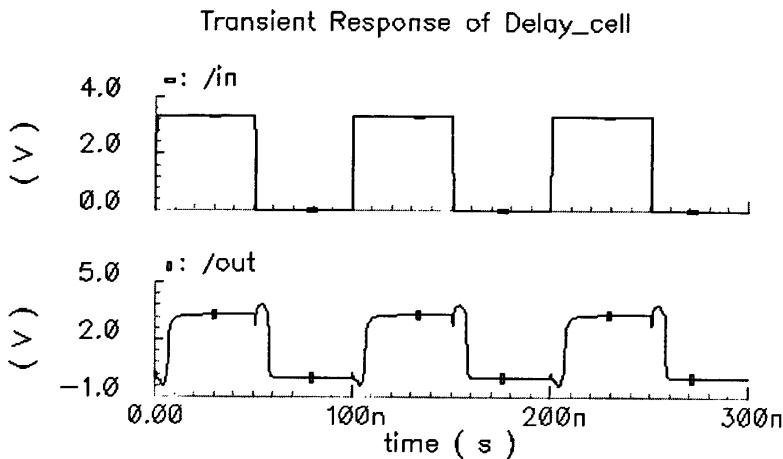


图 5-17 延迟单元瞬态分析结果

Figure 5-17 The transient response of delay-cell

## 5.6 驱动电路

两输出端  $out_p$  和  $out_n$  分别接功率输出级的 PMOS 和 NMOS 的栅极。PD 和 PDB 作为两个控制端，可以用于控制芯片的工作状态，在实验的仿真过程中，这两端分别接 VDD 和 GND。

驱动电路的电路图如图 5-18 所示，对整个驱动电路进行瞬态分析，设置输入信号的周期为 200ns，占空比为 50% 的方波，输入输出波形如图 5-19 所示。从图中可以看出，由于延迟单元的设计，两输出端不同时开启，上升和下降都存在 10ns 左右的死区时间。符合 5.5 的介绍和要求。

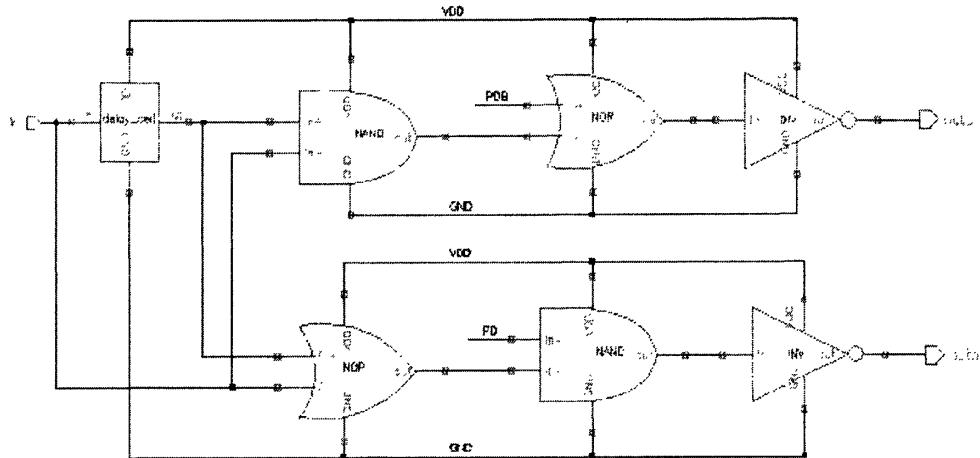


图 5-18 驱动电路

Figure 5-18 The driver circuit

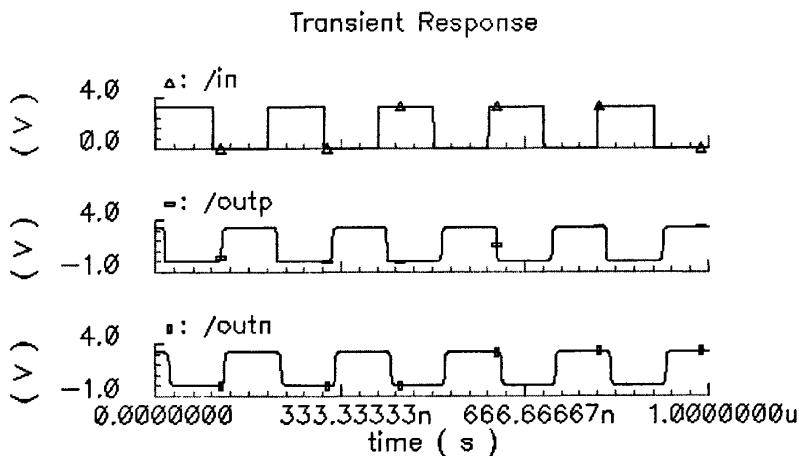


图 5-18 驱动电路仿真结果

Figure 5-18 The transient response of driver

## 5.7 功率输出级电路

功率输出级由两个MOSFET构成，尺寸的确定主要根据效率的要求来近似计算得到。D类放大器的效率如式5-4所示<sup>[24]</sup>：

$$\text{效率} = \frac{\text{扬声器的功率}}{\text{扬声器的功率} + \text{集成电路的功耗}} \times 100\% \quad (5-4)$$

0.5 W 的扬声器输出时，为了实现70%以上的效率，芯片上的功率耗散必须少

于0.214W。由前两章的设计可知运放和比较器的功耗分别为6.44mW和1.26mW，假设除了功率晶体管以外别的电路耗散的功率大约是0.09 W，耗散在晶体管上的功率必须低于0.12W，对于BTL结构，功率晶体管的数目是四，一个功率晶体管上的功率耗散必须是0.03W或更少。输出级的电流和功耗的关系为：

$$I_{P-P} = \sqrt{\frac{8P_{avg}}{R_L}} = 0.7071A \quad (5-5)$$

$$I_n = \frac{I_{P-P}}{2} = 0.0866A \quad (5-6)$$

$$I_{rms} = \frac{I_n}{1.414} = 0.2500A \quad (5-7)$$

$$R_L = 8\Omega \quad (5-8)$$

$$P_d = I_{rms}^2 \times R_{on} = 0.03W \quad (5-9)$$

其中  $P_d$  是一个晶体管上的功率耗散， $I_{rms}$  是一个功率晶体管为了给扬声器负载提供0.5W的功率所需要的均方根电流值。 $R_{on}$  是功率晶体管的导通电阻， $P_{avg}$  是传送到扬声器负载的平均功率， $I_{P-P}$  是峰-峰值电流，计算可得  $R_{on} = 0.48\Omega$ ，现在可以计算功率晶体管的尺寸：

$$R_{on} = \frac{L}{\mu_n C_{ox} W (V_{GS} - V_{th})} \quad (5-10)$$

功率晶体管的宽度近似是4mm。

这样，设计可以满足效率指标对效率的要求。

## 5.8 本章小结

本章通过计算和仿真完成了驱动电路、输出级的设计，设计结果满足版图面积、功耗等性能指标的要求。

## 6 SCOM 结构功能仿真

在前面的几章中讲述了 SCOM 中基本模块的设计和仿真，在本章中对 SCOM 系统进行了调试，测试结果证明基本实现了设计要求。

### 6.1 SCOM 电路仿真

图 6-1 是在 Cadence 环境下设计的 SCOM 电路图。同步控制部分选用电阻耦合实现两个 SCOM 电路的连接，这样设计相对简单，而且与其他同步结构相比，单独的电阻耦合比较节省芯片面积。

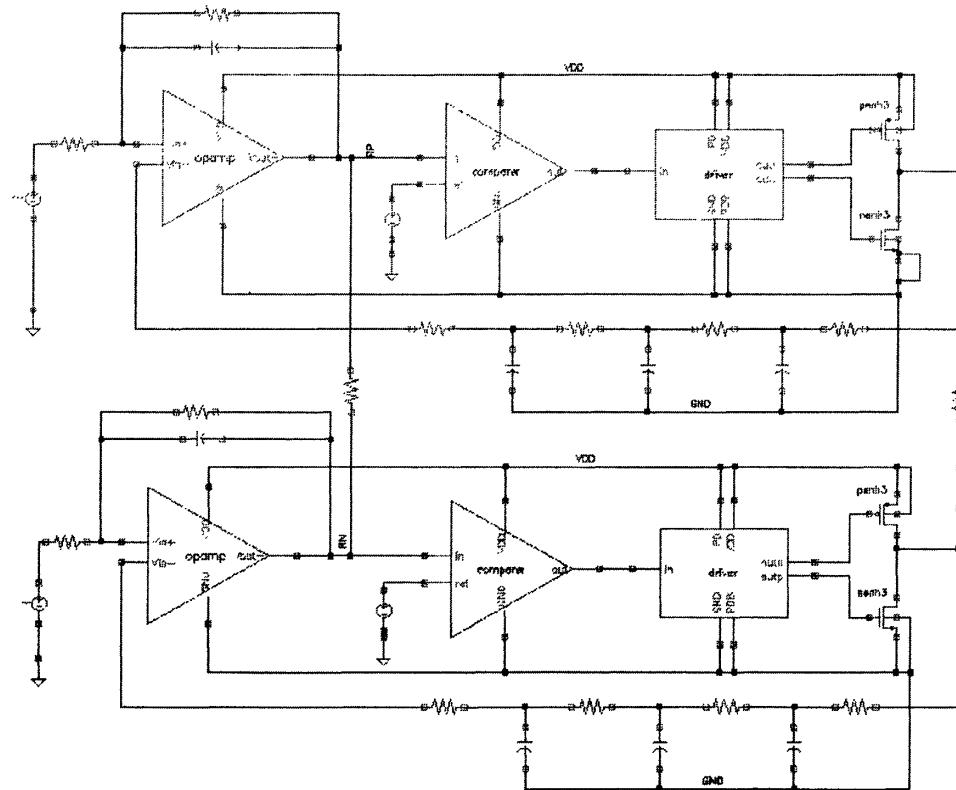


图 6-1 SCOM 电路图

Figure 6-1 The circuit of SCOM

环路滤波器设计为三阶 RC 低通滤波器，如图 6-2 所示。图 6-3 为反馈电路三级环路滤波器逐级所得到的波形。从上到下分别为  $V_3$ 、 $V_2$ 、 $V_1$  在 SCOM 电路中

所对应的差动值。环路滤波采用三级 RC 滤波器，通过仿真可以看到波形振荡幅度逐级减小，THD 逐级下降。

RC 低通滤波器滤波频率计算公式为：

$$f = \frac{1}{2\pi RC} \quad (6-1)$$

在设计中开关频率等于环路滤波频率，大约为 300kHz。在集成器件中，电容通常不大于 10pF，因此选择电容为此数值，计算得到电阻值大约为 53kΩ。

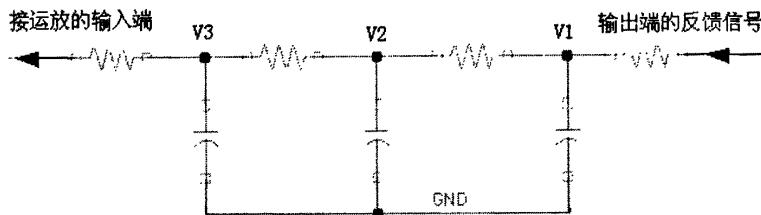


图 6-2 反馈滤波电路示意图

Figure 6-2 Sketch map of feedback filter

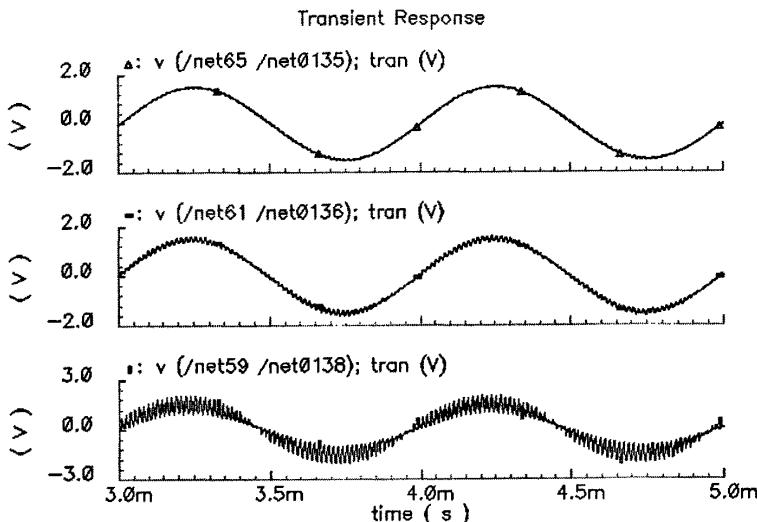


图 6-3 反馈 RC 滤波逐级波形 (差分值)

Figure 6-3 The waveforms of every stage of feedback filter (differential value)

按照理论分析 SCOM 电路负载两端的差值电压应为占空比随输入信号幅值变化的方波，仿真结果如图 6-4 所示。图 6-5 为图 6-4 的放大结果。图中正弦波为 1kHz 的输入信号，方波为负载两端的差分电压。为方便显示，此时的滤波频率设置为 80kHz。

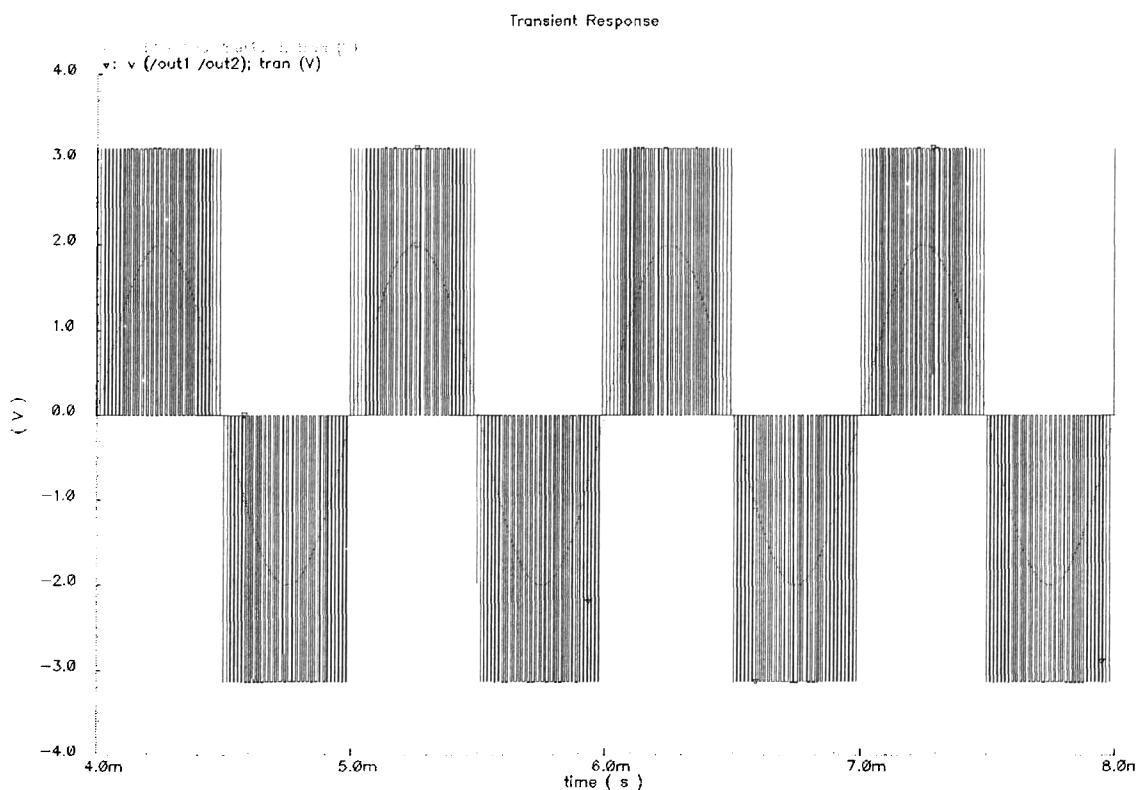


图 6-4 SCOM 的输入、输出波形

Figure 6-4 The input and output waveforms of SCOM

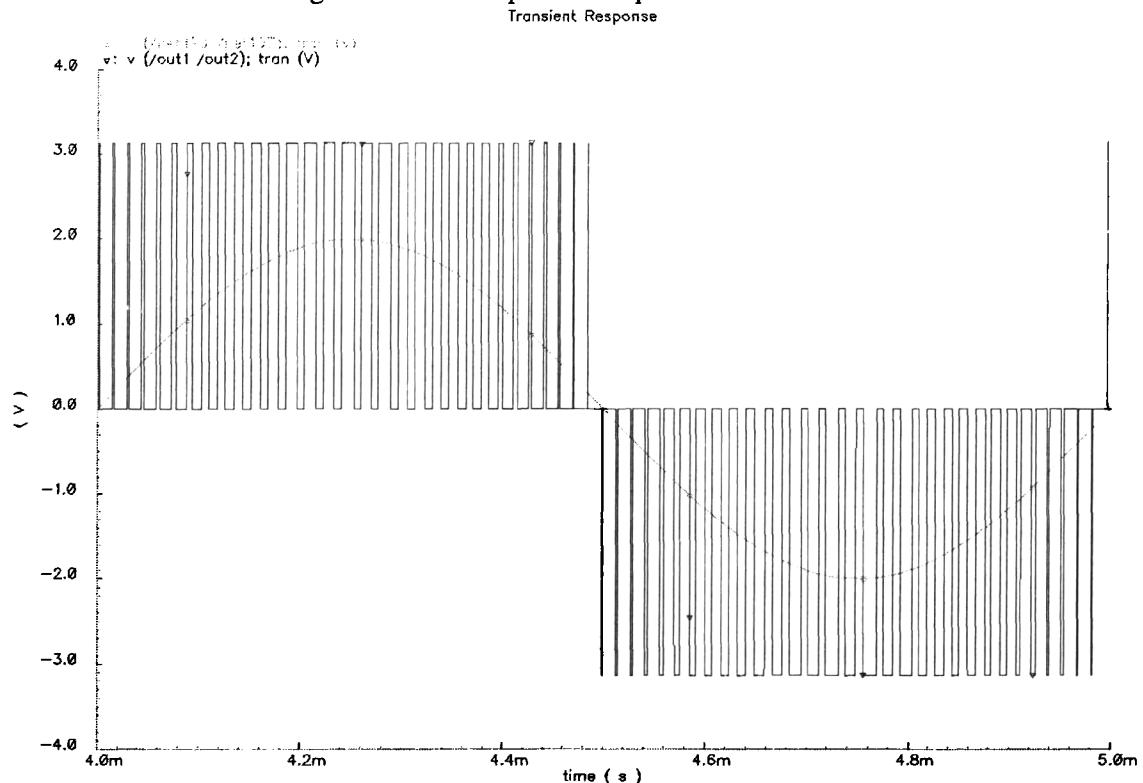


图 6-5 SCOM 的输入、输出波形的放大图

Figure 6-5 The amplified input and output waveforms of SCOM

由仿真结果可以看出, 所得到的波形为双边三电平信号, 占空比随着输入信号幅度发生变化, 同时半周期处没有出现交叠。实现了理论分析中 SCOM 结构的 Class-D 音频功率放大器的功能。

图 6-6 所示是开关频率为 160kHz 时的输出信号频谱图, 图 6-7 是图 6-6 的放大图。从图中可以看出偶次谐波的幅度比较小, 是所选的电路结构对其抑制的结果。

输入信号为 1kHz 的正弦信号, 基频和五次谐波所对应得幅度为 2.77891V、1.42602mV、256.6060mV、11.3557mV、105.504mV, 出此可以计算得到三次谐波的 THD 和五次谐波的 THD:

$$THD_3 = \frac{(1.42602m)^2 + (256.6060m)^2}{(2.77891)^2} \approx 0.8527\% \quad (6-2)$$

$$THD_5 = \frac{(1.4262m)^2 + (256.6060m)^2 + (11.3557m)^2 + (105.504m)^2}{(2.77891)^2} \approx 0.9985\% \quad (6-3)$$

满足设计指标中 THD 小于 1% 的要求。

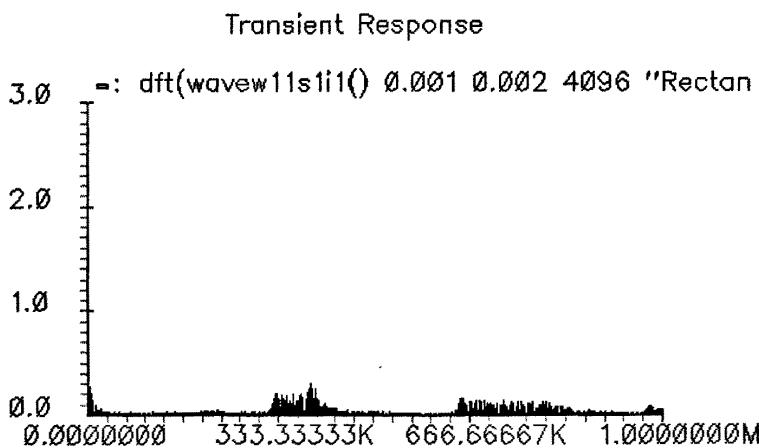


图 6-6 SCOM 的输出信号频谱图

Figure 6-6 The spectrum of SCOM

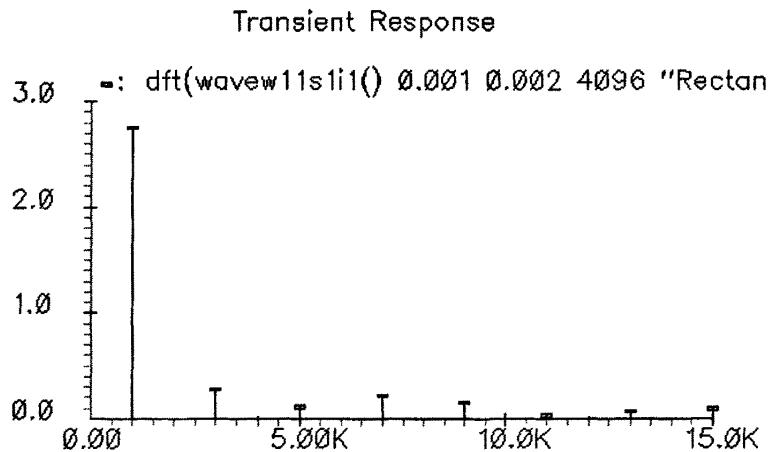


图 6-7 SCOM 的输出信号频谱放大图

Figure 6-7 The amplifier spectrum of SCOM

## 6.2 本章小结

本章利用前两章的设计结果完成了 SCOM 结构的 D 类音频功率放大器的设计，通过仿真调试得到了良好的性能结果，满足设计指标的要求。

## 7 版图的设计与验证

在电路设计完成之后，就要进行芯片的版图设计。集成电路设计的独特之处在于最终的芯片不只和电路有关，与版图的设计也密切相关。一个电路尽管在电路级的定义和功能都正常，但是如果版图设计得不合理，也会导致整个芯片设计的失败<sup>[17]</sup>。版图设计是整个芯片设计的最后一个环节，也是相当重要的环节，优秀的版图设计才能够很好地实现电路的设计。版图设计广义上包括几何图形设计、设计规则检查（DRC）、网表一致性检查（LVS）。版图设计的基本流程如图7-1所示。版图设计的最终结果是产生GDSII文件，芯片生产商采用此文件制造出最终的芯片。

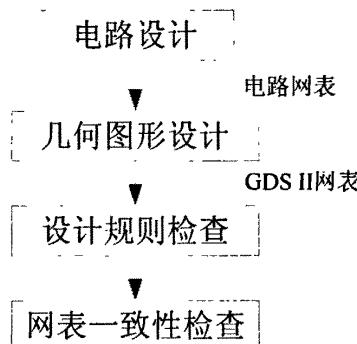


图7-1 版图设计基本流程

Figure7-1 Basic flow of layout design

数字电路的版图一般是采用 CAD 工具通过自动布局布线加手工调整来完成。由于模拟电路的独特性，在现有的 CAD 工具条件下，模拟电路版图设计的自动化比数字电路版图的要困难得多，一般模拟版图设计还是以手工的全定制设计为主。所谓全定制设计，是一直深入到晶体管一级的设计，并设计出制造芯片所需要的全套光刻掩模版的版图。本文设计的 Class D 音频功率放大器主体部分是模拟电路，所以采用了手工设计的全定制设计模式，使用的是 Cadence 公司 Virtuoso 版图设计工具<sup>[25]</sup>。

### 7.1 版图设计规则

版图与制造工艺紧密相关，在版图设计前需要确定工艺流程，这样才可能设计出适合相应工艺条件的版图。所谓设计规则是指不管制造工艺的哪一步出现什

么偏差都能够保证正确地制造出符合要求的晶体管和各种连接的一套规则。大多数情况下，各个FOUNDRY厂流片工艺线的设计规则是各不相同的。这是因为版图设计规则代表了生产厂家的技术工艺水平，为了保证生产出的集成电路合格并有一定的成品率，必须使设计的图形符合生产厂家的加工水平，所以在着手设计之前，应先拿到准备去投片的硅片生产厂的设计规则，并以它作为整个设计过程的参考。大部分设计规则都可以归入下面所描述的五种规则之一<sup>[18]</sup>。

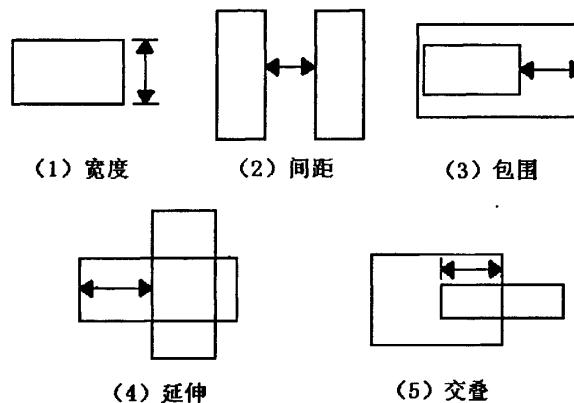


图7-2 设计规则示意图

Figure 7-2 The introduction of design rules

### (1) 最小宽度

掩模上定义的几何图形的宽度（和长度）必须大于一个最小值，该值由光刻和工艺水平决定。如果版图设计中的尺寸小于规定的这个值，那么由于制造偏差的影响，可能会导致相应的部分在加工后是断开的。

### (2) 最小间距

在同一层掩模上，各图形之间的间隔必须大于最小间距，在某些情况下，不同层的掩模图形的间隔也必须大于最小间距。如果间距太小可能造成短路。

### (3) 最小包围

版图上的一些掩模层之间相互接触时，应留有一定的包围范围。

### (4) 最小延伸

有些图形在其它图形的边缘外还应至少延长一个最小长度，例如为了确保晶体管在有源区边缘能正常工作，多晶硅栅必须在有源区以外具有最小延伸。

### (5) 最小交叠

有些图形和其它图形的边缘应有一个最小的重叠部分。

实际的版图设计规则是对不同的层按照芯片制造的需要分别制定约束，从而构成一套复杂的规则，在设计版图前需要仔细阅读版图设计规则

## 7.2 版图设计需要考虑的因素

### 1. 电路中的寄生效应和CMOS工艺相关原则<sup>[26]</sup>

电路设计中，寄生性能的影响不能忽略，所以在版图设计中需要采用各种方法减小寄生效应。

#### (1) 闩锁效应

闩锁效应是 CMOS 工艺特有的寄生效应，严重时会导致电路的失效甚至会烧毁芯片，闩锁效应是由 CMOS 工艺中 NMOS 的有源区、P 衬底、N 阵、PMOS 的有源区构成的 n-p-n-p 结构产生的，当其中一个三极管正向偏置时，就会构成正反馈形成闩锁。

避免闩锁效应的方法就是减小衬底和 N 阵的寄生电阻，使寄生的三极管不会处于正偏置。常用的方法有两种：一是在 NMOS 和 PMOS 期间的有源区附近加尽可能多的接触点，使 N 阵和 P 衬底充分接触电源和地；二是大电流器件使用保护环。

#### (2) 衬底串扰噪声

当电路工作时，会在衬底中产生电流，使衬底电压出现波动，这样便会产生衬底噪声。衬底噪声通过 MOS 管的节点电容体效应影响其它电路的工作。实验证明，在电路周围加保护环可以有效降低衬底噪声。

#### (3) 天线效应

由于 MOS 管的栅氧化层很薄，所以与栅极相连的多晶硅、金属的面积要小，以防止工艺流程产生的静电击穿。对于不可避免的较长的栅极引线可以采用跨金属连线来消除天线效应。例如：如果栅极相连的金属 1 面积比较大，可以在接近栅极附近的地方切断金属 1，并用金属 2 跨接。

#### (4) 密度原则

工艺要求金属、多晶的面积不低于 30%，以保证芯片的平整性。对电路设计中不满足 30% 比例的层应在芯片适当的地方添加不足的面积，并尽量合理的利用添加的部分。

#### (5) 线电流密度

设计中应该考虑金属允许通过的最大电流密度，若电流过大，会产生原子迁移最终导致金属线断路。

### 2. 其他因素<sup>[26]</sup>

为了使芯片各处的电源电平和接地电平保持一致，所有的电源和地线在内部分别连通。

为了减小电源耦合串扰，在电源线和地线之间增加一些电容，以滤除电源中

的交流分量，保持稳定工作。

差分信号线最好能相邻走线形成传输线（双线），使电磁场集中在两条平行线之间，减小对外界的干扰。

为了防止 MOS 器件遭到 ESD 的破坏，CMOS 电路设计中需要考虑 ESD 保护问题<sup>[27]</sup>。

### 7.3 部分器件及整体电路的版图设计

按照工艺的设计要求和版图设计需要考虑的因素，对各个模块进行了版图设计，并连接了整体电路版图。版图具体设计如下所述：

#### 1. 电阻

在本文设计的芯片中有几个子模块用到了电阻，其中基准模块对电阻的匹配有一定的要求。电阻的匹配度是其尺寸的函数，尺寸越大则其失配越小。通常将长宽比例严格定义的电阻设计成相同单位电阻的串联或并联形式，对于阻值比较大的电阻，常将其分成较短的单位，然后通过金属连接起来，如图 7-3 所示。另外为了保持每个单位电阻周围物理环境的一致性，以提供更好的匹配度，增加了虚拟管（Dummy）。

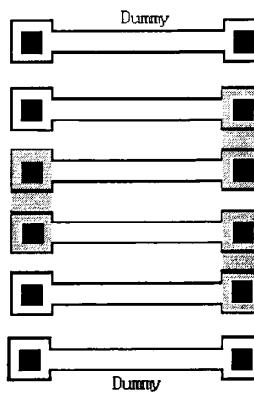


图 7-3 电阻版图设计

Figure 7-3 Layout of resistance

#### 2. 运算放大器

晶体管匹配设计是为了减小运算放大器的共模漂移电流和失调，由于输入级是运放的敏感部位，而输入级的不匹配又是引起运放的失调电压的主要原因，所以保证输入级良好的匹配性是其基本的要求。包括几何图形上的对称性、走线的

对称性、温度的对称性<sup>[28]</sup>。

为了减小失配，运算放大器的差分输入管对采用“共中心”的布局方法，这样沿x轴和y轴方向的一阶梯度效应就会相互抵消。如图7-4所示，这种布局方法把 $M_1$ 和 $M_2$ 都分成两个宽度为原来一半的晶体管，沿对角线放置且并联。运算放大器版图如图7-5所示。

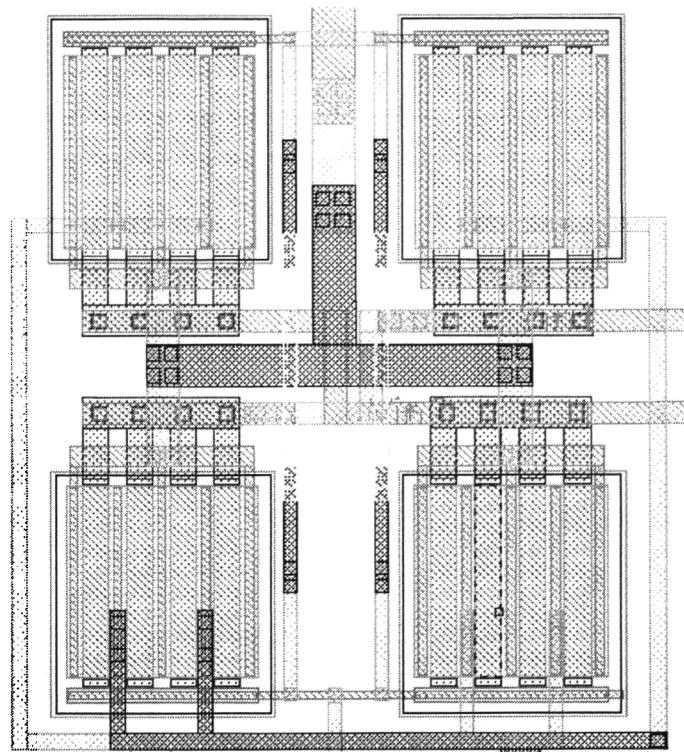


图7-4 共中心版图

Figure 7-4 Com-center layout

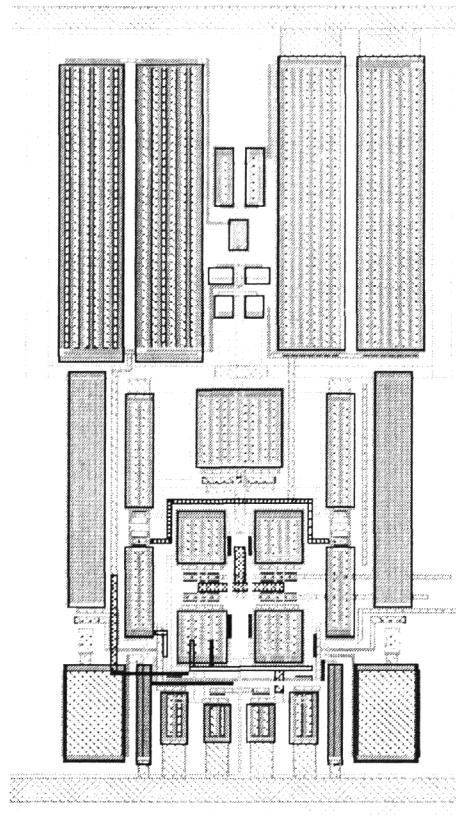


图 7-5 运算放大器放版图

Figure 7-5 Layout of the OPA

### 3. 比较器

在比较器的设计中，尽量考虑到对称设计，增加了两个 MOS 管，利用虚拟器件的方法增强对称性。另外，对于单个 MOS 管可以拆分成两个 MOS 管分别放在电路的两侧对称的位置<sup>[28]</sup>。如，在第二级放大电路中提供自偏置电位的 MOS 管的设计就采用了这种办法，拆分为图 7-6 中的  $M_{bias1}$  和  $M_{bias2}$ 。

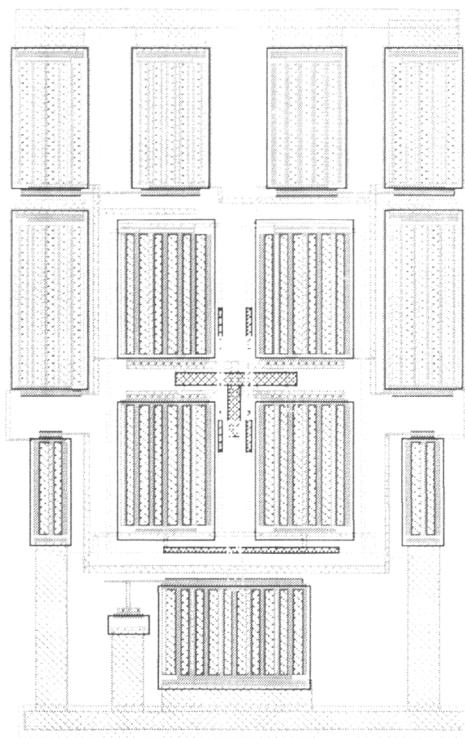


图 7-6 比较器版图

Figure 7-6 Layout of comparer

#### 4. 驱动电路版图

由于驱动电路 MOS 管的尺寸比较大，所以设计时需要尽量紧凑布局，对于空余部分可以添加衬底，增加版图金属面积，保持电位稳定，从而保证芯片平整性。驱动电路版图如图 7-7 所示。

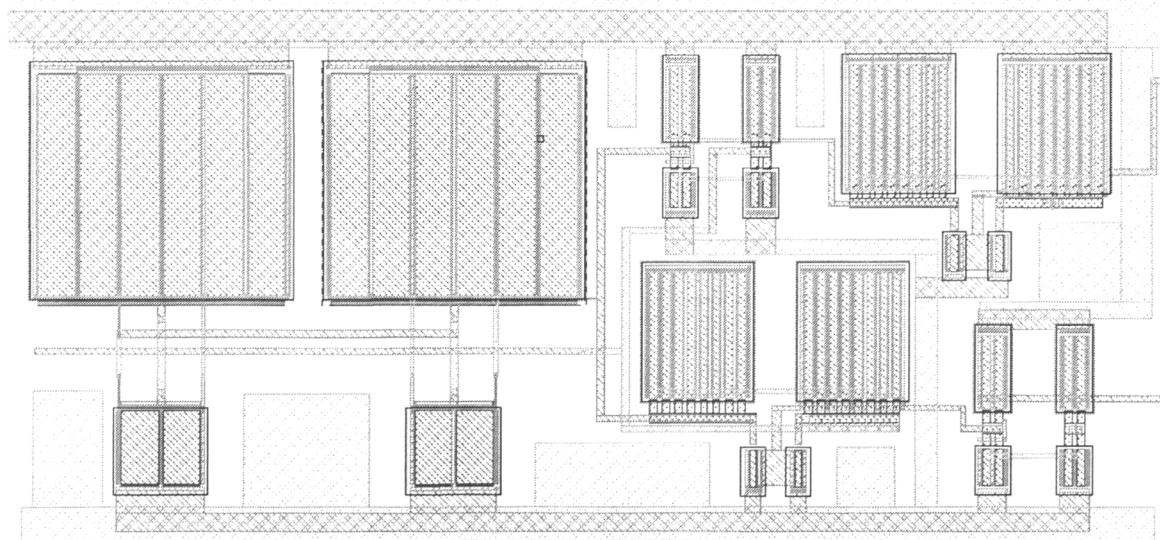


图 7-7 驱动电路版图

Figure 7-7 Layout of driver

## 5. SCOM 电路版图

基本模块版图设计完成后，分别保存并在整体电路版图中调用。对整体电路版图的布局如图 7-8 所示。考虑到电路的对称性，采用上下对称的布局结构，需要连接的器件尽量靠近放置，避免长距离走线，以减小串扰。完成半个电路后进行对称复制，从而在节省时间的同时保证匹配性。

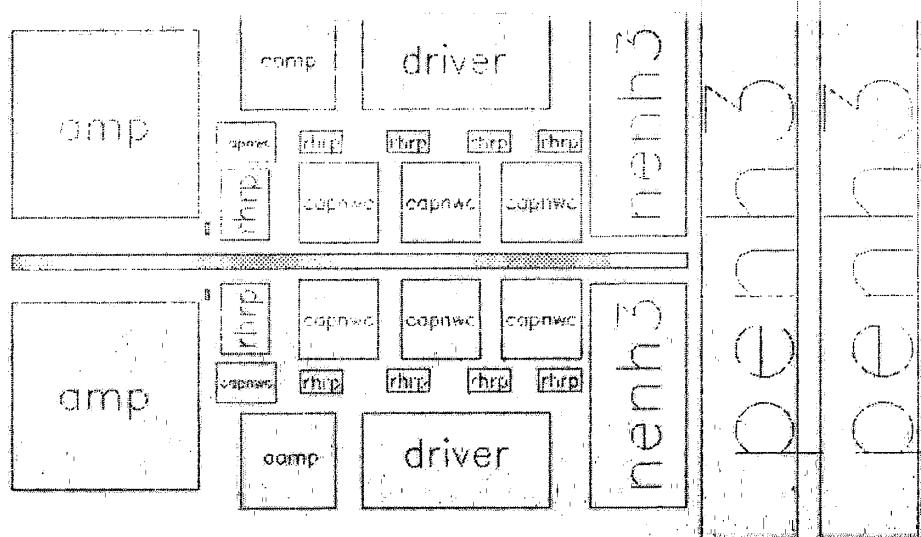


图 7-8 版图核心部分布局图

Figure 7-8 The overall arrangement of the core layout

在布局的基础上按照电路原理图进行连接，最终版图设计如图 7-9 所示，芯片尺寸为  $480\mu m \times 300\mu m$ ，满足设计要求。

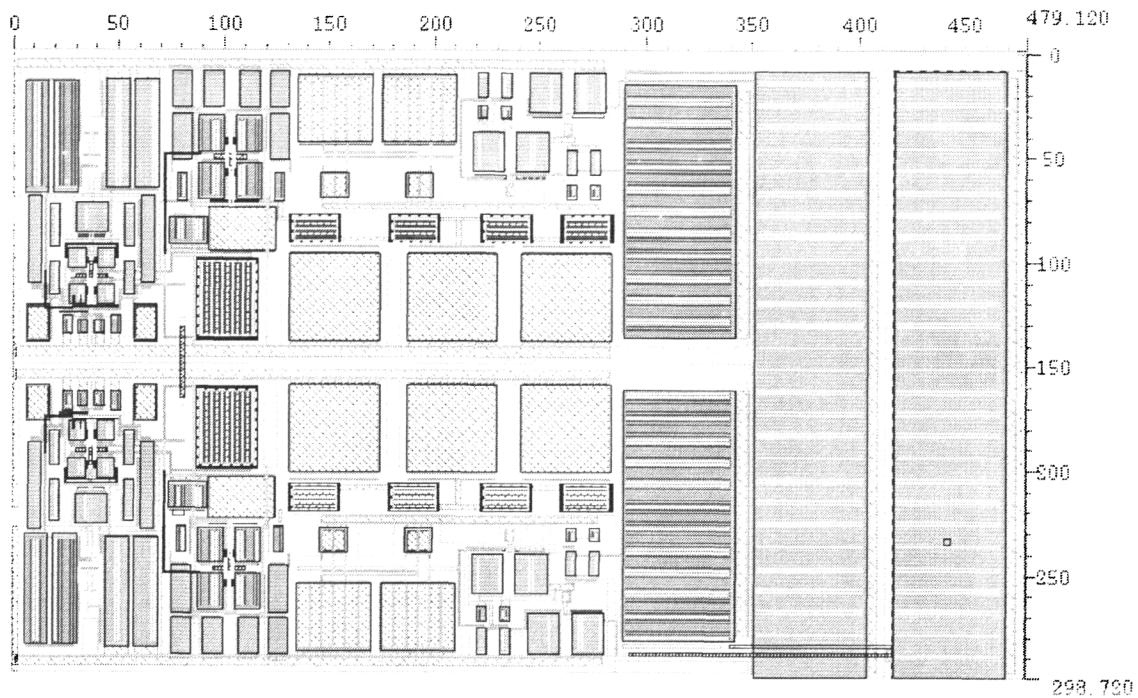


图 7-9 版图的核心部分

Figure 7-9 Core of layout

## 7.4 设计规则检查及后仿真

在手工布图以后，我们采用 Cadence 的 Dracula 工具进行版图验证工作。包括电路网表匹配检查 LVS，设计规则检查 DRC，电学规则检查 ERC 和版图寄生参数提取 LPE 其中进行检查和参数提取的文件都由工艺厂商提供。设计规则检查(DRC)是检查版图中各掩膜层图形的各种尺寸是否合乎设计规则的要求。版图的设计规则是根据具体工艺线所能生产的最小图形尺寸、最细线条宽度及线条间的间距来确定的，是集成电路版图设计工程师和工艺师之间的桥梁。在进行版图的设计规则检查时主要是针对两个方面进行检查的<sup>[29]</sup>：

- (1) 同一层的几何图形的宽度及间距
- (2) 不同层图形之间的间距及套刻间距

版图与电路图一致性检查(LVS)是把从版图中根据器件与节点识别提取出的电路网表同原设计的电路网表进行对比检查，要求二者的节点与器件皆能一一配对。如果二者不一致，其错误类型大体有两类：不一致点与失配器件。不一致点分节点不一致和器件不一致。节点不一致指版图与电路中各有一节点，这两个节点所连器件情况很相似，但又不完全相同。器件不一致是指版图与电路中各有一器件，这两个器件相同，所接节点情况很相似，但又不完全相同。失配器件是指

有的器件在版图中有但在原理图中无，或在原理图中有而版图中无。在完成 LVS 后要根据检查结果所报告的各种错误，修改版图，直到二者在结构上达到完全的一致。

版图寄生参数提取(LPE): 随着集成度的提高与器件尺寸的不断缩小，版图寄生效应导致的芯片性能变差已经成为设计中所面临的一个主要问题。为了准确把握寄生效应对芯片性能的影响，对总体版图进行了寄生参数提取，其中精确定义了器件及连线的寄生电容和电阻。版图寄生参数的提取不但为后仿真提供了更为真实有效的网表文件，也为我们电路修改工作提供了必要的参考信息。

## 7.5 本章小结

本章在电路设计的基础上完成了 SCOM 结构音频功率放大器的版图设计，设计过程中考虑了各种影响版图性能结果的因素，得到了较好的设计结果。芯片版图面积满足设计指标的要求。

## 8 结论与展望

本文主要介绍了一款音频功率放大器芯片的设计，在总结前人工作的基础上，设计出一种新颖的 SCOM 结构的 Class D 音频功率放大器结构。它在输出功率、效率、THD 和芯片版图面积等方面都具有良好的性能，适用于各种便携式音频设备的使用。论文给出了 SCOM 结构的功率放大器的详细设计过程和仿真结果，所设计的功率放大器实现了设计指标的所有要求。

同时，本文所设计的功率放大器还可以从以下几个方面改进：

- (1) 性能优化。所设计的电路结构可以通过优化运算放大器和比较器的性能进一步提高效率和降低 THD，使其更接近理想值。
- (2) 散热问题。增加功率放大器的温度检测功能，使其在芯片温度过高时能够自行关断电路。
- (3) 工艺问题。在本文的设计中所采用的是  $0.34\mu m$  的工艺，可以进一步使用更小的工艺尺寸完成同样的设计。

## 参考文献

- [1] V.J.Tyler, A new high-efficiency high-power amplifier Marconi Review, 21(3<sup>rd</sup>. quarte), 1958
- [2] 汪东.高效 D 类音频功率放大器的设计.东南大学电子工程系.电子与封装.总第 43 期. 2006.11.
- [3] 赵寿全. CMOS 音频功率放大器的设计与实现[学位论文]. 兰州大学. 2007.6. pp1-3
- [4] Rashid Muhammad H, Microelectronic Circuits: Analysis and Design PWS, a division of Thomson Learning, United States of America, 1999.7, pp.6-112
- [5] 万英飞.基于新型单周控制的开关功率放大器的研究[学位论文].西安交通大学.2007.5.pp.1-5
- [6] Don Dapkus, Class D Audio Power Amplifiers: An Overview. IEEE J. Solid-State Circuits, 2000, 35(11), pp.111-113
- [7] Soo-Hyoung Lee, Jae-Young Shin, Ho-Young Lee, Ho-Jin Park, Kristian L. Lund, Karsten Nielsen, and Jae-Whui Kim, A 2W, 92% Efficiency and 0.01% THD+N Class-D Audio Power Amplifier for Mobile Applications, based on the Novel SCOM Architecture, IEEE, Custom integrated circuits conference, 2004.
- [8] Bah-Hwee Gwee, Joseph S. Chang, Huiyun Li, A Micropower Low-Distortion Digital Pulsewidth modulator for a Digital Class D Amplifier. IEEE Transactions on circuits and systems—II: Analog and digital signal processing, VOL. 49, NO. 4, 2002.4
- [9] B.E.Attwood, Design Parameters Important for the Optimization of Very-High-Fidelity PWM (class D) Audio Amplifiers, J.Audio. Eng. Soc., vol.31, No.11 1983, pp.842—853
- [10] K.Nielsen, High-Fidelity PWM-Based Amplifier Concept for Active Loudspeaker Systems with Very Low Energy Consumption", J.Audio.Eng.Soc.,vol.45,No.7/8,1997, pp.554—570
- [11] J.Hancock, A Class D Amplifier Using MOSFETs with Reduced Minority Carrier Lifetime, J.Audio.Eng.Soc., vol.39,No.9,1991, pp.650—661
- [12] 王文兵. 高性能 CMOS 压控振荡器的设计[学位论文]. 安徽大学. 2005.5 pp7-17
- [13] W. Marshall Leach, Jr., Introduction to Electro acoustics and Audio Amplifier Design, Second Edition, 2001
- [14] Patrick Muggler, Wayne Chen, Clif Jones, Paras Dagli, Navid Yazdi, A Filter Free Class D Audio Amplifier With 86% Power Efficiency, Texas Instruments, 12500 TI Boulevard, Dallas, TX 75243.
- [15] 谢强. CMOS 低功耗运算放大器的研究与设计[学位论文].湖南大学. 2006.4 pp 2-6 pp.42-47
- [16] 尹飞飞. 一种新型音频功率放大器的设计[学位论文]. 辽宁大学. 2005.5 pp28-32
- [17] Philip. E. Allen. Douglas R. Holberg. CMOS Analog Circuit Design. Second edition.北京.电子工业出版社. 2002.

- [18] Behzad Razavi. Design of Analog CMOS Integrated Circuits[M]. Boston: McGraw-Hill, INC. 2002.
- [19] Tim Piessens and Michel S.J. Steyaert, Behavioral Analysis of Self-Oscillating Class D Line Drivers, IEEE Transactions on circuits and systems—I: Regular Papers, VOL. 52, NO.4, APRIL 2005.
- [20] Louis R. Nerone, A Mathematical Model of the Class D Converter for Compact Fluorescent Ballasts, IEEE Transactions on Power Electronics, VOL. 10, NO. 6, NOVEMBER 1995.
- [21] Tim Piessens and Michiel Steyaert, Highly Efficient xDSL Line Drivers in 0.35- $\mu$ m CMOS Using a Self-Oscillating Power Amplifier, IEEE Journal of Solid-State Circuits, VOL. 38, NO.1, JANUARY 2003.
- [22] Bert Serneels, Michiel Steyaert, Wim Dehaene, A 5.5 V SOPA Line Driver in a Standard 1.2 V 0.13  $\mu$ m CMOS Technology, Proceedings of ESSCIRC, Grenoble, France, 2005.
- [23] (美)R.Jacob Baker, Harry W.Li, David E.Boyce 著.陈中建译. CMOS 电路设计·布局与仿真. 北京.机械工业出版社. 2006.1. 638-645
- [24] 雷张. D 类音频功率放大器设计[学位论文].电子科技大学. 2001.1. pp31
- [25] 陆小飞. 电流模式 DC\_DC 升压控制芯片的设计[学位论文].电子科技大学. 2007.4 pp43-51
- [26] 刘剑慰.《CMOS 高速锁相环设计》.南京航空航天大学控制科学与工程专业硕士论文: 2002 年 2 月出版, PP.4-5
- [27] 白咸林.一种新型音频功率放大器的设计[学位论文].山东大学. 2002.6. pp42-53.
- [28] Christopher Saint, Judy Saint 著. 周德润,金申美译. 集成电路掩模设计——基础版图技术, 清华大学出版社. 2004.8
- [29] 贾政亚. 低压微功耗 CMOS 运算放大器的研究和设计[学位论文].电子科技大学. 2005.5 pp46-50
- [30] 马晓龙. 新型 Rail-to-Rail 运算放大器的研究与设计[学位论文]. 西北大学. 2002.5 pp26
- [31] 方斌.10 bit 2Msamples/s Pipeline A/D 的研制[学位论文]. 浙江大学. 2004.3 pp40-44
- [32] 任智谋. DC-DC 电源芯片的研究与设计[学位论文]. 电子科技大学. 2005.3 pp10-11
- [33] (美)John F. Wakerly 著. 林生译. 数字设计原理与实践. 第三版. 机械工业出版社. 2003.5 pp55-84

## 附录 A

## 比较器网表文件

```
*****
* Library Name: SCOM
* Cell Name:    comp_tt
* View Name:    schematic
*****
.SUBCKT comp_tt GND VDD Vin+ Vin- out
*.PININFO GND:I VDD:I Vin+:I Vin-:I out:0
MM29 out net177 VDD VDD PT W=24.08u L=500n m=1
MM17 net160 net181 VDD VDD PT W=10.6u L=300n m=1
MM16 net168 net173 VDD VDD PT W=10.6u L=300n m=1
MM24 net165 net160 net133 net133 PT W=126.81u L=300n m=1
MM11 net173 net173 VDD VDD PT W=19.7u L=1u m=1
MM23 net133 net165 VDD VDD PT W=16u L=300n m=1
MM12 net181 net181 VDD VDD PT W=19.7u L=1u m=1
MM25 net177 net168 net133 net133 PT W=126.81u L=300n m=1
MM21 net160 net160 net166 GND NT W=11.54u L=340n m=1
MM28 net162 net165 GND GND NT W=4u L=340n m=1
MM19 net160 net168 net166 GND NT W=11.56u L=340n m=1
MM14 net181 Vin- net170 GND NT W=15u L=1u m=1
MM27 net177 net168 net162 GND NT W=26u L=340n m=1
MM13 net173 Vin+ net170 GND NT W=15u L=1u m=1
MM18 net168 net168 net166 GND NT W=11.54u L=340n m=1
MM26 net165 net160 net162 GND NT W=26u L=340n m=1
MM20 net168 net160 net166 GND NT W=11.56u L=340n m=1
MM22 net166 net166 GND GND NT W=65.4u L=340n m=1
MM15 net170 net112 GND GND NT W=7.6u L=1u m=1
MM30 out net177 GND GND NT W=4.54u L=500n m=1
.ENDS
```

## 附录 B

### 比较器网表

```
*****  
* Library Name: newscom  
* Cell Name: comparer514  
* View Name: schematic  
*****  
  
.SUBCKT comparer514 GND VDD in+ in- out v1  
.PININFO GND:I VDD:I in+:I in-:I v1:I out:O  
MM14 net15 net56 GND GND NT W=104.4u L=1.02u M=1  
MM15 net56 net56 GND GND NT W=1.16u L=1.02u M=1  
MM6 net44 in- net15 GND NT W=240u L=1.02u M=1  
MM13 net22 v1 GND GND NT W=22.69u L=1.02u M=1  
MM0 out v1 GND GND NT W=22.69u L=1.02u M=1  
MM7 net37 in+ net15 GND NT W=240u L=1.02u M=1  
MM4 net44 net37 VDD VDD PT W=104.4u L=900n M=1  
MM5 net37 net44 VDD VDD PT W=104.4u L=900n M=1  
MM8 net44 net44 VDD VDD PT W=104.4u L=900n M=1  
MM11 net22 net44 VDD VDD PT W=143.6u L=900n M=1  
MM9 net37 net37 VDD VDD PT W=104.4u L=900n M=1  
MM10 out net37 VDD VDD PT W=143.6u L=900n M=1  
.ENDS
```

## 作者简历

作者刘静，1983年生，辽宁省朝阳市人。

2002年9月至2006年7月就读于北京交通大学电子科学与技术专业，于2006年9月至今攻读北京交通大学微电子学与固体电子学硕士学位。