

摘 要

介绍了一种基于可编程片上系统 (System On Programmable Chip, 以下简称 SOPC) 技术的手持式数字存储示波表的硬件实现方案。在对示波器工作原理和系统结构分析后, 通过在 FPGA 中植入嵌入式系统处理器作为核心控制电路, 利用 FPGA 中的可编程逻辑资源和 IP 软核来构成该嵌入式系统处理器的接口功能模块, 借助于 Avalon 总线, 实现对外围模拟通道、高速 A/D 转换器、RAM、LCD 显示器、键盘等硬件的控制。阐述了示波表系统的整体设计框架和各个模块的具体设计电路, 其中包括模拟通道部分、数字控制部分、电阻测量部分、电源供电部分、人机交换部分等。

针对示波表系统具体所完成的各种功能用途, 文章着重讨论了示波表系统的核心部分, 即基于 SOPC 技术的数字控制部分在完成具体功能方面所起到的关键作用和实现电路。特别是在示波表数据采集、工作方式、触发模式、运行模式、时基幅基控制、LCD 显示等方面, 如何充分合理利用 FPGA 的特点, 及其与软核 CPU 协调工作方面, 进行了较为详细的介绍。针对示波表系统设计中关于带有触发点位置的数据采集存储的技术难点问题, 本文提出了环形 FIFO 设计思想, 实现了完全由 FPGA 对数据进行采集存储的方案, 这样既保证了信号的稳定触发, 又实现了数据的快速采集存储, 简化了软件的设计, 提高了系统性能。

本文设计的系统硬件和相关的软件程序很好地实现了手持式数字存储示波表的信号自动手动测量、波形和变量存储、电阻测量等功能。由于 SOPC 技术具有芯片体积小、易编程、运行速度快、稳定性高; 软件设计灵活、开发周期短等特点, 在便携式设备开发中具有广泛的应用前景。由本文设计的数字示波表系统结构为其它便携式设备开发者提供了一个很好的设计实例。

关键字: 可编程片上系统、手持式数字存储示波表、系统硬件结构、现场可编程门阵列

ABSTRACT

This thesis introduces a method to implement the hardware design of portable digital storage oscilloscope based on the System On Programmable Chip (SOPC in the following). After analyzing the system structure of oscilloscope and its working theory, we implanted the embedded-system processor into FPGA as the major circuit and constructed the interface module of the processor with the programmable logic resources and IP core in FPGA. Meanwhile, with the assistance of avalon line in FPGA, the controls can be realized on such peripheral as the analog path, high-speed A/D transformation, RAM, LCD monitor, keyboard, etc. Furthermore, this thesis has elaborated the whole framework design and specific design of circuit in respective module, among them are analog channels, digital control, resistance measurement, power supply, human-computer exchange, etc.

Aiming at the practical applications done by oscillator system, the thesis makes an intensive discussion on its core technology, i.e. what critical effect the digital control based on SOPC has and how circuit design is realized in real and specific applications. Particularly, such aspects as data collection of oscillator, working pattern, triggering pattern, running pattern, control of time and frequency, display of LCD, how to make the most of FPGA and adaptation to CPU, etc. have been analyzed in detail. Moreover, an important problem in oscilloscope design has been settled that is about data collection and storage of periodic signal: guided by the circular FIFO design principal, FPGA can independently collect data.

The hardware and corresponding software designed in this project better realize the following functions: both automatic and manual measures, storage of both wave and variables, resistance measures, etc. Thanks to SOPC's small chip size, easiness to compile, fast running speed, high steadiness, the developing software promises broad applications with its flexible design and short developing term. Thus, this construction is able to serve as a pleased example for the developers in portable equipment development.

Key Word: System On Programmable Chip、 Portable Digital Storage Oscilloscope、 Hardware Structure of System、 FPGA

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名: 郭志军 日期: 2004 年 12 月 30 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后应遵守此规定)

签名: 郭志军 导师签名: 李江
日期: 2004 年 12 月 30 日

第一章 引言

1.1 数字存储示波器的发展现状^{[1][12][16]}

二十世纪四十年代是电子示波器兴起的时代，雷达和电视的开发需要性能良好的波形观察工具，带宽 100MHz 的同步示波器开发成功，这是近代示波器的基础。五十年代半导体和电子计算机的问世，促进电子示波器的带宽也达到了 100MHz。六十年代美国、日本、英国、法国在电子示波器开发方面各有不同的贡献，出现带宽 6GHz 的取样示波器和带宽 6GHz 的多功能插件式示波器，标志着当时科学技术的高水平，为了测试数字电路又增添逻辑示波器和数字波形记录器。模拟示波器从此没有更大的进展，开始让位于数字示波器。

八十年代的数字示波器处在转型阶段，还有不少地方需要改进，美国的 TEK 公司和 HP 公司都对数字示波器的发展做出贡献。它们后来甚至停产模拟示波器，并且只生产性能好的数字示波器。进入九十年代，数字示波器除了提高带宽到 1GHz 以上，更重要的是它的全面性能超越模拟示波器，出现所谓数字示波器模拟化的现象，换句话说，尽量吸收模拟示波器的优点，使数字示波器更好用。

数字示波器首先在取样率上提高，从最初取样率等于两倍带宽，提高至五倍甚至十倍，相应对正弦波取样引入的失真也从 100%降低至 3%甚至 1%。带宽 1GHz 的取样率就是 5GHz，甚至 10GHz。

其次，提高数字示波器的更新率，达到模拟示波器相同的水平，最高可达每秒 40 万个波形，对观察偶发信号和捕捉毛刺脉冲就方便多了。

再次，采用多处理器加快信号处理能力，从多重菜单的烦琐测量参数调节，改进为简单的旋钮调节，甚至完全自动测量，使用上与模拟示波器同样方便。

最后，数字示波器与模拟示波器一样具有屏幕的余辉方式显示，赋给波形的三维状态，即显示出信号的幅值、时间以及幅值在时间上的分布。具有这种功能的数字示波器称为数字荧光示波器或数字余辉示波器。

1.2 数字存储示波器主要性能指标^{[23][25]}

(1) 带宽

示波器的带宽一般定义为正弦波幅度下降大于 3 dB 时的频率。在某一带宽下试图观察过快的信号将导致幅度和时间间隔测量的误差。带宽有两种类型：重

复(或等效时间)带宽和实时(或单次)带宽。重复带宽只适用于重复的信号,显示来自于多次信号采集期间的取样。通常,重复带宽应至少是所要测量的信号带宽的 3 倍。对于非正弦波的带宽,可以利用方程 $BW=0.35$ 信号的最快上升时间来估算。精确测量要 8~10 倍或以上。实时带宽是示波器在单次取样中所能捕捉的最高频率,且当捕捉的事件不是经常出现,要求相当苛刻。由于更宽的带宽往往意味着更高的价格,因此应按预算来评定通常要观察信号的频率成分。

(2) 取样速度

对要用示波器观察的信号而言有两种基本类型:重复出现的信号和不经常出现的偶然信号。对于重复的波形,示波器可以采集信号出现时的所有样本(实时取样),或者每次采集波形出现时的几个样本,并将它们合成一个图形(重复取样)。对于不经常出现的事件,要求示波器在单次触发出现时捕捉足够的信息,以便精确地复现该波形。有一个在比较取样速率和信号带宽时很有用的经验法则:如果正在观察的示波器有内插(通过筛选以便在取样点间重新生成),则(取样速率/信号带宽)的比值至少应为 4:1;无内插时,则应采取 10:1 的比值。

(3) 示波器通道数

需要的通道数取决于应用。对于通常的经济型故障查寻应用来说,流行的是双通道示波器。然而,如果要求观察若干个模拟信号的相互关系,将需要一台 4 通道的示波器。许多工作于模拟与数字两种信号的系统的工程师也考虑采用 4 通道示波器。还有一种较新的选择,即所谓混合信号示波器,它将逻辑分析仪的通道计数及触发能力与示波器的较高分辨力综合到具有时间相关显示的一台仪器之中。

(4) 触发功能

触发功能分两大类:边缘(Edge)触发,所有的数字示波器都有。聪敏(Smart)触发,在高档示波器中考虑得非常完善。

大多数通用示波器的用户都只采用边沿触发方式,你可能发现拥有其它触发能力在某些应用是有益的,特别是对新设计产品的故障查寻。先进的触发方式可将所关心的事件分离出来,从而最有效地利用取样速率和存储深度。在数字应用中,对跨越各通道的特殊图形的触发十分有用。此外,状态触发允许对时钟边沿的图形触发实现同步:“毛刺”触发则可对正向或负向“毛刺”或者极窄的脉冲进行触发。其它的触发能力亦常可利用,重要的是应了解它们的设置与使用是否方便。

触发方式有三种：自动触发、常态触发、单次触发。

(5) 分析功能

应具有很强的自动处理、运算、测试和分析被测信号的能力。高级函数处理：平均、微分、积分、指数、对数、乘方、开方、包络、高分制等运算功能；FFT 频谱运算功能从 10K-4M 点，具有功率谱、相位矢量、虚部、实部等测量；波形参数趋势 (Trend) 分析功能，抖动 (Jitter) 和时间分析；可同时观察原波形和处理后波形；提供 X-Y 显示，及 X-Y+X-T 及 Y-T 显示功能，并可进行游标测量。特别适合对数字通讯信号做矢量 (Vector diagram) 分析。

(6) 存储深度

存储深度是示波器所能存储的样本多少的量度。如果你需要不间断地捕捉一个脉冲串，则要求示波器有足够的存储器以便捕捉整个事件。将所要捕捉的时间长度除以精确重现信号所需的取样速率，可以计算出所要求的存储深度。在正确位置上捕捉信号的有效触发通常可以减小示波器实际需要的存储量。了解这一点也很重要，即一般来说深存储数字示波器操作起来更复杂。

1. 存储深度与取样率的关系。在数字示波器内，记录时间、取样速率及储存深度三者间的关系，可以下列公式表示：

$$\text{记录时间} = \text{储存深度} / \text{取样速率} \quad (1 \text{ 式})$$

$$\text{而记录时间} = \text{扫描速率} (t/\text{div}) \times 10 \quad (2 \text{ 式})$$

$$\text{由(1 式) 及(2 式): 扫描速率} \times 10 = \text{储存深度} / \text{取样速率} \quad (3 \text{ 式})$$

$$\text{由式(3) 得: 取样速率} = \text{储存深度} / (\text{扫描速度} \times 10) \quad (4 \text{ 式})$$

由式(4) 得知，当储存深度不变，扫描速度变慢时，则取样速率只有相应减慢。例：一数字示波器储存深度为 1K 点，当扫描速度为 $50 \mu\text{s}/\text{div}$ 时，则取样速率 $= 1000 / (50 \mu\text{s} \times 10) = 2\text{MS}/\text{s}$ 但若示波器之储存深度为 50 k 点，扫描时间维持不变，则取样速率 $= 50000 / (50 \mu\text{s} \times 10) = 100\text{MS}/\text{s}$ 由此可见，若两台示波器具有相同的最高取样率，在同一扫描速度工作时，储存深度较深的示波器，具有更高的取样率。

2. 储存深度与记录时间的关系。若两台示波器以同一取样速率工作时，由式(1) 可知，深储存深度的示波器可记录更长的时间。

3. 储存深度与波形缩放能力的关系。数字示波器缩放能力的强弱，在于被测信号数字化后储存的数据点(Data points) 有多少。例：一示波器的储存深度为 1K 点，而荧屏之水平分辨力为 500 点，则其正常水平缩放率只有两倍，才能符合荧屏的水平分辨力 500 点 ($1000/500=2X$)，若勉强将其放大 5 倍，则真正在荧

屏上所显示的点数只有 200 点 ($1000/5X=200$)，使其水平分辨力变得十分差，造成信号失真，从而使用户错误理解。若储存深度为 25 k 点时，则缩放能力为 50 倍 ($25000/500=50X$)，而仍能保持足够的水平分辨力。因此，深的储存深度具有更高的缩放能力。

(7) 储存和打印信号

可在线测试并存储在软盘和硬盘上，并可在 PC 机上读出。有的数字示波器配有内置式打印机，方便打印分析长时间信号；有的还提供 VGA 接口。

1.3 本课题所完成的主要任务

传统的示波器虽然功能齐全，但是具有体积大、重量重、成本高等特点，从而使其应用受到了限制。而数字存储示波器的研究开发在国内尚属于起步阶段，性能优良的数字存储示波器市场几乎被国外占领。作为数字存储示波器家族的一员，手持式数字存储示波表具有一般数字存储示波器的功能。但是，在性能指标方面的要求较常规示波器低一些，系统设计偏重于系统的多功能、小体积和低功耗^[30]。

本课题，即手持式数字存储示波表，来源于同企业合作的开发项目。目的是通过对国外主要公司产品工作原理的研究，来开发具有自主知识产权的手持式数字存储示波表。同时，为开发高性能数字存储示波器积累理论和实践经验，逐步缩小与国外的差距。

本文设计的手持式数字存储示波表是课题组共同努力下，针对上一版本出现的一些问题，特别是在具体应用功能完善方面，作了较大的调整。其中主控电路采用 SOPC 技术代替以前的 DSP+FPGA 方式，这样一方面提高了系统总线速度，增加了数据稳定性；另一方面这种基于 SOPC 技术的开发软件具有很高的设计灵活性，它可以根据需求配置内核 CPU 以及相关的外围设备，这样既缩短了开发周期，又便于维护更改。在具体电路设计方面，从示波表数据采集、工作方式、触发模式、运行模式、时基幅基控制等方面，以具体测量应用功能作为基本出发点，如何充分合理利用 FPGA 的特点，及其与软核 CPU 协调工作，在提高 CPU 和外设通信的效率和稳定性方面，进行了相关调整。针对示波表系统设计中一个非常重要的问题，就是关于带有触发点位置的数据采集存储问题，重新设计了方案，实现了完全由 FPGA 对数据进行采集存储的 FIFO 环设计方案，这样既保证了信号的稳定触发，又实现了数据的快速采集存储，简化了软件的设计，提高了系统性能。由我们设计的手持式数字存储示波表采用液晶显示、功能齐全、体积小、重量轻、

使用携带操作都十分方便。它具有极高的技术含量、很强的实用性和巨大的市场潜力，也代表了当代电子测量仪器的一种发展趋势，即向功能多、体积小、重量轻、使用方便的掌上型仪器的方向发展。

本文设计的手持式数字存储示波表的技术指标如下：

- 模拟带宽 20MHz；单次带宽 10MHz。取样率 100MS/s。
- 记录长度 2KB； 分辨率 8bit/S。
- 水平扫描 50ns/div~10s/div；垂直扫描 5mV/div~20V/div。
- 工作方式：触发（TRIG）、滚动（SCAN）。
- 触发方式：自动（Auto）、常态（Trig）、单次（Single）。
- 触发功能：边缘触发（上升、下降沿，前、后触发）。
- 测量信号参数：周期、频率、峰峰值、电阻、AC、DC、ADC。
- 测量精度：示波器精度±5%。
- 波形及变量存储：4KB；。
- LCD：320 X 240 点；对比度可调，有背景光。

第二章 手持式数字存储示波表系统硬件结构设计

手持式数字存储示波表这一课题是以应用为中心,实现系统对功能、可靠性、成本、体积、功耗等综合性严格要求的专用嵌入式系统,这种嵌入式系统既要求包含一般嵌入式系统具有的软件代码小,高度自动化,体积小,重量轻等特点;又要求具有实时性和多任务的体系。嵌入式系统主要由嵌入式处理器、相关支撑硬件、嵌入式操作系统及应用软件系统组成:其中硬件部分包括处理器/微处理器、存储器及外设器件和 I/O 端口。软件部分包括操作系统软件(OS)(要求实时和多任务操作)和应用程序编程。应用程序控制着系统的运作和行为;而操作系统控制着应用程序编程与硬件的交互作用^{[29][30]}。

2.1 数字存储示波表硬件系统性能需求分析

综合考虑数字存储示波表性能和用途的要求,首先作为测量仪器,要求系统的设计必须具有处理大数据量的能力,以保证系统的实时性;其次作为便携式仪器,对系统的体积、功耗等也有较严格的要求。对于这种控制外设多、控制速度要求高、运算种类多、运算量大的实时信号处理系统我们通常采用 DSP+FPGA 处理机制,其中对于数据的采集、外设的控制、液晶显示、地址译码等对运算量少、控制结构比较复杂的处理,由 FPGA 来完成;而对运算量大、运算比较复杂,程序的控制则由 DSP 来完成。这种 DSP+FPGA 处理机制在实时信号处理系统的应用中体现了其优越性。

2.2 数字存储示波表硬件系统结构总体框架

以往设计中我们采用将 DSP 和 FPGA 采用不同公司的芯片,分别单独设计,这样就面临了新的问题,一方面就是 DSP 和 FPGA 之间的通信协议问题,DSP 必须通过 FPGA 中的总线仲裁单元实现与外设的通信,降低了的工作效率;另一方面,多的芯片在电源供电、功耗、体积、开发环境等各个方面增加了开支。本课题选用 Altera 公司的器件,采用 SOPC 技术通过在 FPGA 中植入嵌入式系统处理器 Nios 作为核心控制电路,利用 FPGA 中的可编程逻辑资源和 IP 软核来构成该嵌入式系统处理器的接口功能模块,借助于 Avalon 总线,实现对外围模拟通道、高速 A/D 转换器、RAM、LCD 显示器、键盘等硬件的控制。系统整体框图如图 2-1:

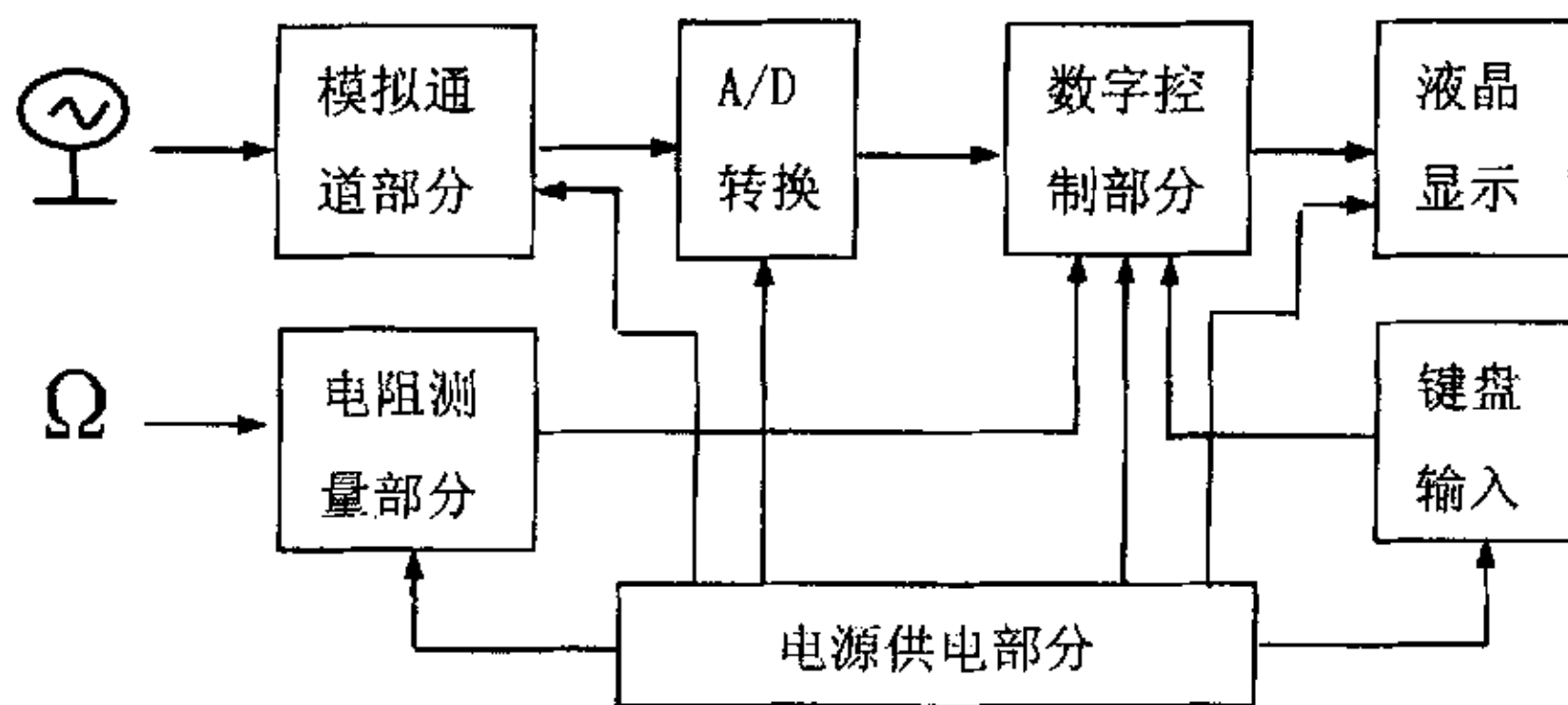


图 2-1 数字存储示波表系统硬件结构框图

整个系统由模拟通道部分、数字控制部分、A/D 数据转换、电阻测量、电源供电、键盘输入设计和液晶显示等部分组成。模拟通道部分接受主程序的控制字，实现对被测信号的放大和衰减，以满足 A/D 数据转换中对模拟输入信号的要求。模拟通道中的信号通道模块和触发电路产生模块完成对信号的低通滤波、功率放大或衰减、隔离直流分量、直流叠加、整形、产生触发等操作；数字控制部分是整个示波表系统的核心，主要完成对数据的采集、处理、显示，人机交换控制等功能；A/D 数据转换部分根据用户的设置，实现信号的模数转换；电阻测量部分是将被测元件经过信号调理电路处理转换为电压信号后，将其送入另外的 A/D 转换器，根据 A/D 转换的结果，分析被测元件的参数值；电源供电部分完成芯片器件对不同电压的供电要求；键盘输入和液晶显示部分完成人机交换功能，实现不同功能的切换和对参数的设置。

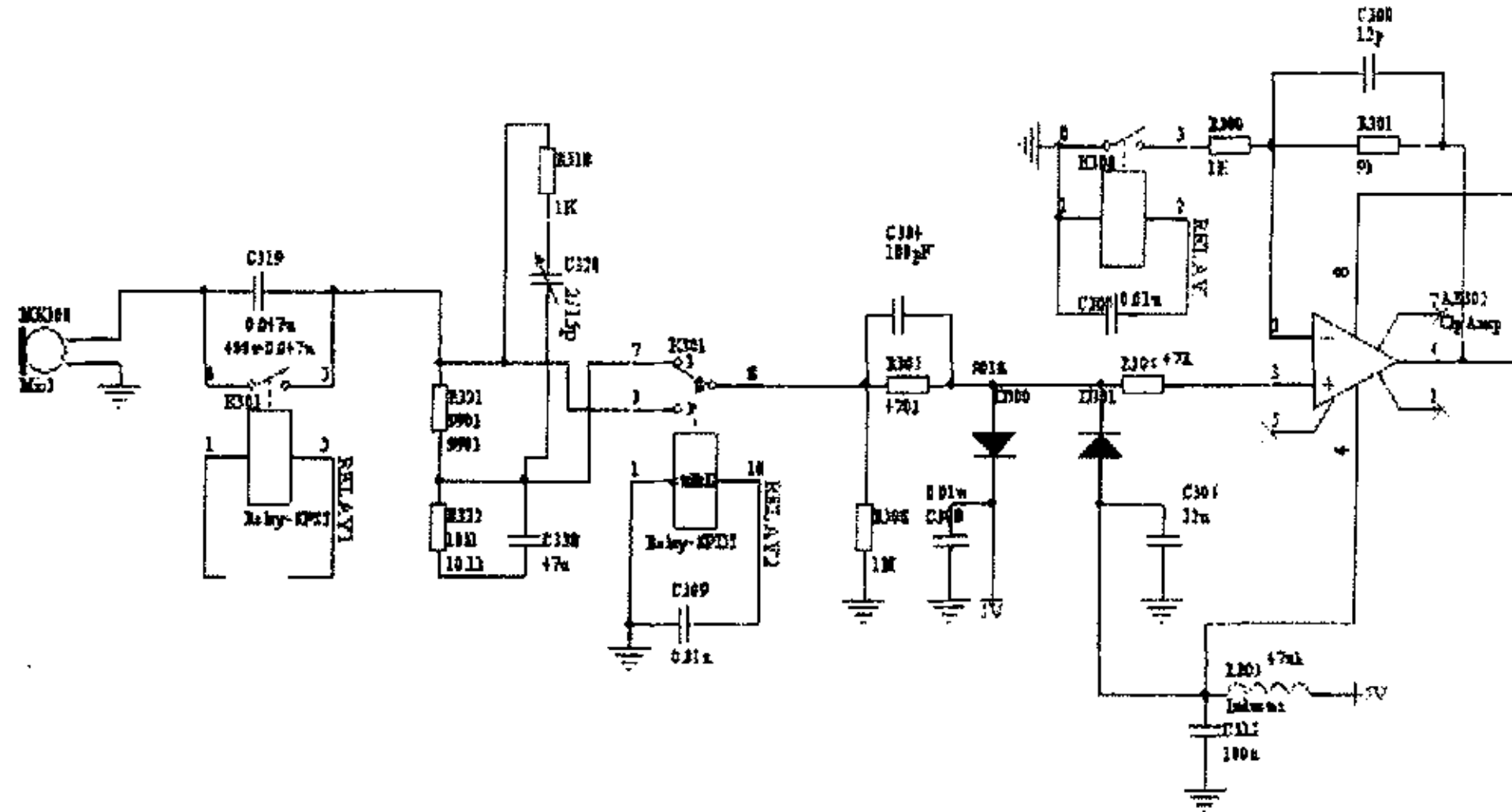
2.3 数字存储示波表模拟通道部分设计^[3]

手持式数字存储示波表模拟通道部分由信号通道与触发通道两部分组成。信号通道由输入耦合电路、衰减器、输入保护、跟随器、及控制电路组成，完成对输入信号的输入耦合方式、信号衰减、保护控制及阻抗变换等信号调理功能。触发通道主要根据外部信号的特点，产生触发信号，用来控制 A/D 采集数据的起始点和结束点，实现对周期信号的稳定显示。

2.3.1 信号通道设计

作为测量仪器，示波表测量的信号类型可能是直流，也可能是交流，或者既

包含直流成分，也包含交流成分；信号的幅度从零到正负几百伏不等；信号的频率从直流到几十兆 Hz。对于不同的信号，必须先经过信号通道对其进行适当的变换后才能送给 A/D 采样。图 2—2、图 2—3 为模拟信号通道的耦合、衰减和放大、保护、调理部分设计，下面对其工作原理做简要说明：



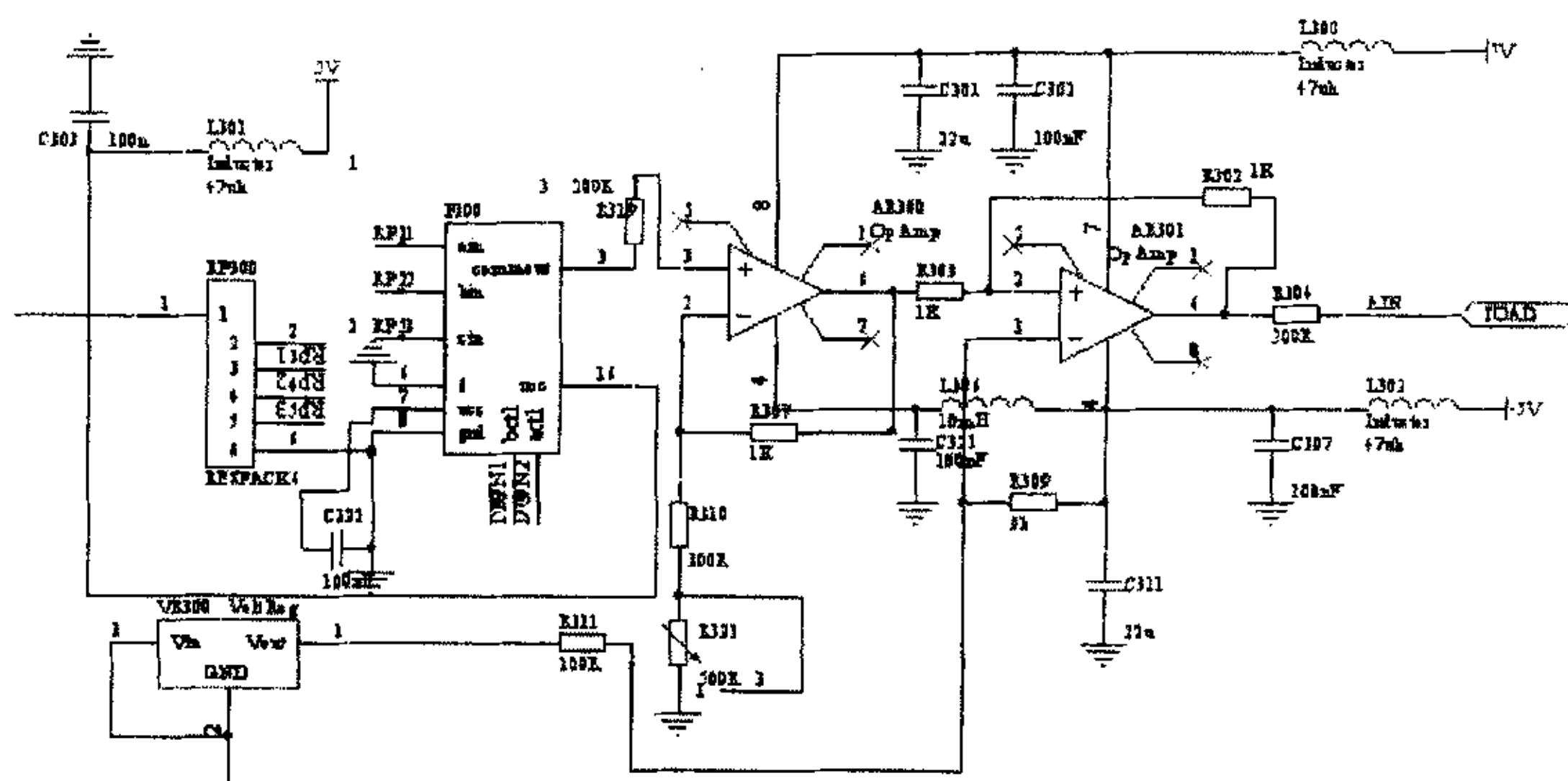


图 2-3 信号通道的调理部分设计

对于既包含有直流成分又包含有交流成分的信号进行测量，要想使信号的交流成分在 LCD 界面上最优化显示，即直流成分显示在液晶屏中心线，交流成分信号幅度峰峰值约占二分之一到四分之三液晶显示屏，那么必须对放大或衰减后的信号叠加电平进行调理。本设计是通过在送入 A/D 采样前的信号增加一个放大电路 OPA655，正相输入端为放大或衰减后的信号，反相输入端为叠加电平，叠加电平是由一个 D/A 转换器的输出端模拟信号提供的，其数字量是由 CPU 根据用户的需求来设置。

此外，在实际测量中，往往通过键盘的输入实现波形的上下移动，波形在运行模式下的上下移动也是通过改变叠加电平完成的。

2.3.2 触发信号电路设计

触发信号产生电路主要是解决信号采样起始点和结束点的问题。触发信号来源于信号本身（内触发）或外触发输入端，由于这些信号不一定是规则的方波或脉冲，所以，在将这些信号作为数字量输入到 FPGA 控制采样时钟之前，需要通过比较电平对他们进行整形。整形电路是由正反馈放大电路实现的。整形之后的数字信号被 FPGA 处理后形成各种触发形式的信号，然后由 CPU 的控制字选择采取何种触发方式来控制采样时钟起始点和结束点。一句话，可以通过对触发电平（比较电平）的设置，可以控制触发点在信号周期内的相位关系。

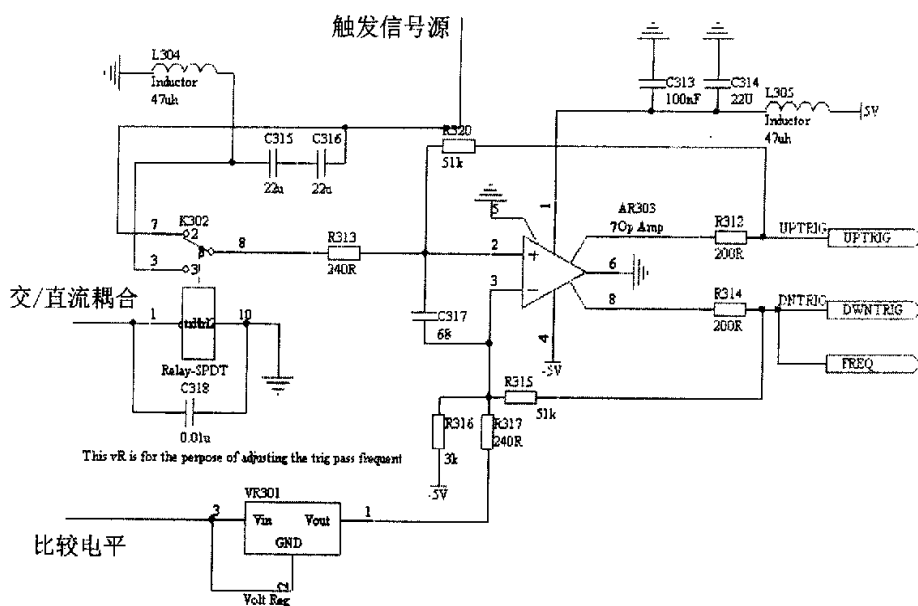


图 2—4 触发信号电路设计

触发电路如图 2—4 所示，CPU 根据用户选择的触发电平值产生对应的控制字，控制字送入串行 D/A 转换器 (LTC1446I) 产生对应的比较电平。触发信号通过选择耦合方式后与比较电平进行比较，形成经过整形的数字信号作为触发源，然后根据触发功能选择字选择是上升沿触发还是下降沿触发。由于触发信号是由被测信号本身的特征决定的，这就要求整形放大器的工作频率至少包含被测信号的最高工作频率。否则不能稳定触发，示波表也就失去测量的意义。

2.4 数字存储示波表数字控制部分设计

数字存储示波表数字控制部分的设计是最重要的环节，它是示波表系统的核心。对于运算量大、外设多、控制复杂的实时信号处理系统来说，数字部分的设计直接影响着示波表的性能。从另外一个角度来看，数字部分软硬件开发环境的选择，开发所使用的技术在设计周期、系统升级性方面也是必须考虑的因素。本设计选用 Altera 公司的 Stratix 系列器件，采用 SOPC 技术，在 FPGA 中嵌入处理器 Nios 核，使得 FPGA 灵活的硬件设计和硬件实现与处理器的强大的软件功能有机地相结合，高效地完成数据处理和控制功能。采用 SOPC 技术设计嵌入式系统的特点和优点^[2]，在下一章中详细介绍。图 2—5 为数字控制部分实现框图：

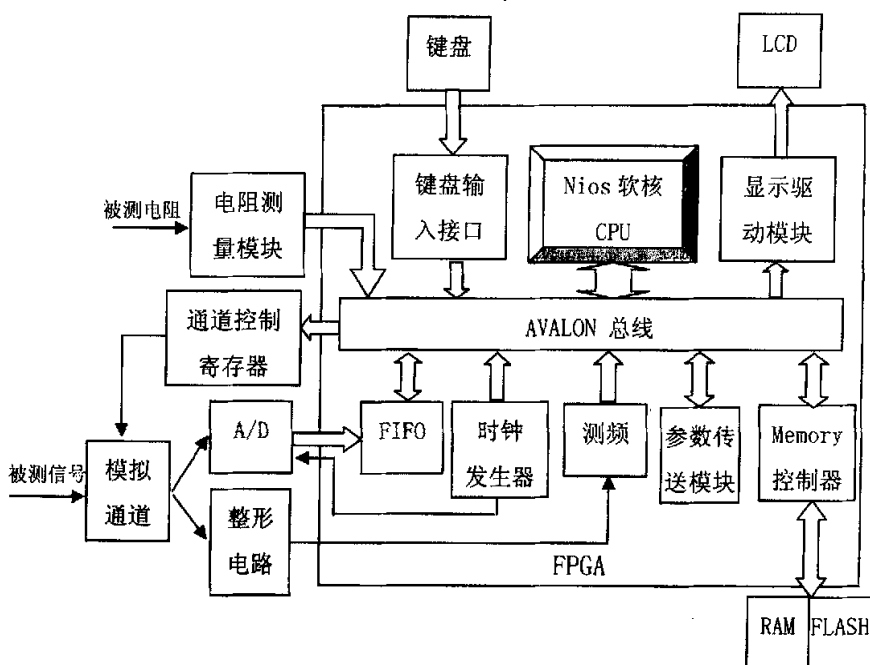


图 2-5 数字控制部分实现框图

设计初期，我们先采用 Altera 公司的 Nios_Stratix_1s10 开发板进行数字部分软硬件设计与调试，该开发板的外形如图 2-6 所示，主芯片型号为 EP1S10F780C6。利用 Altera 公司软件 Quartus II 作为开发环境。我们通过 Quartus II 开发环境中 SOPC Builder 工具配置了 32 位总线（用户可选）指令集和数据通道的嵌入式系统微处理器 IP 核，采用 Avalon 总线结构，具有增强的内存、调试和软件功能。此外，基于 Quartus II 平台所编辑的 Nios 核含有许多可配置的接口模块核，其中包括：可配置高速缓冲器（包括片内 ESB 和片外 SRAM 或 SDRAM，100M 以上单周期访问速度）模块、RS232 通信接口、标准以太网协议接口、DMA、定时器、协处理器等等。在植入 FPGA 前，先对 Nios 及其外围接口进行构建，按照要求配置好相应的组件模块，SOPC Builder 系统组件库中所列出的每一个组件，都提供一个以一些表格来描述该组件的文件，以及另一个用来描述接口信号及数据传输要求的文件。根据这些信息，SOPC Builder 自动生成一个包含所有译码逻辑、仲裁逻辑、中断控制、等待状态控制以及用于连接处理器与外设的数据通道匹配逻辑的网络。SOPC Builder 库组件可以是非常简单的模块子系统。对于大多数处理器接口而言，只需通过将处理器信号类型与 Avalon 对等信号类型匹配，外部存储器接口即可以简单连线形式与 FPGA 及

Avalon 总线连接。我们在系统中还方便地使用自定义外设完成了 FIFO 与总线的连接, SOPC Builder 通过其“接口至用户逻辑向导”完全支持用户自定义组件, 该向导导入用户的设计文件来读取端口列表, 我们只需将模块信号名映射到对等的 Avalon 信号类型上。

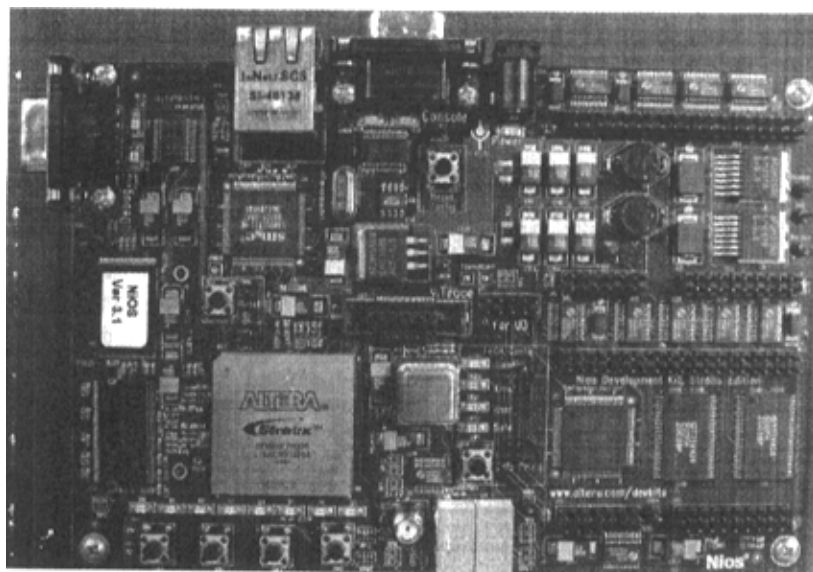


图 2—6 Altera 公司的 Nios_Stratix_1S10 开发板图

2.5 数字存储示波表 A/D 采样部分设计

作为模拟系统与数字系统之间的门户, A/D 转换器件是示波器系统的关键部件之一。在系统设计过程中必须根据系统实现目标来选择合适的 A/D 器件参数, 从而确定具体使用的器件。一般而言, 在 A/D 器件的选择过程中主要需要考虑以下参数^[30]:

(1) 分辨率: 它相应于最低二进制 (LSB) 的模拟量。它规定了 AD 转换器能够区分的模拟量的最小变化值。因为能够满足分辨率的模拟量的值取决于二进制数, 所以通常采用位数表示分辨率, 比如: 4 位、8 位、12 位等。

(2) 量化误差: AD 转换器是将连续的模拟量转换成离散的数字量。对一定范围内的连续变化的模拟量只能反映成同一个数字量。所以存在 $1/2\text{LSB}$ 的量化误差。这个误差是量化过程中不可避免。

(3) 精度: 除了量化误差, 还有其他的因素, 非线性引起的误差。在手册

中, 对这种附加误差的总和, 成为不可调误差, 实际上就是 AD 转换器调整到最精确的时候还存在的误差。精度指的是量化误差和附加误差之和。

(4) 转换时间: AD 转换时间是指从发出转换启动命令开始到转换结束获得整个数字信号的过程所需要的时间。

本系统设计的示波表主要测量 20MHz 以下单通道模拟信号, 信号幅度经过调理后限定在 $-0.5V \sim +0.5V$ 范围内。由于最终结果送到 320×240 像素点的 LCD 液晶显示器, 有 8 位数据的精度足以满足要求。根据这些要求, 设计选择 ANALOG DEVICES 公司 8 位 100MSPS 高速 A/D 转换器 AD9283 为系统提供模拟/数字转换。AD9283 主要性能指标如下^[19]:

- (1) 精度: 8 bits
- (2) 采样速率: 100MSPS
- (3) 低功耗: 典型值 90mW (100M)
- (4) 输入模拟信号带宽: 475MHz
- (5) 2.7V~3.6V 单电源供电
- (6) 数字信号输出与 TTL/CMOS 电压兼容
- (7) 掉电模式
- (8) 三态输出
- (9) 最小转换速率: 1MHz
- (10) 管线延迟: 4 个时钟周期

选用 AD9283 原因除考虑到示波表采样频率 100M 能满足要求外, 该芯片供电电压为 3.3V, 正好与可编程器件电压一致, 其功耗较低, 典型值为 90mW, 这也是便携式设备中非常重要的考虑因素之一。

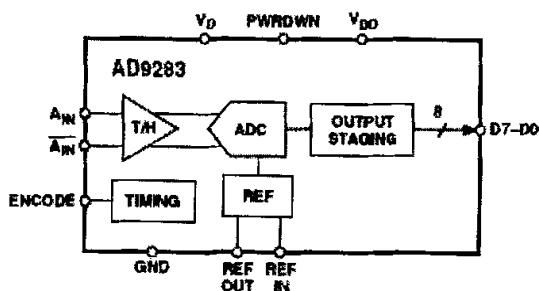


图 2-7 AD9283 器件的功能框图

2.5.1 AD9283 硬件控制电路设计

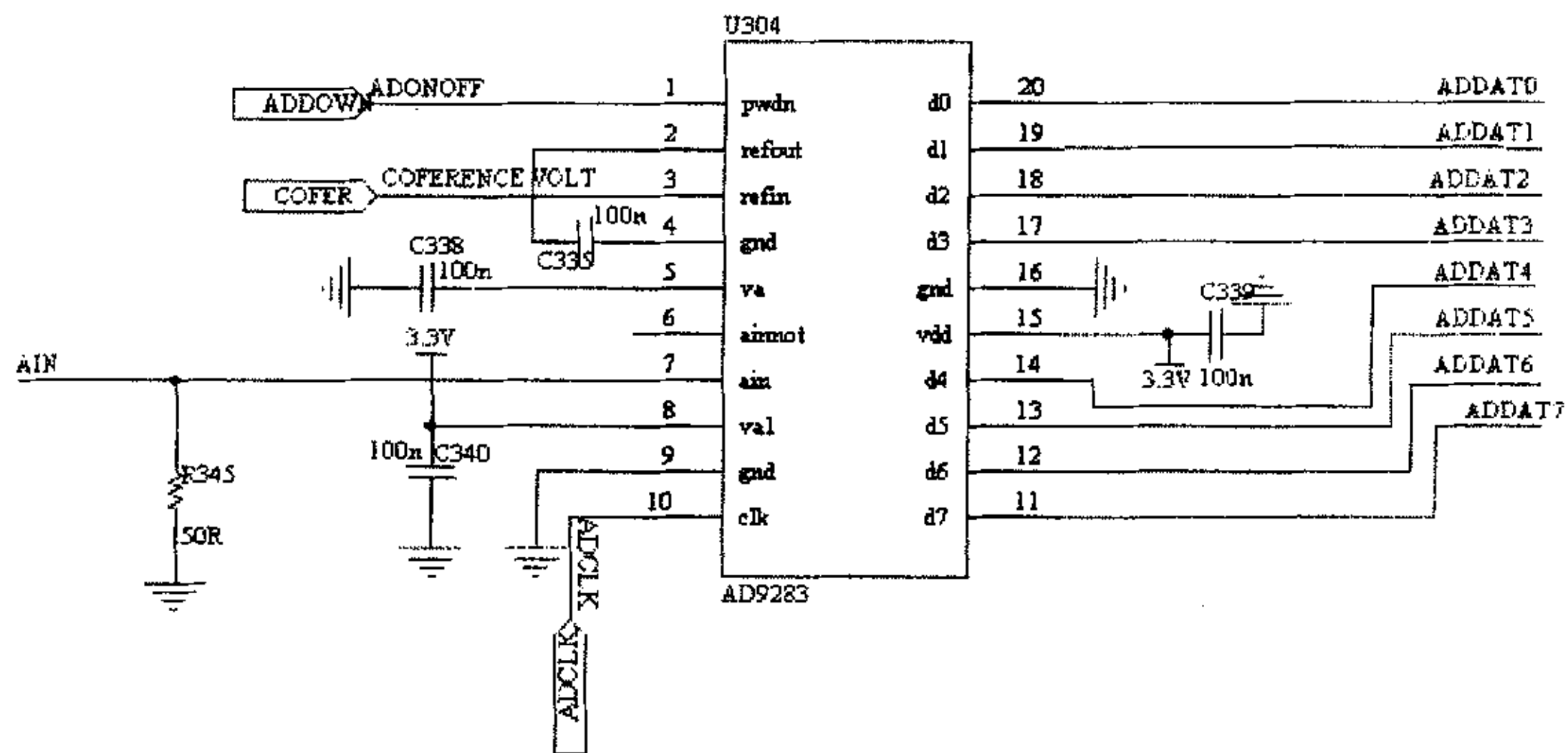


图 2-8 AD9283 硬件电路原理图设计

A/D 采样电路原理如图 2-8 所示，管脚 1 为掉电设置，当电平为高时，为掉电方式，此时输出为高阻态；管脚 3 为参考电压，其中参考电压是用户通过键盘来设置的，电路实现方法是由 CPU 在串行 D/A 转换芯片中写入数字量，D/A 模拟信号输出量通过适当的电平调理作为 AD9283 的参考电压；AD9283 模拟输入端信号是由模拟通道提供的，范围在 $-0.5V \sim 0.5V$ 之间，前端具有保护电路。

2.5.2 AD9283 采样时钟设计

A/D 器件最高采样频率决定着示波表测试信号的频带范围，AD9283 最高采样频率为 100M，最低采样频率为 1M，而示波表对采样结果取数频率按照时基分级，其范围从直流到 100M 连续变化，这就要求电路设计既要考虑到 A/D 器件工作特性处于最佳信噪比状态，也要考虑到 FIFO 必须在 A/D 输出数据最稳定时刻将数取走。

下面对 AD9283 的性能指标和工作时序进行简单介绍。表 2-1 为 AD9283 在不同频率采样时钟下的信噪比特性：

表 2-1 AD9283 在不同采样频率下输出信噪比特性^[19]:

AD9283

Parameter	Temp	Test Level	AD9283BRS-100		Unit
			Min	Typ Max	
DYNAMIC PERFORMANCE ³					
Transient Response	25°C	V		2	ns
Overvoltage Recovery Time	25°C	V		2	ns
Signal-to-Noise Ratio (SNR) (Without Harmonics)					
$f_{IN} = 10.3 \text{ MHz}$	25°C	I		46.5	dB
$f_{IN} = 27 \text{ MHz}$	25°C	I		46.5	dB
$f_{IN} = 41 \text{ MHz}$	25°C	I	43.5	46.5	dB
$f_{IN} = 76 \text{ MHz}$	25°C	V		46.0	dB
Signal-to-Noise Ratio (SINAD) (With Harmonics)					
$f_{IN} = 10.3 \text{ MHz}$	25°C	I		45	dB
$f_{IN} = 27 \text{ MHz}$	25°C	I		45.5	dB
$f_{IN} = 41 \text{ MHz}$	25°C	I	42.5	45	dB
$f_{IN} = 76 \text{ MHz}$	25°C	V		42.5	dB
Effective Number of Bits					
$f_{IN} = 10.3 \text{ MHz}$	25°C	I		7.3	Bits
$f_{IN} = 27 \text{ MHz}$	25°C	I		7.4	Bits
$f_{IN} = 41 \text{ MHz}$	25°C	I		7.3	Bits
$f_{IN} = 76 \text{ MHz}$	25°C	V		6.9	Bits
2nd Harmonic Distortion					
$f_{IN} = 10.3 \text{ MHz}$	25°C	I		57	dBc
$f_{IN} = 27 \text{ MHz}$	25°C	I		60	dBc
$f_{IN} = 41 \text{ MHz}$	25°C	I	50	58	dBc
$f_{IN} = 76 \text{ MHz}$	25°C	V		46	dBc
3rd Harmonic Distortion					
$f_{IN} = 10.3 \text{ MHz}$	25°C	I		54.5	dBc
$f_{IN} = 27 \text{ MHz}$	25°C	I		55	dBc
$f_{IN} = 41 \text{ MHz}$	25°C	I	47	52.5	dBc
$f_{IN} = 76 \text{ MHz}$	25°C	V		53	dBc
Two-Tone Intermod Distortion (IMD)					
$f_{IN} = 10.3 \text{ MHz}$	25°C	V		52	dBc

由上表知 AD9283 在 10M~100M 之间有较好的输出信噪比, 在相对较低的采样时钟时具有较高的信噪比和较多的有效数据位, 所以采用分级时钟控制能获得较好的信噪比。我们按照时基 1-2-5 分级设计了 A/D 四种采样时钟, 分别为 100M、50M、25M、10M。

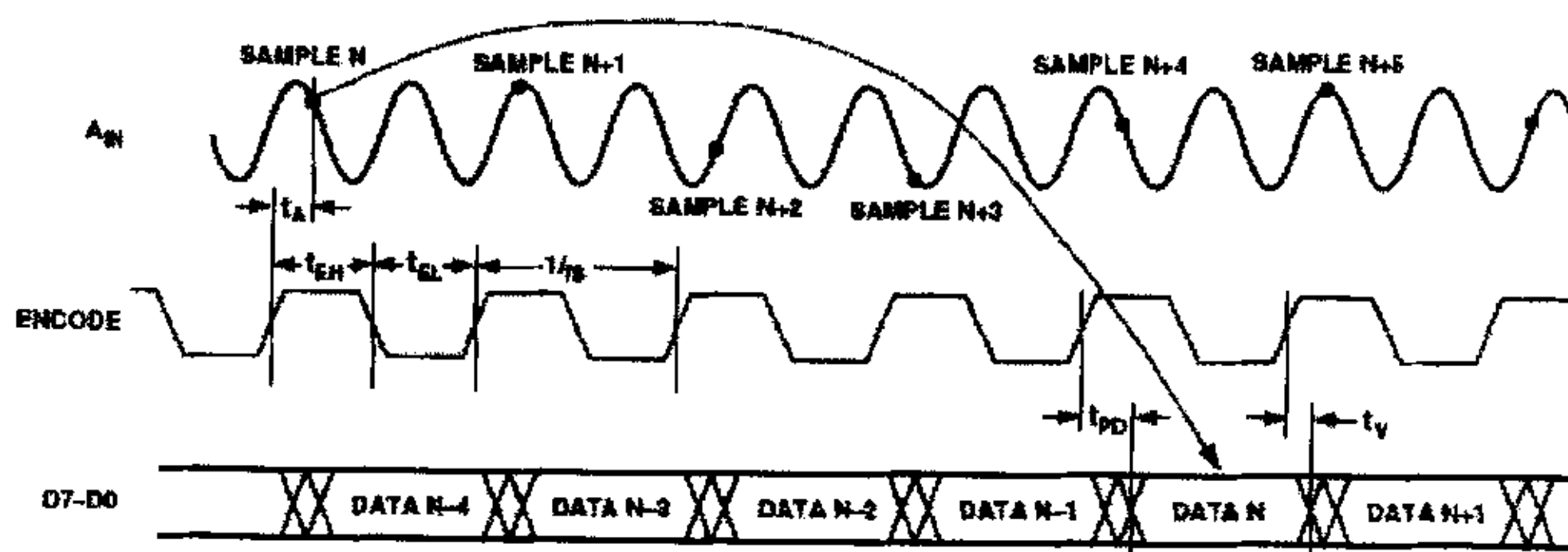


图 2-9 AD9283 工作时序图

AD9283 工作时序如图 2-9 所示, A/D 器件输出数据在采样时钟上升沿之后变换, 在 CLK 下降沿处具有稳定的输出, 按照此要求外围控制器在 A/D 时钟的下降沿处将其输出数据锁存以待下一步处理。

从 AD9283 的工作频率来看, 由于其转换频率范围有限, 取数的任务主要交给 FIFO 采样控制器来完成。首先由 FPGA 对外部晶振产生的 100M 时钟信号进行分频, 分别产生另外 50M、25M、10M 时钟驱动信号, CPU 通过设置频率选择控制字来选择 A/D 的采样频率。A/D 采样频率与信号频率对照如表 2-2:

表 2-2 A/D 采样频率与信号频率范围对照表

信号频率范围	A/D 采样频率	频率选择控制字
100MHz	100MHz	00
50MHz	50MHz	01
25MHz	25MHz	10
10MHz 及以下	10MHz	11

2.6 数字存储示波表电阻测量部分设计

万用表中关于电路通断检测、电压检测、电阻测量是最为常用的功能, 对于电压检测这一功能示波表性能远远优于万用表, 如果能将电阻测量功能加到示波表中, 则完全可以做到一表多用。电阻测量原理图如图 2-10 所示:

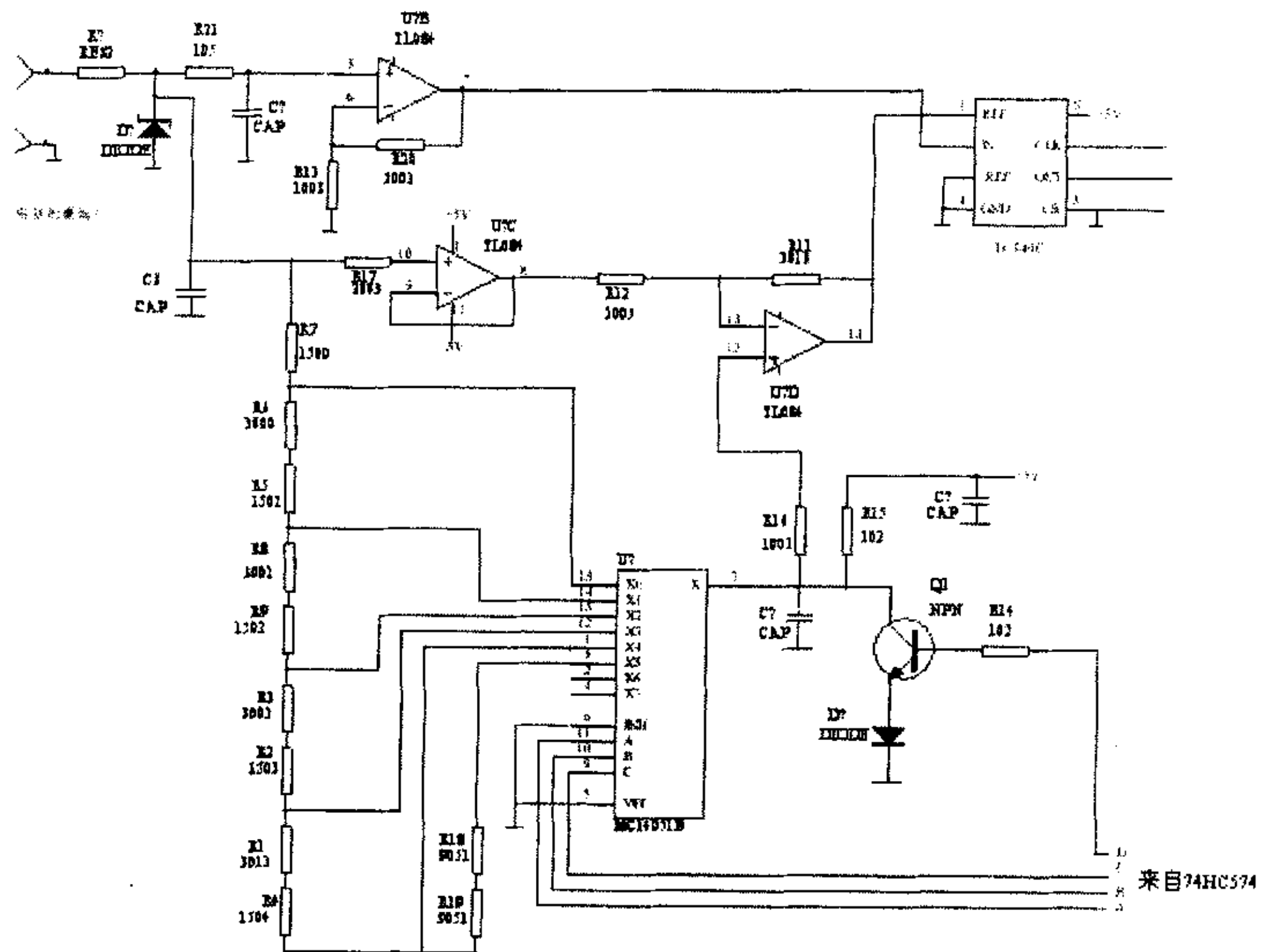


图 2-10 电阻测量原理图设计

其中，MC14051B 是一个八通道数字控制的模拟开关，INH 为使能端，低电平有效，X 为模拟信号输入端，X0~X7 为输出端，其选择控制字来自 74HC574 的 A、B、C、D，是由 CPU 写入并锁存的。D 为 X 信号的使能控制，低电平有效；A、B、C 为模拟开关选择，其控制字如表 2-3。对于不同通道输出的模拟信号经由 R1~R7 组合分压电阻对被测电阻分压后，将被测电阻分担的电压送入到串行数模转换器 TLC549，转换后数字量和被测电阻阻值满足一定的计算关系，这样就可以通过计算测出被测电阻阻值。电路中在被测电阻串联 R8 和二极管 D1 起保护电路作用，运放 TL084 起到隔离作用，避免 D/A 转换电路对被测阻值产生影响。串行数模转换器 TLC549 的转换时钟 CLK、转换使能 CS 和数据输出 OUT 都是 CPU 通过 FPGA 中相应的译码电路来控制 and 访问。

表 2-3: MC14051B 模拟开关选择控制字

输入控制				输出
INH	选择			
	A	B	C	
0	0	0	0	X0
0	0	0	1	X1
0	0	1	0	X2
0	0	1	1	X3
0	1	0	0	X4
0	1	0	1	X5
0	1	1	0	X6
0	1	1	1	X7
1	X	X	X	None

2.6.1 串行模数转换器 TLC549 特点及相应的设计

串行模数转换器 TLC549 是以 8 位开关逐次逼近 A/D 转换为基础的 CMOS A/D 转换器。其特点如下^[20]:

- 8 位分辨率 A/D 转换器
- 独立工作
- 差分基准输入电压
- 转换频率高达 1.1MHz
- 宽电源范围 3V 至 6V
- 低功耗 15mW (Max)
- CMOS 工艺

工作时序如图 2-11:

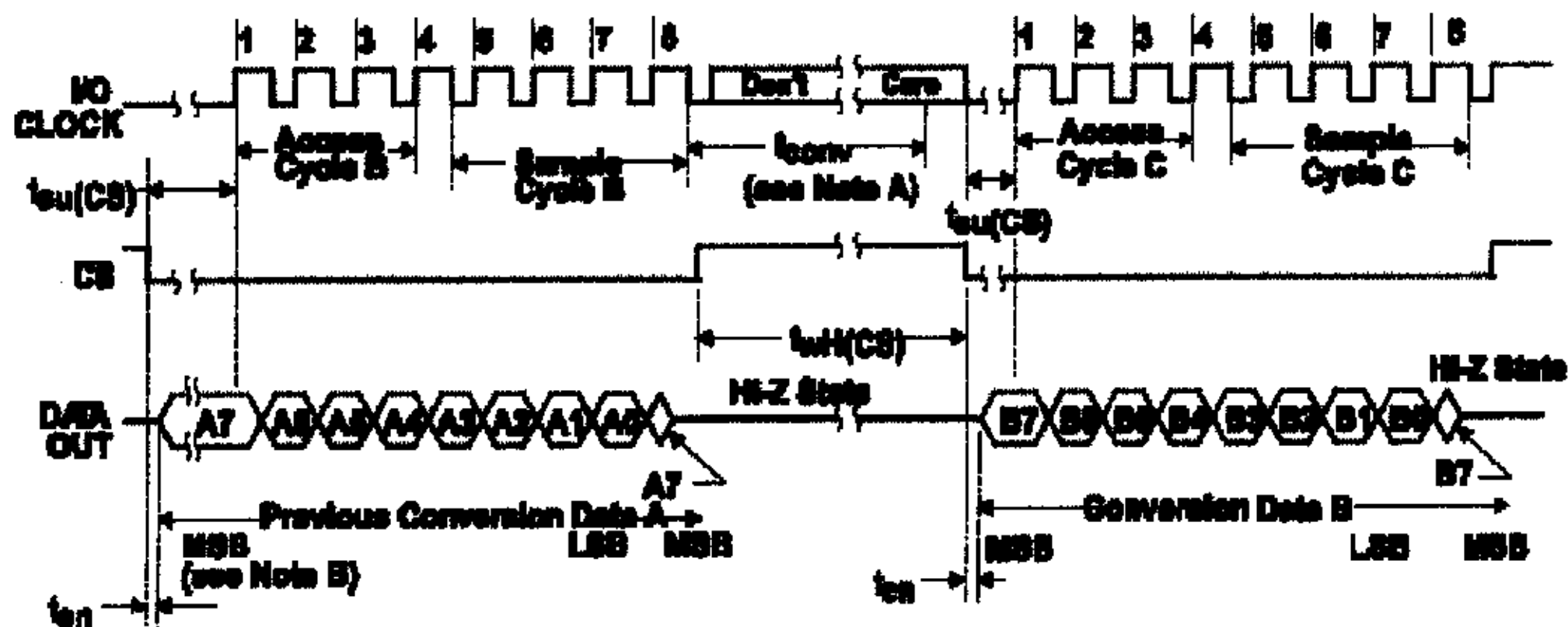


图 2-11 TLC549 工作时序图

对于 TLC549 电路设计工作时序流程图如 2—12 所示：

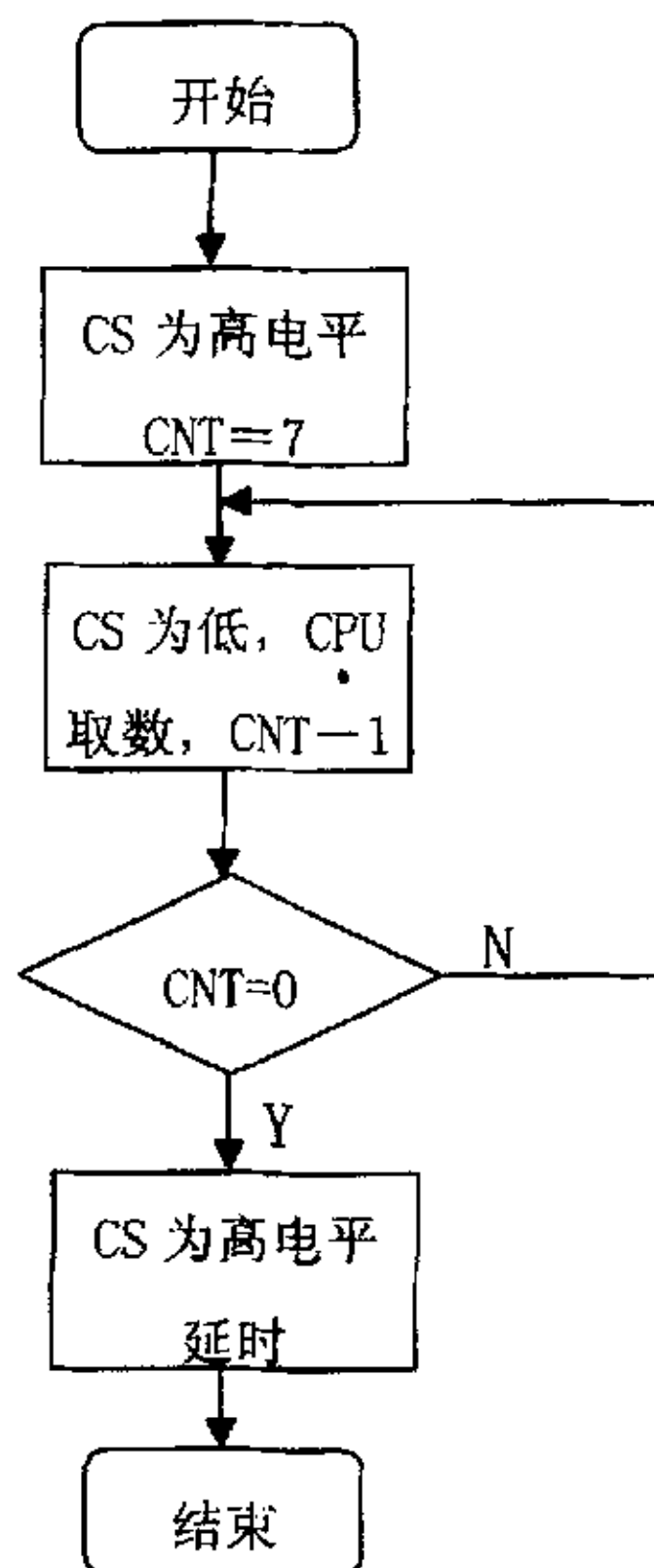


图 2—12 TLC549 模数转换流程图

2.6.2 电阻的计算方法及误差分析

我们设计电阻测量为自动方式，即通过探头与外界电阻接触就可以在示波表 LCD 显示屏上观察到电阻的阻值。工作思路的是根据串行 A/D 输出值自动切换模拟开关，选择合适的档位，通过最终确定的档位和 A/D 输出值来计算电阻阻值。阻值计算方法参照表 2—4：

表 2—4： 阻值计算方法

模拟开关档位	阻值参考（欧姆） DATA 为 A/D 输出值
X0	$\frac{150 \times \text{DATA}}{510 - \text{DATA}}$
X1	$\frac{1950 \times \text{DATA}}{510 - \text{DATA}}$
X2	$\frac{19950 \times \text{DATA}}{510 - \text{DATA}}$
X3	$\frac{199950 \times \text{DATA}}{510 - \text{DATA}}$
X4	$\frac{2000950 \times \text{DATA}}{510 - \text{DATA}}$
X5	待定

误差分析与解决办法：以上对电阻的计算仅限于参考，由于实际电路设计为简化电路，模拟开关本身存在一定阻值，且对于不同的分压电路，影响也不同。当通道选择 X5 时，电路设计为测量大阻值的电阻，一个微小的干扰都会对阻值产生很大的影响，所以建议取消这一档位。对于电阻的校正，可以通过软件来实现，在不同的档位，采用分段补偿的办法，特别是对于常用的电阻段，可以使所分段的部分越小，这样效果会越好。另外，可以在模拟开关输入电压前加入稳压模块，输入电压越稳定，则测量就越准确。

2.7 数字存储示波表供电部分设计

通过对数字示波表供电需求分析来看，对于可编程器件，首先需要 3.3V 电源供电，LCD 驱动需要有 22.5V 直流电源，信号放大电路需要有 5V、-5V 电压供电。本设计采用 MAXIM 公司的 DC-DC 转换电路^[21]，综合考虑系统的功率和电压的要求，我们采用 MAX1674 产生 5V 电压，MAX629 产生 22.5V 电压，MAX735 产生 -5V 电压，MAX1705 产生 3.3V 电压，示波表系统电池或变压器供电 2~5V。以下为各种电压产生的电路原理图：

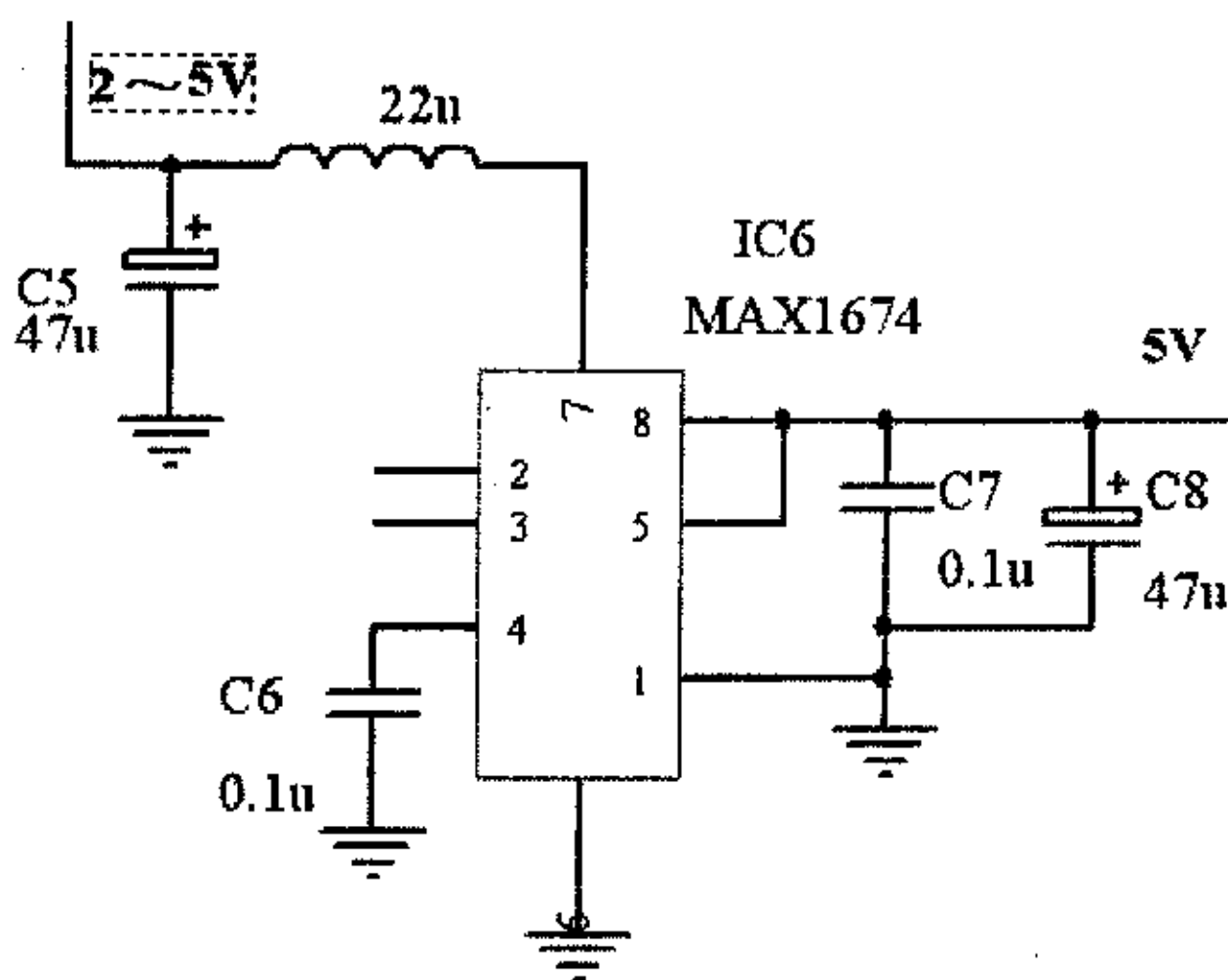


图 2-13 对系统外部电压调理电路设计

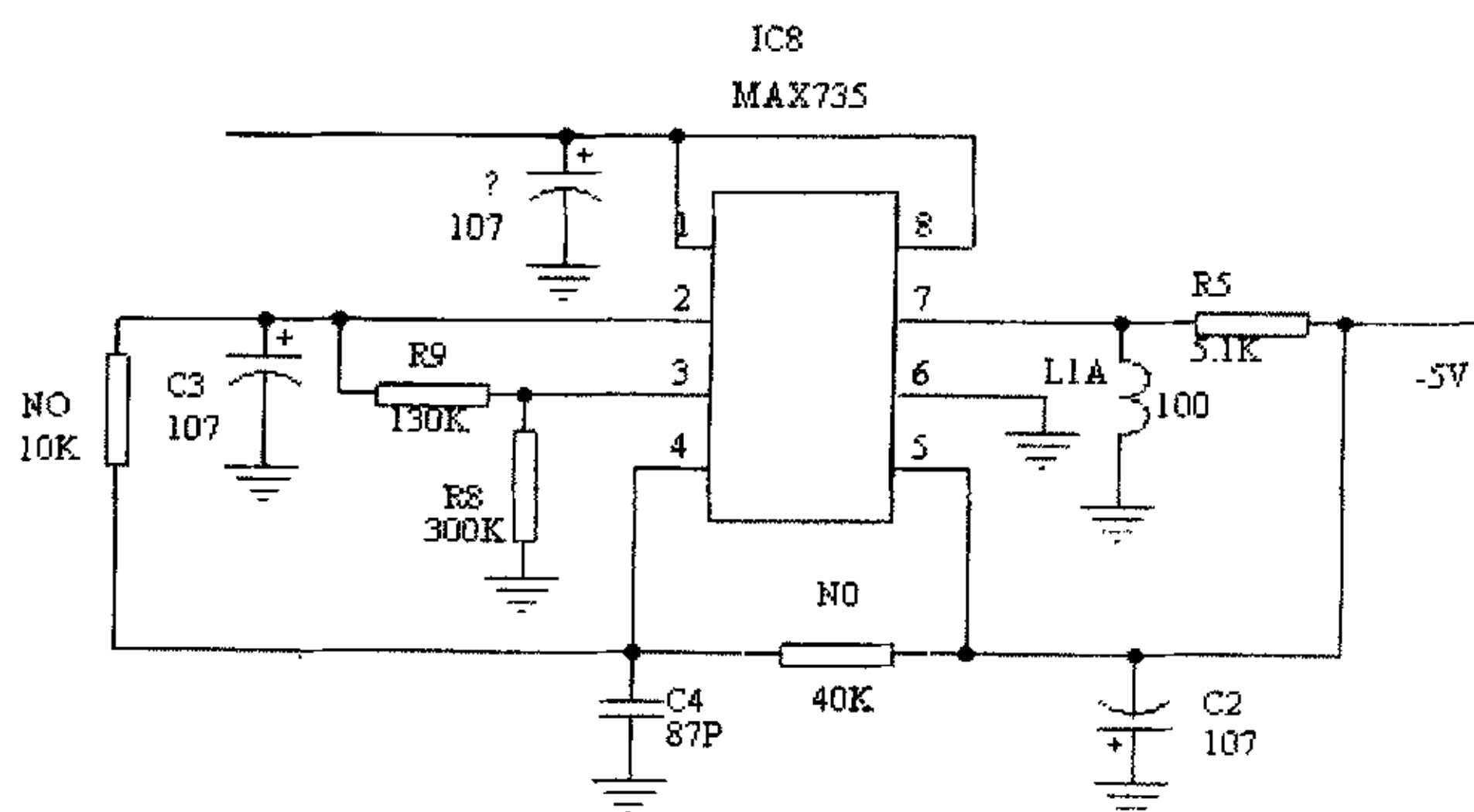


图 2-14 调理后电压产生 -5V 电路设计

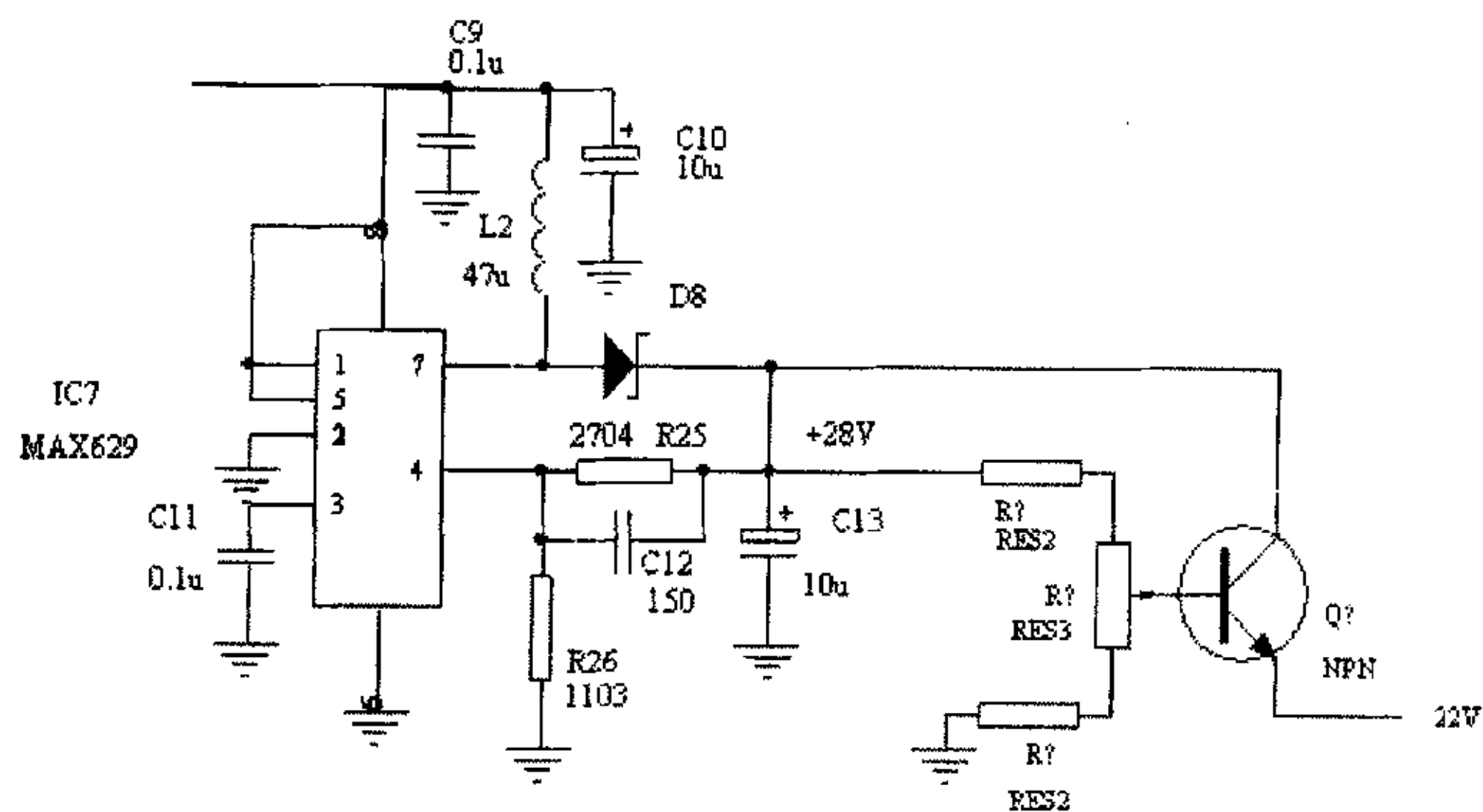


图 2-15 调理后电压产生 22V 电路设计

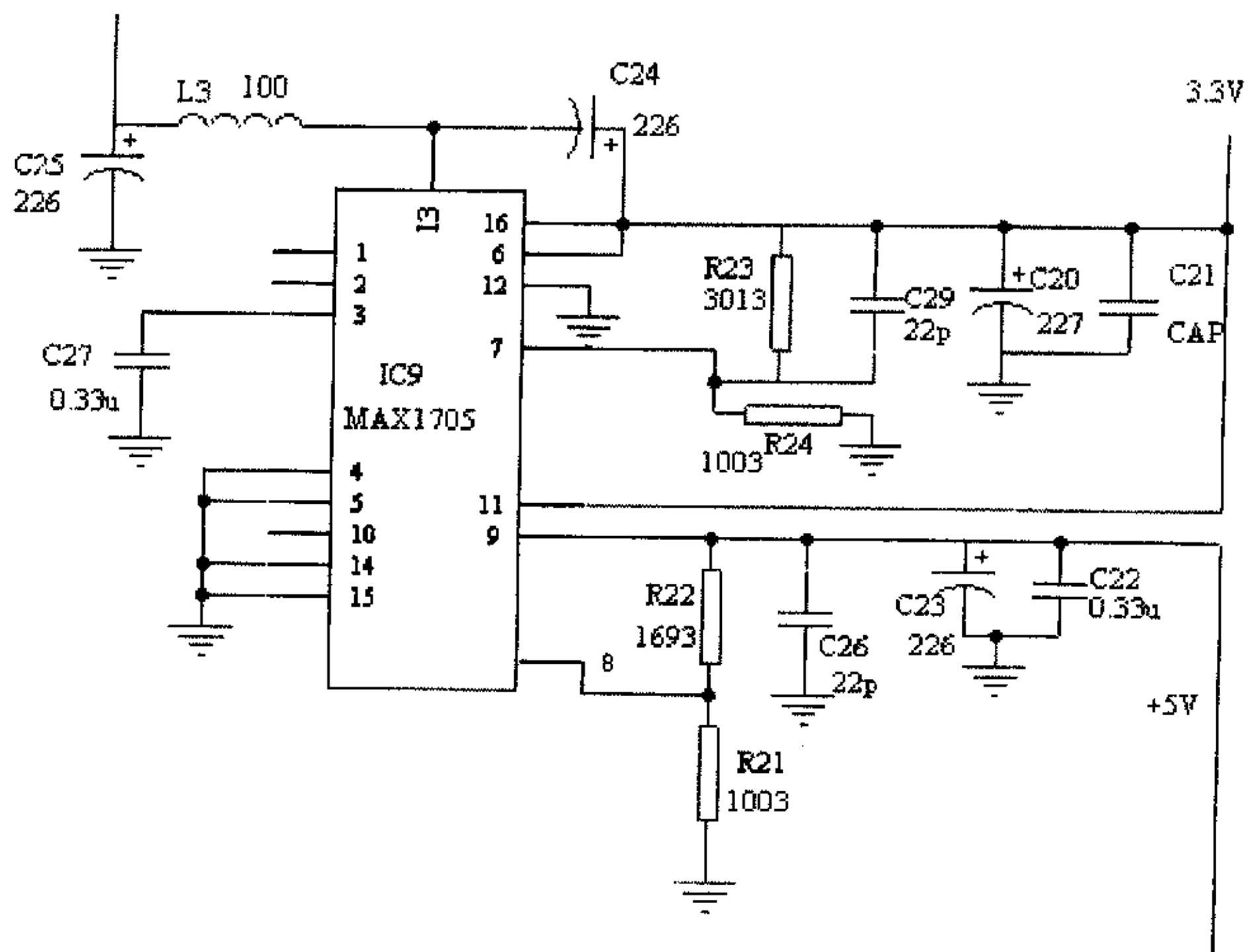


图 2-16 调理后电压产生 3.3V 和 5V 电路设计

2.8 数字存储示波表人机交换部分

示波表键盘设计部分如图 2-17 所示^[30]:

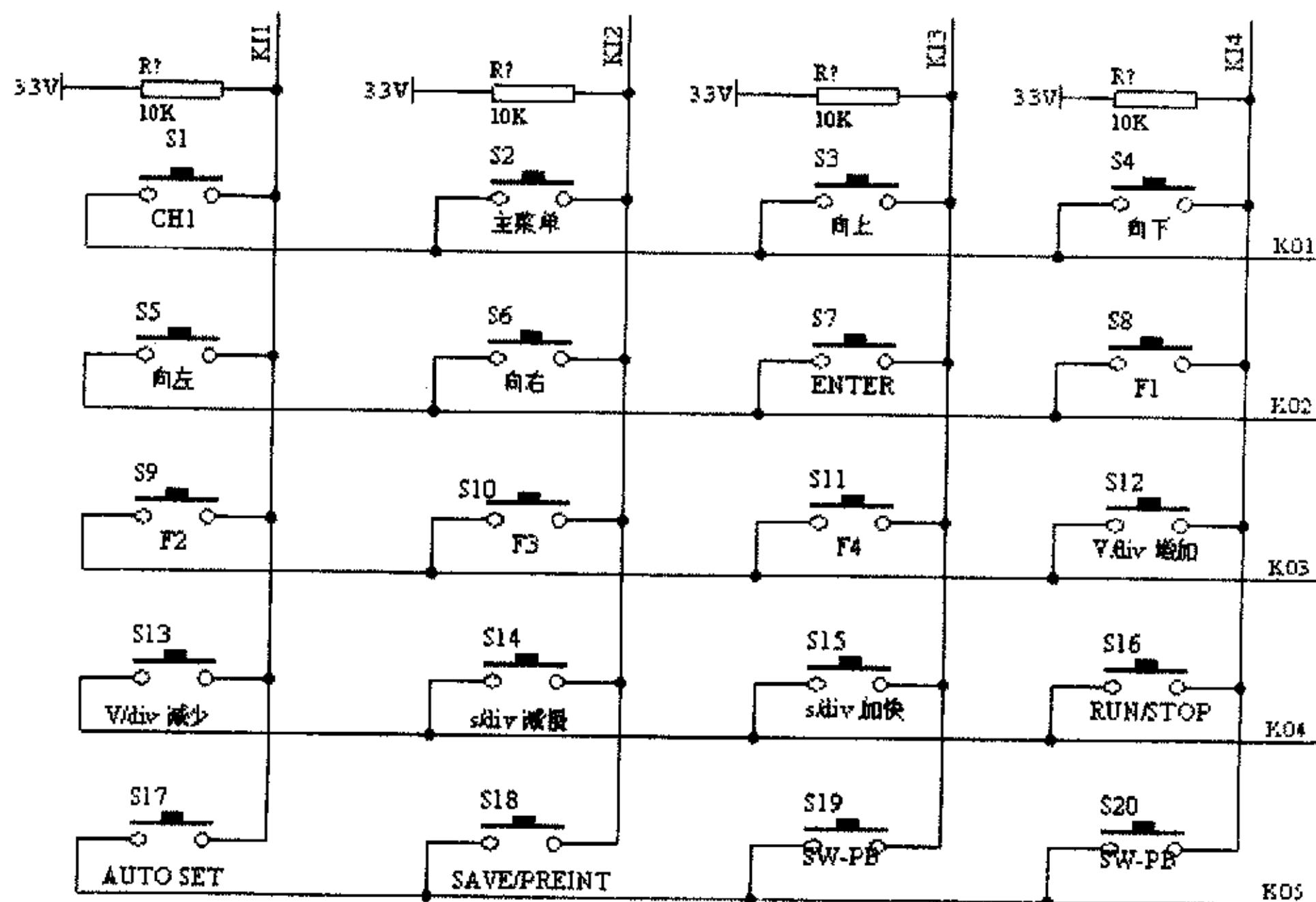


图 2-17 数字存储示波表键盘输入部分设计

参照一些成熟的示波器和示波表键盘需求, 本系统提供了 20 个操作按键, 操作十分方便, 不同的键具有相关的注释说明, 用来完成相关的操作功能。用户可以灵活地操作系统, 系统自动地根据用户的操作进行测试和显示。

本系统采用 4×5 矩阵键盘, 把 20 个按键按 4 列 5 行结构排列布线, 每一行由一个输出端口的一位驱动, 而每一列由一个上拉电阻供给输入端口一位。

图 2-17 中, KI0~KI3 作为扫描输入端, K01~K05 作为扫描输出端, 他们都直接接到 FPGA 的输入输出端口。

本系统中对按键的判断采用软件来避开抖动的影响。CPU 对键盘使用定时查询方式, 即按有规律的时间间隔查看键盘矩阵, 以确定是否有键按下。一旦处理器判定有一个键按下, 键盘扫描软件将避开触点抖动并且判定哪个键被按下。每个键被分配一个称为扫描码的唯一标识符。应用程序利用该标识符, 根据按下的键来判定应该采取什么行动。

在初始化阶段, 所有的行 (输出端口 K01~K05) 被强行设置为低电平。在没有任何键按下时, 所有的列 (输入端口 KI1~KI4) 将读到高电平。任何键的闭合将造成其中的一列变为低电平。为了查看是否有一个键已经被按下, 微处理器仅仅查看任何一列的值是否变成低电平。一旦微处理器检测到有键按下, 就需要找出是哪一个键。该过程相当简单。微处理器仅仅在其中一行上输出一个低电平。如果它在输入端口上发现了一个 0 值, 该微处理器就知道在所选择的行上产生了键的闭合。相反, 如果输入端口全是高电平, 则被按下的键就不在那一行, 微处理器将选择下一行, 并重复该过程直到它发现了该行为止。一旦该行被识别出来, 则被按下键的具体的列可以通过锁定输入端口上唯一的低电位来确定。微处理器执行这些步骤所需要的时间与最小的状态闭合时间相比较而言是非常短的, 因此它假设该键在这个时间间隔中将维持按下的状态。

为了避开触点抖动的影响, 在采用定时的显示中断作为定时信号扫描时, 如果有键按下, 那么只有当 6 次扫描的结果一样时才认定该键被按下有效。显示中断信号是周期为 3.3ms 的周期信号, 利用它作为扫描定时信号非常合适。根据大约 10ms 的触点抖动时间, 那么在 6 次定时扫描, 即大约 20ms 的时间里, 如果扫描结果一致, 那么当然就避开了触点抖动的干扰。同理, 按键释放时的抖动也采取同样的处理方法。

本系统不支持两个键被同时按下。当有两个键同时按下时, 只有编号较小的一个按键会被检测到, 并且, 只有当按下的键都被释放以后才允许扫描程序判别新的按键。本系统键盘软件模块支持对被按下键的闭合状态的持续时间的计时。当你打算递增或递减一个参数 (也就是一个变量) 值时, 该功能是非常有用的, 此时只需要连续按住该键。当某个键的闭合状态持续时间超过某限定值时, 可以

启动相关参数或变量的递增和递减步伐,由按键时间决定采用单步和多步改变相关参数,这一点在触发位置设定和波形移动中非常重要,用户可以采用单次按键让波形单步移动,也可以按住键让波形大步移动。

本设计选用 Microtips Technology Inc. 公司 MTG-F32240HFWNSEB-01 型 LCD 液晶显示器。MTG-32240X 是 FSTN Positive 类、320×240 像素、图形显示方式的液晶显示器件^[17]。它带有行列驱动电路以及 EL 背光电路。菜单界面突出了简洁、实用、便于操作的特性。

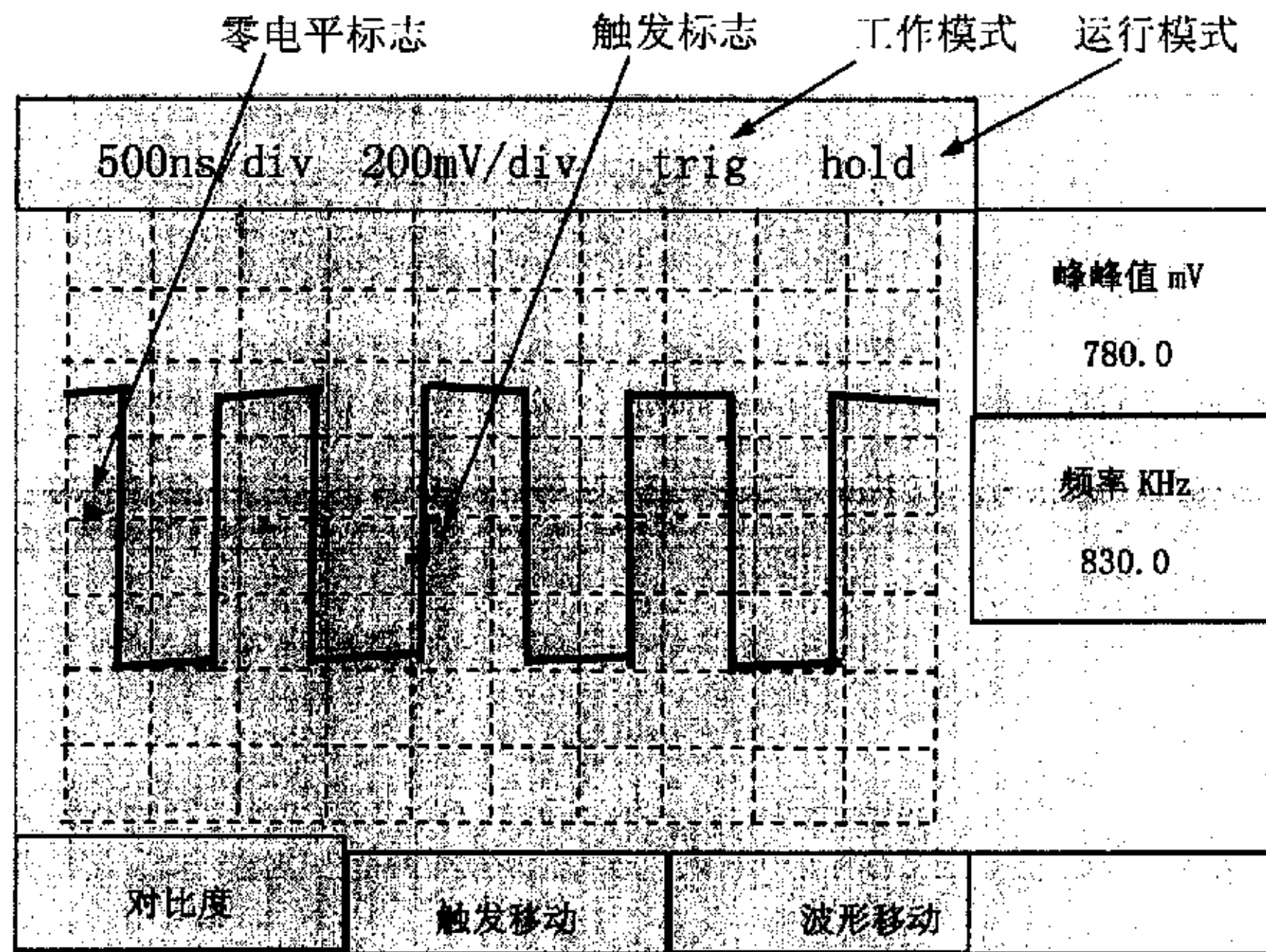


图 2-18 开机时液晶默认状态显示部分

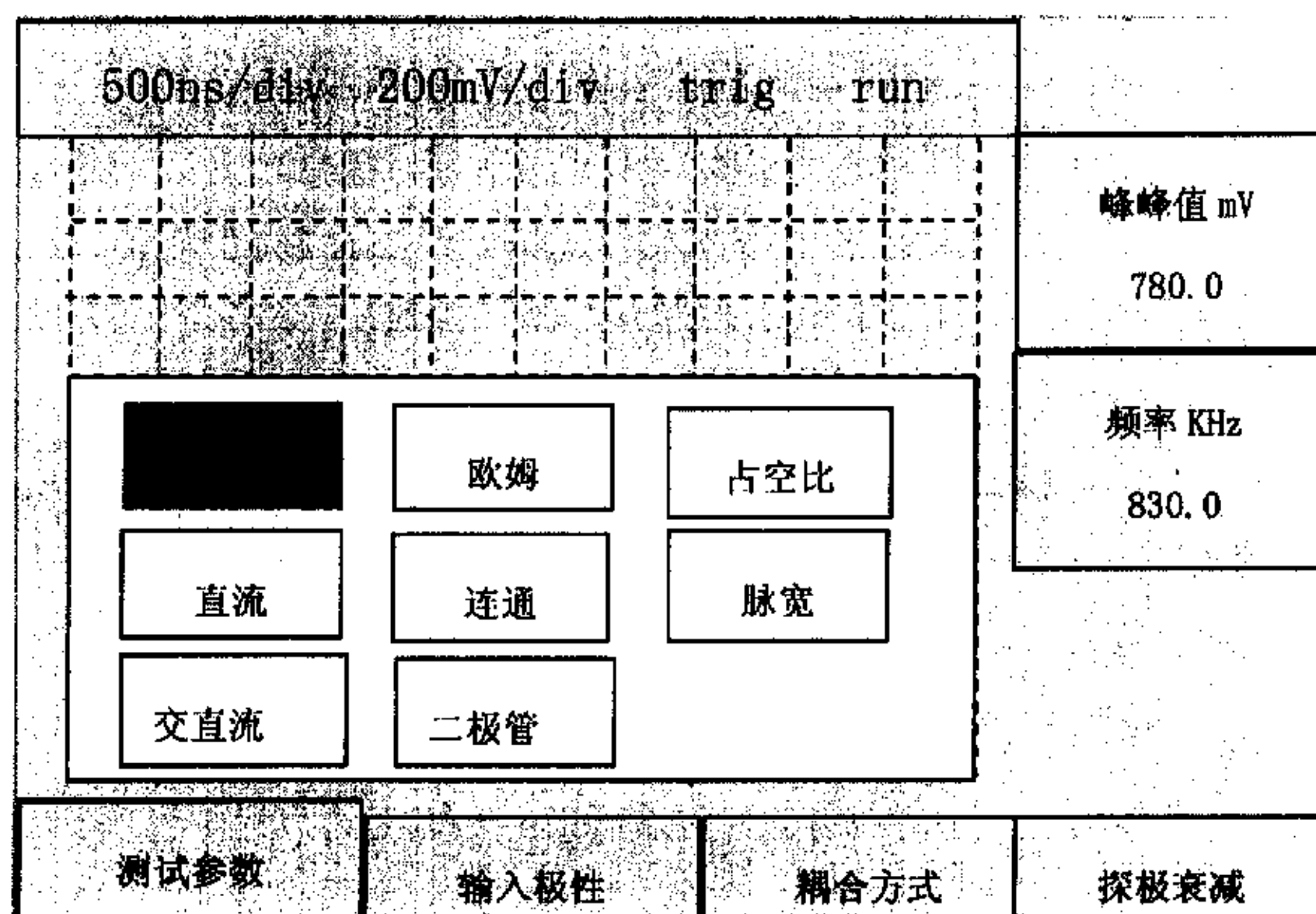


图 2-19 CHA 模式下菜单显示格式

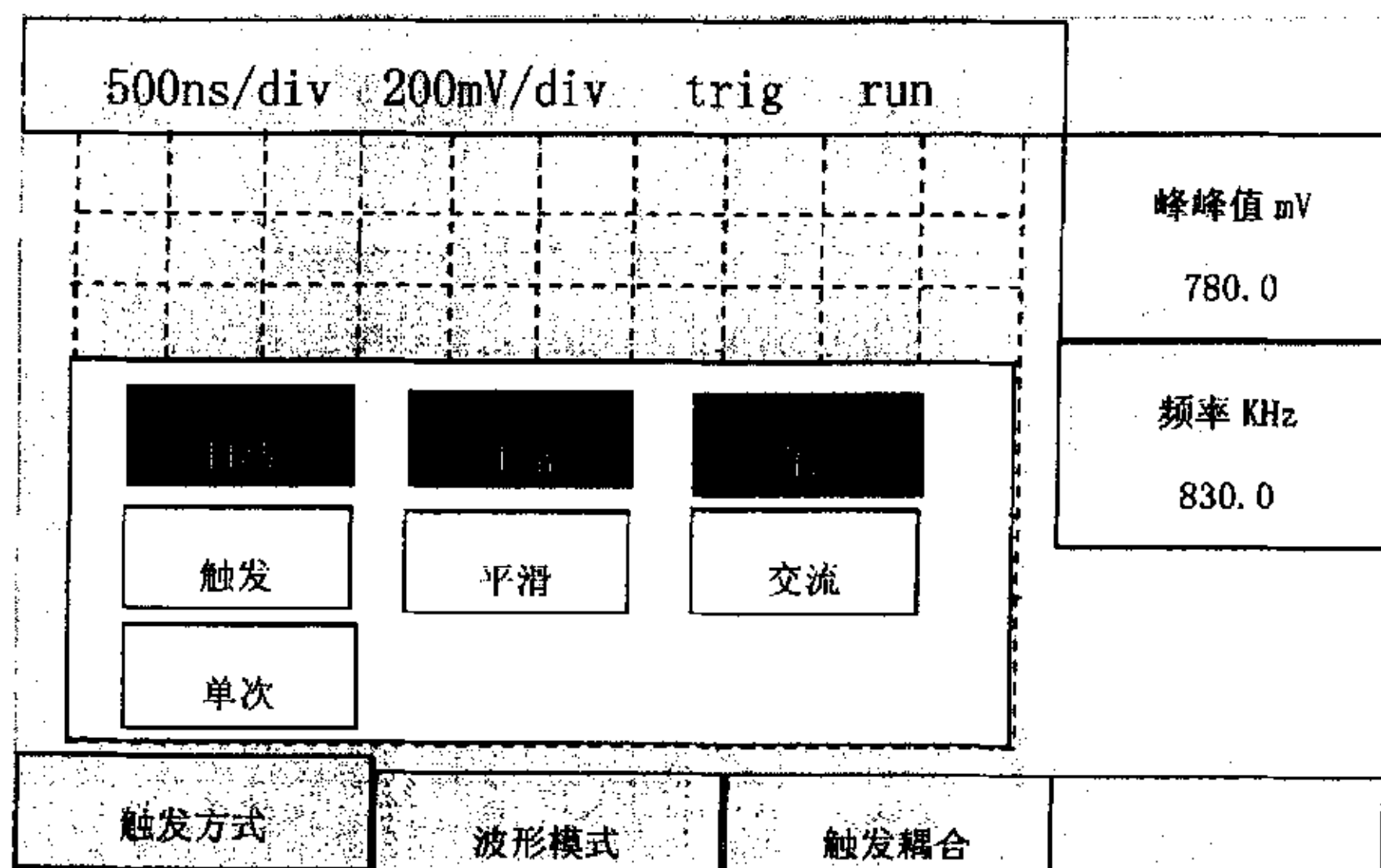


图 2-20 ScopeMenu 模式下菜单显示格式

图 2-18、2-19、2-20 为示波表 LCD 在不同工作模式下菜单的显示格式。如图所示，本系统把 320×240 的液晶屏分为四个部分。最上端是示波表系统设定的系统参数，包括时基、幅基、工作方式（分为 trig 和 scan）、运行方式（分为 run 和 hold）。中间为波形显示区和菜单设置区公用部分，通过菜单设置键来选择需要工作的窗口，这类似与目前的 windows 操作系统，在有限的显示区通过弹出不同的菜单完成多种功能和任务。波形显示区采用栅格显示，占用 250×200 点阵空间。波形显示区除了显示波形外还会显示触发标志和零电平标志。屏幕右边是信号的测试参数，包括峰峰值、频率和周期（频率和周期在同一处显示，当频率大于 1Hz 时显示频率，小于 1Hz 时显示周期）。在屏幕最下方显示操作菜单，菜单操作通过上下左右按键和确认键实现。

第三章 基于 SOPC 技术的示波表数字部分设计

本章主要讲述了 SOPC 技术发展趋势, 以及与传统的嵌入式系统设计相比具有什么样的特点和优势。对上一版本数字示波表系统数字硬件部分进行了客观分析, 就发现的一些不足和问题, 怎么样采用 SOPC 技术解决出现的一些问题进行了分析和设计。

3.1 SOPC 技术的特点及其发展趋势

SOPC 技术主要是指面向专用集成电路设计的计算机技术。与传统的集成电路设计技术相比, 其特点有^[2]:

1. 设计全程都由计算机来完成, 包括电路系统描述、硬件设计、仿真测试、综合、调试、软件设计, 直到硬件系统的完成。
2. 设计技术直接面向用户, 即专用集成电路的被动使用者同时也是专用集成电路的主动设计者。
3. 专用集成电路的实现有了更多的途径, 即除传统的 ASIC 器件外, 还能通过 FPGA、CPLD、ispPAC、FPSC 来实现。

由于电子系统设计领域中的明显优势, 基于大规模可编程器件解决方案的 SOPC 技术及其应用在近年来有了巨大的发展, 将电子设计技术再次推向崭新的历史阶段。这些新的发展大致体现在这样六个方面: 新器件、新工具软件、嵌入式系统设计、DSP 系统设计、超级计算机的设计构想以及与 ASIC 市场的竞争技术。以下将分别予以说明。

一、新器件

由于市场产品的需求和市场竞争的促进, 成熟的 SOPC 技术工具所能支持的, 同时标志着最新 EDA 技术发展成果的新器件不断涌现, 其特点主要表现在 4 方面:

1、大规模

逻辑规模已达数百万门至千万门。近 10 万逻辑宏单元, 可以将一个复杂的电路系统, 包括诸如一个至多个嵌入式系统处理器、各类通信接口、控制模块和 DSP 模块等, 装入一个芯片中, 即能满足所谓的 SOPC 设计。典型的器件有 Altera 公司的 Stratix、StratixII 系列、Excalibue 系列; Xilinx 公司的 Virtex-II Pro 系列、Spartan-3 系列。他们大多达到了 90nm 工艺技术。

2、低功耗

尽管一般的 FPGA 和 CPLD 在功能和规模上都能很好地满足绝大多数系统设计要求,但对于有低功耗要求的便携式产品来说,通常都难于满足要求,但由 Lattice 公司推出的 ispMACH4000z 系列的 CPLD 具有很高的低功耗性能,静态功耗 20 微安,而其他性能,如速度、规模、接口特性等,仍然保持了很好的指标。

3、模拟可编程

各种应用 EDA 工具设计,isp 方式编程下载的模拟可编程及模数混合可编程器件不断出现。最具代表的器件是 Lattice 的 ispPAC 系列器件,其中包括常规模拟可编程器件 ispPAC10;精密高阶低通滤波器设计专用器件 ispPAC80;模数混合通用在系统可编程器件 ispPAC20;在系统可编程电子系统电源管理器件 ispPAC-POWER 等等。

4、含多种专用端口和附加功能模块的 FPGA

例如 Lattice 的 ORT、ORSO 系列器件,含 sysHSI SERDES 技术的 FPGA 具有通信速度高达 3.7Gbps 的 SERDES 背板收发器,其中内嵌 8b/10b 编解码器,以及超过 40 万门的 FPGA 可编程逻辑资源;Altera 的 Stratix、Cyclone、APEX 等系列器件,除内嵌大量 ESB(嵌入式系统块),4K 的 Memory 外,还含有嵌入式锁相环模块(用于时钟发生和管理)、差分低压串行口(用于网络通信)、嵌入式微处理器核等。此外,Stratix 系列器件还嵌有丰富的 DSP 模块。

二、新工具软件

为了适应更大规模 FPGA 的开发,包括片上系统和 DSP 的开发,除了第三方 EDA 公司不断更新的通用 EDA 工具外,主要的 PLD 供应商也相继推出并实时升级其 EDA 开发工具。

如 Lattice 公司从早期的 Synario,升级到后来的 ispEXPERT System、ispDesignEXPERT System、ispLEVER,直到现在的 ispLEVER Advanced System 通用 EDA 工具,可用于开发 Lattice 所有的 FPGA、FPSC、CPLD 和 GDX 器件。

Xilinx 推出的最新设计环境是 ISE6.1i,其中增加了许多新的功能,如支持嵌入式系统的 Linux 开发,支持混合硬件描述语言综合打设计流程、强化排错功能、ChipScope Pro 实时调试器等等。此外还升级了用于软核嵌入式系统调试的工具 Embedded Development Kit 和基于 FPGA 的 DSP 开发环境 System Generator for DSP。

同样,Altera 也推出了适应于不同设计对象的 EDA 开发环境。其中 QuartusII3.0/4.0 是一综合设计环境,被称为 SOPC(可编程单片系统)升级环

境,它承接了原来 MaxplusII 的全部设计功能和器件对象外,还增加了许多新功能和新的 FPGA 器件系列,包括一些适用于 SOPC 开发的大规模器件。

三 在 FPGA 中植入嵌入式系统处理器

目前最为常用的嵌入式系统大多采用了含有 ARM 的 32 位知识产权处理器核的器件。尽管由这些器件构成的嵌入式系统有很强的功能,但为了使系统更为完备,功能更为强大,对更多任务的完成具有更好的适应性,通常必须为此处理器配置许多接口器件,方能构成一个完整的应用系统,如除配置常规的 SRAM、DRAM、Flash 外,还必须配置网络通信接口、串行通信接口、USB 接口、VGA 接口、PS/2 接口等等。这样势必增加了整个系统的体积、功耗、降低了系统的可靠性。但是如果将 ARM 或其他知识产权核,以硬核方式植入 FPGA 中,利用 FPGA 中的可编程逻辑资源和 IP 硬核来构成该嵌入式系统处理器的接口功能模块,就能很好地解决这些问题。对此,Altera 和 Xilinx 公司都相继推出了这方面的器件。例如,Altera 的 Excalibur 系列 FPGA 中就植入了 ARM922T 嵌入式系统处理器;Xilinx 的 Virtex-II Pro 系列中植入了 IBM PowerPC405 处理器。这样就能使得 FPGA 灵活的硬件设计和硬件实现更与处理器强大的软件功能有机地相结合,高效地实现 SOC 系统。

但是,这种将 IP 硬核植入 FPGA 的解决方案存在 5 种不够完美之处:

- 1、 由于此类硬核多来自第三方公司,FPGA 厂商通常无法直接控制其知识产权费用,从而导致 FPGA 器件价格相对较高;
- 2、 由于硬核是事先植入的,设计者无法根据实际需要改变处理器结构,如总线规模、接口方式,乃至指令形式,更不可能将 FPGA 逻辑资源构成的硬件模块以指令的形式形成内置嵌入式系统的硬件加速模块(如 DSP 模块),以适应更多的电路功能要求;
- 3、 无法根据实际设计需求在同一 FPGA 中使用指定数量的处理器核;
- 4、 无法裁减处理器硬件资源以降低 FPGA 成本;
- 5、 只能在特定的 FPGA 中使用硬核嵌入式系统,如只能使用 Excalibur 系列 FPGA 中的 ARM 核,Virtex-II Pro 系列中的 PowerPC 核。

如果利用软核嵌入式系统处理器就能有效地克服解决上述不利因素。它们分别是 Altera 的 Nios 核与 Xilinx 的 MicroBlaze。特别是前者,即 Nios CPU 系统,使上述 5 方面的问题得到全面的解决。

四 基于 FPGA 的 DSP 系统设计

在过去很长一段时间,DSP 处理器(如 TI 的 TMS320 系列)是 DSP 应用系统核心器件的唯一选择。尽管 DSP 处理器具有通过软件设计能适用于不同功能实现的灵活性,但面对当今迅速变化的 DSP 应用市场,特别是面对现代通信技术的发

展,早已显得力不从心了。例如其硬件结构的不可变性导致了其总线结构的不可改变性,而固定的总线宽度,已成为 DSP 处理器一个难以突破的瓶颈。DSP 处理器的这种固定的硬件结构特别不适合于当前许多要求能进行结构特性随时变更的应用场合,即所谓面向用户型的 DSP 系统,或者说是用户可定制型(如利用 Nios 加 FPGA 资源构成的 DSP 硬核加速模块的 DSP 系统),或可重配置型的 DSP 应用系统(Customized DSP 或 Reconfigurable DSP)等,如软件无线电、医用设备、导航、工业控制等方面。至于满足速度要求方面,由于采用可顺序执行的 CPU 架构, DSP 处理器则更加不堪重负。

面向 DSP 的各类专用的 ASIC 芯片虽然可以解决并行性和速度的问题,但是昂贵的开发设计费用、耗时的设计周期,及不灵活的纯硬件结构,使得 DSP 的 ASIC 解决方案失去了其灵活性。

现代大容量、高速度的 FPGA 的出现,克服了上述方案的诸多不足。在这些 FPGA 中一般都内嵌有可配置的高速 RAM、PLL、LVDS、LVTTTL 以及硬件乘法累加器等 DSP 模块。用 FPGA 来实现数字信号处理可以很好地解决并行性和速度问题,而且其灵活的可编程特性,使得 FPGA 构成的 DSP 系统非常易于修改,易于测试和硬件升级。

在利用 FPGA 进行 DSP 系统的开发应用上,已有了全新的设计工具和设计流程。DSP Builder 就是 Altera 公司推出的一个面向 DSP 开发的系统级工具。它是作为 Matlab 的一个 Simulink 工具箱(ToolBox)出现的。Matlab 是功能强大的数学分析工具,广泛用于科学计算和工程计算,可以进行复杂的数字信号处理系统的建模、参数估计、性能分析。Simulink 是 Matlab 的一个组成部分,用于图形化建模仿真。DSP Builder 作为 Simulink 中的一个工具箱,使得用 FPGA 设计 DSP 系统完全可以通过 Simulink 的图形化界面进行,只要简单地进行 DSP Builder 工具箱中的模块调用即可。值得注意的是, DSP Builder 中的 DSP 基本模块是以算法级的描述出现的,易于用户从系统或者算法级理解,甚至不需要十分了解 FPGA 本身和硬件描述语言。DSP Builder 中的 DSP 处理器优点有:

- 1、 工作速度快。相关的 A/D、D/A 工作速度达到十至数百 MHz;
- 2、 在数字通信领域,如软件无线电领域中优势明显;
- 3、 对于设计中的协议更新、通信格式改变、硬件工作模式切换等要求,能够进行实时或非实时的重构,十分容易实现。
- 4、 开发技术易标准化和规范化,开发效率高。
- 5、 采用 SOC 技术,具有自顶向下的系统级设计及优化。

现代 DSP 解决方案完全基于 EDA 特有的自顶向下的设计流程和高速的并行算法结构,设计方法可以从硬件无关的系统级开始,首先利用 Matlab 强大的系统

设计、分析能力，和 DSP Builder 提供的模块（或 IP 核）完成顶层系统设计及系统仿真测试，然后通过 DSP Builder 中的 Signal Compiler 将 Simulink 模型文件自动转换成 VHDL 的 RTL 表述和工具命令语言（Tcl）脚本，再进行 RTL 级的功能仿真，并通过 SOPC 设计工具 QuartusII 进行综合、适配与时序仿真，最后形成对指定 FPGA 进行编程配置的 POF 和 SOF 文件，实现硬件 DSP 系统的仿真测试，其间可以将设定好的嵌入式逻辑分析仪 SignalTapII 和 DSP 硬件系统文件一同适配并下载到 FPGA 芯片中去，然后可在 Matlab 的 Simulink 窗口观测到通过 JTAG 口，来自 SignalTapII 测得的芯片中 DSP 硬件模块的实时工作波形，从而实现硬件仿真和调试的目的。最后，如有必要，可以将 DSP 硬件模块，通过 SOPC 接口，编辑成 Nios 嵌入式系统处理器的用户指令。显然，这一先进的设计技术终于使 DSP 技术在频率高端的数字信号处理走上了规范化、标准化、高效率 and 知识产权化的道路。

五 超级计算机的设计构想

SOPC 技术与 FPGA 在通信领域中的成功已是众所周知的事实了，而对于一般的处理器的实现也已司空见惯。如利用硬件描述语言设计嵌入式系统处理器、各类 CPU 或单片机等，并以软核的形式在 FPGA 中实现。但利用 FPGA 实现高性能的处理器，乃至超级计算机处理器功能，不能说是一项崭新的尝试。目前，尽管基于 EDA 技术的计算机处理器的 FPGA 实现尚未进入全面的商业化开发阶段，但其研究和应用成果却不能不令人深感 SOPC 在这一领域中的巨大潜力和广阔的市场。特别是当利用那些嵌有功能强大的微处理器的 FPGA 构建服务器中的处理器时，该方案具备了巨大的硬件设计灵活性。例如一台网络服务器的 FPGA 中的可编程逻辑部分可以根据不同的标准进行订制，而不必为每个国家开发一种新的芯片。不言而喻，在强大的 EDA 工具的帮助下，基于 FPGA 的处理器在一定程度上正在蚕食微处理器的市场。50 多年前，匈牙利数学家 Neumann 提出了电脑的设计构想，即通过中央处理器从存储器中存取数据，并逐一处理各项任务。现在，通过可编程芯片取代微处理器，电脑可并行处理多项任务，改变了基于 Neumann 提出的电脑构架基本工作方式，从而为计算机设计领域突破已趋于速度极限的传统微处理器开辟了一条全新的道路。

以基于 SOPC 开发技术的 FPGA 实现的处理器在超级计算机的设计中也将有其一席之地。传统的超级计算机应该是科技世界中的极品，其售价奇高、速度飞快、它集成了数以千计的微处理器。但这种计算机也浪费了非常多的芯片资源，每个处理器只能进行单任务操作，大部分功能难以发挥。如果采用 FPGA 来武装超级电脑，在发挥 FPGA 原有并行工作的基础上，利用 FPGA 的可重配置特性，即针对不同的处理任务和算法模型，现场配置 FPGA 相应处理器结构文件，从而使得同

一硬件电路结构在不同的时间段,形成不同的等效硬件结构以高效地对付不同的处理任务。

六 与 ASIC 市场的竞争技术

尽管 EDA 技术开发对象是 ASIC 和 FPGA,但他们在应用领域中的优势和劣势的对比历来十分鲜明。然而在近年来,随着 EDA 开发工具功能的不断加强,FPGA 器件性能的不断提高,这种对比在许多方面正在趋于模糊。

一方面,相当于 ASIC 应用市场,具有竞争力的 FPGA 器件的出现,使 FPGA 原来在单片成本、逻辑规模和工作速度等方面相对于 ASIC 的劣势越来越小,而其巨大的灵活性、现场可配置性(相当于现场硬件升级或硬件重构),良好的设计效率和成功率,使得 FPGA 成为 ASIC 市场竞争者的地位不断强化。Altera 推出的 Cyclone 系列的 FPGA 和 Xilinx 推出的 Spartan-3 系列的 FPGA 都成为此类大规模可编程器件的代表。当然这只是一间接的竞争与替代。

另一方面,通过强化 EDA 工具的设计能力,在保持 FPGA 开发优势的前提下,引入 ASIC 的开发流程,从而对 ASIC 市场形成直接竞争。最明显的就是 Altera 推出的 Hardcopy 技术。

与 Hardcopy 技术相比,对于系统级的大规模 ASIC (SOC) 开发,有不少难于克服的问题,其中包括开发周期长、产品上市慢、一次性成功率低、有最小的投片量要求、设计软件工具繁多且昂贵、开发流程复杂等。例如,此类 ASIC 开发,首先要求可观的技术人员队伍、高达数十万美元的软件费用,和高昂的掩膜费用,且整个设计周期可能长达一年。ASIC 设计的高成本和一次性低成功率很大部分是由于需要设计和掩膜的层数太多(多达十几层)。然而如果利用 Hardcopy 技术设计 ASIC,开发软件费用仅是 QuartusII 软件的费用,SOC 级规模的设计周期不超过 20 周,转化的 ASIC 与用户设计习惯的掩膜层只有两层,且一次性投片的成功率近乎 100%,即所谓的 FPGA 向 ASIC 的无缝转化。而且用 ASIC 实现后的系统性能将比来在 HardCopy FPGA 上验证的模型提高近 50%,而功耗则降低 40%。一次性成功率的大幅度提高即意味着设计成本的大幅降低和产品上市速度的大幅提高。

HardCopy 技术是一种全新的 SOC 级 ASIC 设计解决方案,即将专用的硅片设计和 FPGA 至 HardCopy 自动迁移过程结合在一起的技术,即首先利用 QuartusII 将系统模型成功实现于 HardCopy FPGA 上,然后帮助设计者把可编程解决方案无缝地迁移到低成本的 ASIC 上的实现方案。这样,HardCopy 器件就把大容量 FPGA 的灵活性和 ASIC 的市场优势结合起来,实现对于有大批量要求并对成本敏感的电子系统产品上。从而避开了直接设计 ASIC 的困难,而从原型设计提升至产品制造,通过 FPGA 的设计十分容易地移植到 HardCopy 器件上,达到降低成本,又

加快面市周期的目的。HardCopy 器件（如 HardCopy Stratix 系列、Excalibur 系列 FPGA）避免了 ASIC 的风险，它采用 FPGA 的专有迁移技术。其 HardCopy ASIC 是直接在 Altera PLD 体系之上构建的。本质上，HardCopy 器件是 FPGA 的精确复制，剔出了可编程性，专用配置和采用金属互连使用的走线。这样器件的硅片面积就更小，成本就更低，而且还改善了时序特性。

3.2 Quartus II 开发软件及相应 SOPC 工具介绍^{[4] [6] [7] [10]}

Altera 公司的开发软件 QuartusII3.0/4.0 是一综合设计环境，被称为 SOPC（可编程单片系统）升级环境，它承接了原来 MaxplusII 的全部设计功能和器件对象外，还增加了许多新功能和新的 FPGA 器件系列，包括一些适用于 SOPC 开发的大规模器件。相对于其它 EDA 工具，QuartusII 还有许多更具特色和更强的适用功能，大致有以下几点：

- 1、QuartusII 与 MATLAB/Simulink 和 DSPBuilder，以及第三方的综合器和仿真器相结合，用于开发 DSP 硬件系统。
- 2、QuartusII 与 SOPC Builder 结合用于开发 Nios 嵌入式系统。
- 3、QuartusII 含实时调试工具，嵌入式逻辑分析仪 SignalTapII。随着逻辑设计复杂性的不断增加，在计算机上以软件方式的仿真测试变得更加耗费时间，而不断需要重复进行的硬件系统的测试同样变得更加困难。为了解决这些问题，设计者可以将一种高效的硬件实时测试手段和传统的系统测试方法相结合来完成，这就是嵌入式逻辑分析仪 SignalTapII 的使用。它可以随设计文件一并下载于目标芯片中，用以捕捉目标芯片内部设计者感兴趣的信号节点处的信号，而不影响原硬件系统的正常工作。可以用两种方式使用 SignalTapII，一种是直接使用 QuartusII 中的 SignalTapII；另一种是通过 MATLAB 的 Simulink 和 DSP Builder 来使用 SignalTapII。DSP Builder 中包含有 SignalTapII 模块，设计者可以使用此模块设置用于信号探索的事件触发器，配置存储器，并能显示波形。这可以使用 Node 模块来选择有待监测的信号。使用 SignalTapII 后，当触发器运行后，通常要占用部分内部 RAM，因为在实际监测中，将测得的样本信号暂存于目标器件中的嵌入式 RAM（如 ESB）中，然后通过器件的 JTAG 端口和 ByteBlasterII 下载线将采得的信息传出，送于 PC 机进行分析，PC 机中送达的数据是以文本文件的方式存储的，并可在 Simulink 图上显示波形。
- 4、QuartusII 含有一种十分有效的逻辑设计优化技术，即设计模块在 FPGA 中指定区域内的逻辑锁定功能，LogicLock 技术。逻辑设计锁定技术是 SOPC

宜。

特别值得一提的是，通过 Matlab 和 DSP Builder，用户可以直接为 Nios 嵌入式处理器设计各类加速器，并以指令的形式加入进 Nios 的指令系统，从而成为 Nios 系统的一个接口设备，与整个片内嵌入式系统融为一体。即利用 DSP Builder 和基本的 Nios CPU，用户可根据设计项目的具体要求，随心所欲地构建自己的 DSP 处理器系统，而再也不必拘泥于其它 DSP 公司已上市的有限款式的 DSP 处理器了。图 3-2 比较直观得给出了具有嵌入式 Nios CPU 的 FPGA 硬件结构框图。

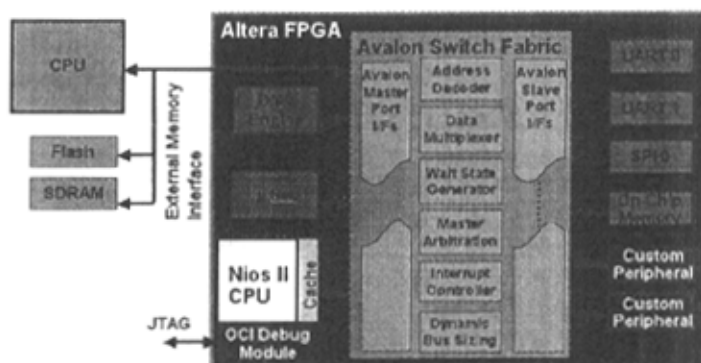


图 3-2 具有嵌入式 Nios CPU 的 FPGA 硬件结构框图

3.3 AVALON 总线结构及其特点^{[7][31]}

CPU 与多个外设的通信通常都是由总线来完成的，传统的 DSP+FPGA 系统解决方案是采用 FPGA 作为地址译码，由 CPU 通过读写不同的地址端口来访问不同的外设，或者由外设采取中断的方式，占据 CPU 总线，实现和 CPU 之间的通信。而 Altera 公司 SOPC 技术下的 Avalon 总线结构设计就显得异常灵活，它可以通过用户的设置，由 Avalon 总线完成地址译码、中断控制、数据交换等功能；也可由用户通过设置 CPU 与不同外设总线的宽度，通过定义总线数据的主从方式，实现多 CPU 与不同外设的并行通信，避免了传统多 CPU 工作时总线瓶颈现象，大大提高了工作速度与效率。图 3-3、图 3-4、图 3-5、图 3-6 形象直观的解释了 Avalon 总线在嵌入式系统应用中的特点和优势：

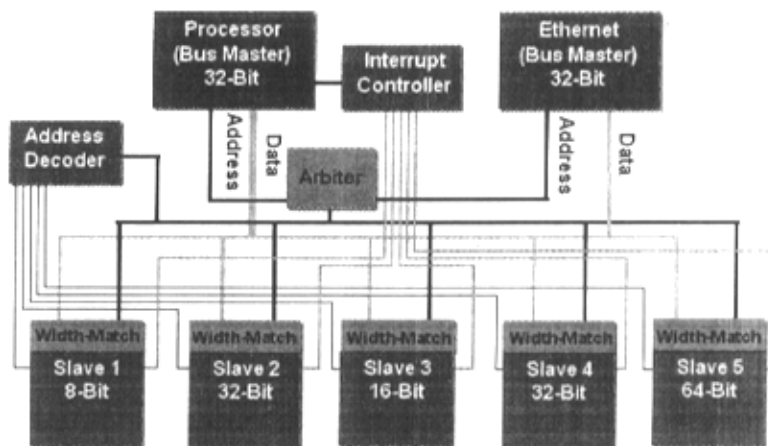


图 3-3 CPU 利用中断和总线地址译码与外设通信的工作方式

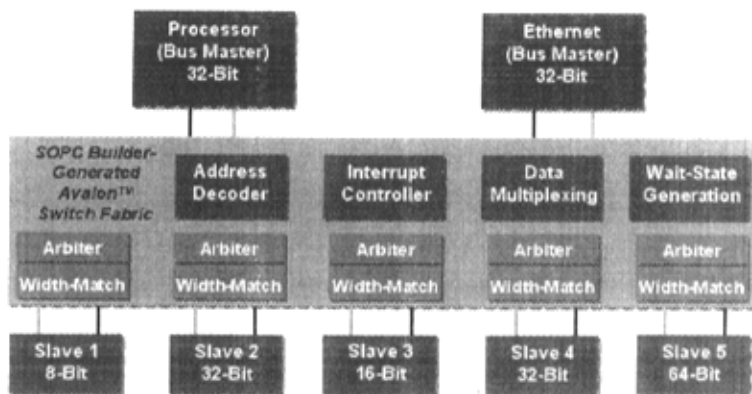


图 3-4 SOPC 技术下 Avalon 总线的特点

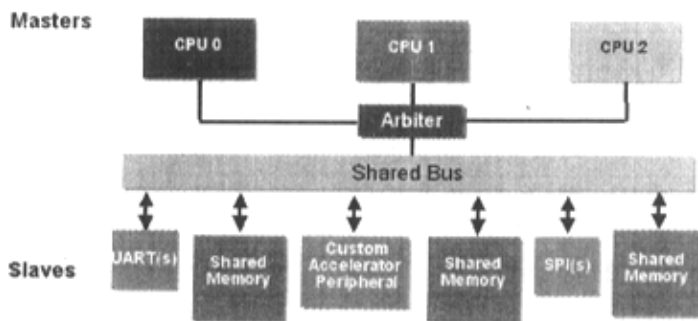


图 3-5 传统多处理器处理多任务时总线瓶颈现象

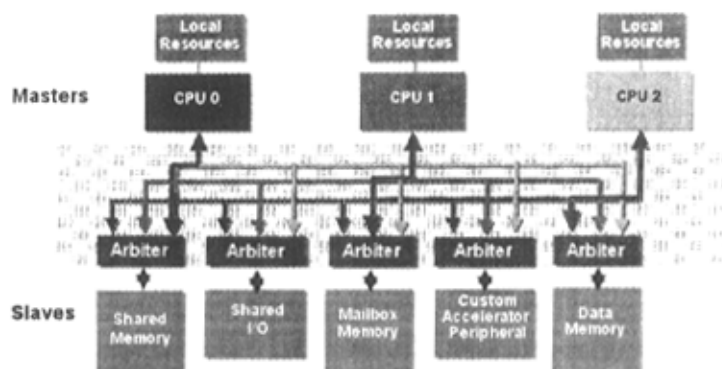


图 3-6 具有多处理器同时处理任务性能的 AVALON 总线

3.4 基于 SOPC 技术的数字存储示波表数字硬件部分设计

本系统设计分为软件设计和硬件设计两大部分。硬件部分提供外围的接口支持，包括数据采集模块、高速 FIFO 及其控制器模块、显示驱动、测频测周模块、参数传送模块等，这些接口模块在 Nios CPU 控制下相互配合，实现系统与不同外设通信功能。Nios 是 Altera 公司提供的 CPU 软核，可以通过 SOPC Builder 对其进行定制，简化了系统的设计。示波表通过 Nios 中的软件来控制 FPGA 逻辑接口单元，按照用户键盘的设置，实现对系统的数据采集、运算，完成数据的处理，最后在 LCD 液晶屏上显示。

3.4.1 Nios 的软核配置^{[4][5][10]}

Nios 作为系统流程的控制核心，其作用不言而喻。通过采用 SOPC Builder 对 Nios 进行定制，极大地降低了系统的资源。由于本系统所需的访问空间大于 64K，因此，采用的 Nios 软核是来源于 Altera 公司提供的标准 32 位 Nios 软核 (Standard 32)，通过裁减掉网络接口及 CF 卡接口，得到系统 CPU 的雏形。由于系统中由多个模块需要与 Nios 交互，因此，需要在 CPU 上扩充 Avalon 总线接口达到将自定义的模块挂到 Nios 的目的。系统中需要挂入到 Nios 的自定义模块主要有 FIFO 控制模块和参数传送模块。FIFO 控制模块在 FIFO 数据就绪后会主动将数据传送到 SDRAM 中，因此属于主动发起传输的模块，在 Nios 中的设计是为其分配一个 Avalon 总线主端口，达到主动传输的目的；参数模块在系统中的

作用为响应 Nios 发出的参数访问请求，处于被动地位，无需主动发起传输，只需要分配 Avalon 从端口即可。

经过裁减的 Nios 模块如图 3-7 所示：

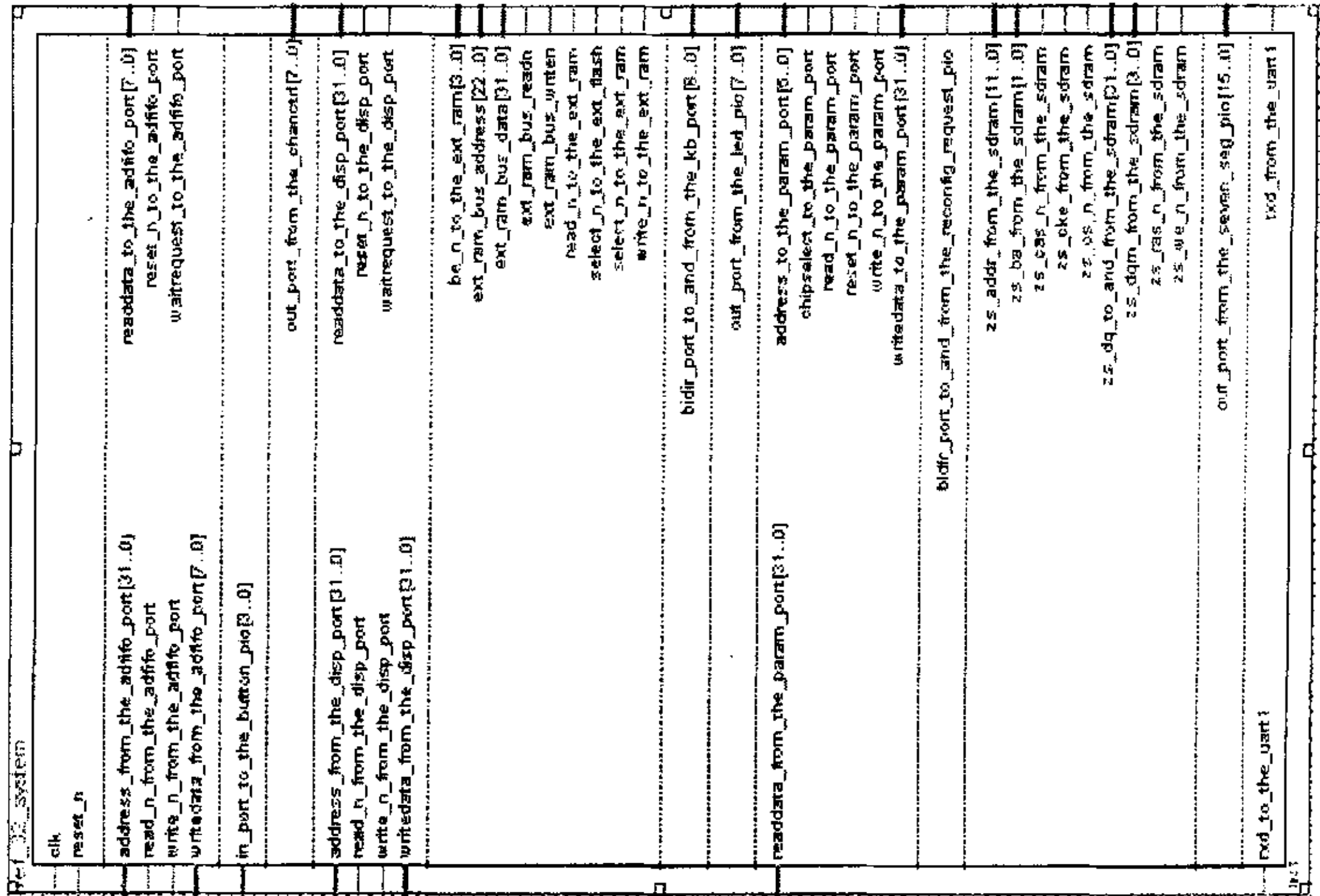


图 3-7 经过裁剪的 Nios 模块

3.4.2 数据采集控制器模块

数据采集部分直接影响着示波表波形的质量和效果。在数据采集中，必须处理好 A/D 工作频率、FIFO 取数频率、数据存储深度之间的关系。一般 A/D 器件采样频率都有一定的限制，以本系统选择的 AD9283 为例，其最佳工作频率要求 $10\text{MHz} \leq f_s \leq 100\text{MHz}$ ，对于被测信号而言，采样频率过高，在有限的数据存储深度情况下，只能采集到很短时间的一段数据，这对于低频率信号而言，无法完整的显示信号的一个周期，失去了测量的意义。这这种情况下，通常要求 A/D 和 FIFO 配合工作，一方面使 A/D 工作在最佳的信噪比频率范围；另一方面，通过来调整 FIFO 的取数频率等效于降低 A/D 的采样频率，完成对数据的采集工作。

对于本系统设计的时基档位、A/D 采样频率、FIFO 取数频率之间关系如下表 3-1 所示：

表 3-1 时基、A/D 采样频率、FIFO 取数频率对应表

时基范围	A/D 采样频率	FIFO 取数频率
50ns	100M	100M
100ns	100M	100M
200ns	100M	100M
500ns	100M	100M
1us	50M	50M
2us	25M	25M
5us	10M	10M
10us	10M	5M
20us	10M	2.5M
50us	10M	1M
100us	10M	500K
200us	10M	200K
500us	10M	100K
1ms	10M	50K
2ms	10M	25K
5ms	10M	10K
10ms	10M	5K
20ms	10M	2.5K
50ms	10M	1K
100ms	10M	500
200ms	10M	200
500ms	10M	100
1s	10M	50
2s	10M	20
5s	10M	10

3.4.3 FIFO（先进先出存储器）模块设计

在数字存储示波器 FIFO 设计当中，不仅需要考虑 FIFO 与 A/D 配合，根据控制字调整取数频率的问题，还应该考虑取数起始点和结束点的问题，也就是示波

表观测周期信号的触发问题。通常触发方式大致可以分为以下三大类：根据触发信号的来源不同，可分为“内触发”和“外触发”；根据触发边沿的不同，可分为“上升沿触发”和“下降沿触发”；根据触发时间的不同，可分为“同步触发”、“正延迟触发”和“负延迟触发”。本系统设计的触发电路主要是采用边沿触发，是由整形电路按照比较放大原理将信号整形为数字信号，数字信号的变化作为触发信号，用来控制 FIFO 取数起始点和结束点，从而使信号在 LCD 屏上稳定显示。

上一版本示波表系统对 FIFO 的控制是由软硬件协同工作完成的，CPU 根据系统设置的触发时间数据，综合产生触发提前量在响应触发中断后送往 FIFO 控制器。FIFO 控制器在收到触发提前量以后，根据当前写指针的位置设置该次数据采集写指针的结束位置和送数的读指针的起始位置。由于对指针的位置是估算的，往往和触发中断协调不好，容易产生误差。于是这一版本中我们对 FIFO 工作方式进行了改进，实现了信号的稳定触发。

FIFO（先进先出存储器）是由 FPGA 中双端口 RAM 实现的环状结构（如图 3-8 所示），用来存储 A/D 采样结果，数据宽度与 A/D 位数一致，环状结构保证了数据块的及时更新。

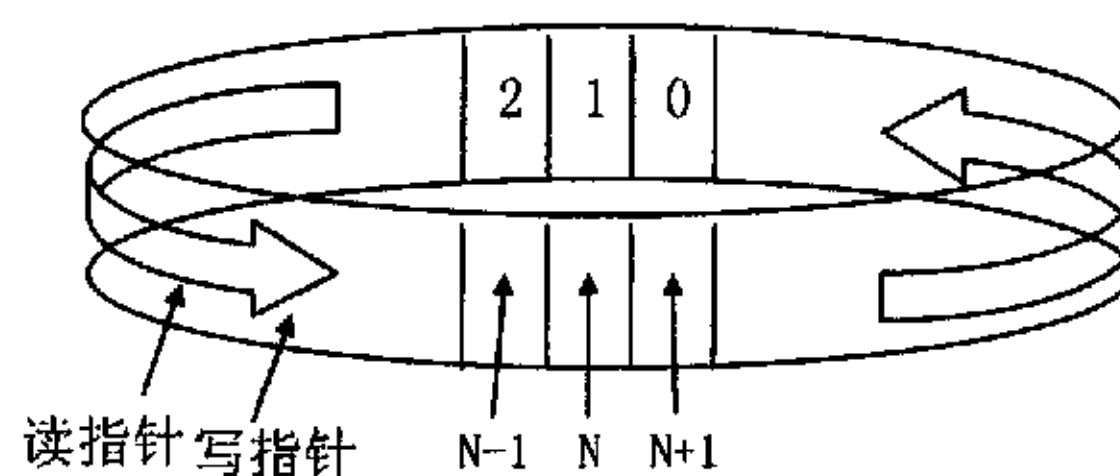


图 3-8 由双端口 RAM 实现的环状 FIFO

环型 FIFO 的读写操作不受 FIFO 存储深度的影响，写端口循环的将数据写入存储区的各个单元，同样读端口也只是循环的将连续单元的数据读出，FIFO 的空、满标志位由读写指针的相对位置来产生，当读指针 = 写指针 - 1，FIFO 空；当读指针 = 写指针 + 1，FIFO 满。

针对被测量信号频率范围和系统时基设置值，示波表有两种工作方式，在高频段常采用为触发 (TRIG) 模式工作，而对于低频段 (示波表时基大于 50ms/div)，示波表就采用滚动 (SCAN) 模式。在触发 (TRIG) 模式下，又分为自动 (Auto)、常态 (Trig)、单次 (Single) 三种方式。FIFO 的设计必须综合考虑示波表以上各种情况，由用户根据需求在不同模式下进行切换。我们采用由 CPU 提供模式选择控制字和相应的参数设置，相关的控制信号和参数一旦确定好后，完全交给 FPGA 硬件根据触发时刻来控制 FIFO 取数的起始点和结束点，不受到软件的干预，

这样就保证了在触发模式下 FIFO 以固定的相位对周期信号进行取数，实现对周期信号的稳定显示。由于 FIFO 设计相对比较复杂，下面重点以触发（TRIG）模式工作下 FIFO 的 FPGA 设计为例，阐述其工作原理和设计流程。

如下图 3-9 所示，我们要想使以下矩形波信号按照我们设定的触发位置在 LCD 上显示出来，考虑到 FIFO 容量为 2K 个字节、LCD 需要 250 个点显示的情况，我们采取 FIFO 中的数据隔 8 个显示 1 个的方式进行显示。以这种显示方式为参考来分析 FIFO 的工作流程为：首先，FIFO 的默认状态为写数据状态，当触发信号来以后，根据用户设定触发的时刻为起始点进行计数，如果触发点后显示的数据占总数据的 60%，如图 3-10 所示，那么 FIFO 在触发后计数量也为 FIFO 总环长的 60%，当计数结束时，FIFO 停止写数据，CPU 将从计数结束的下一个指针位置起连续将整个 FIFO 的 2K 数据读走，按照一定的间隔在 LCD 上显示出来，这样就完成了一次带有触发的数据的采集显示。

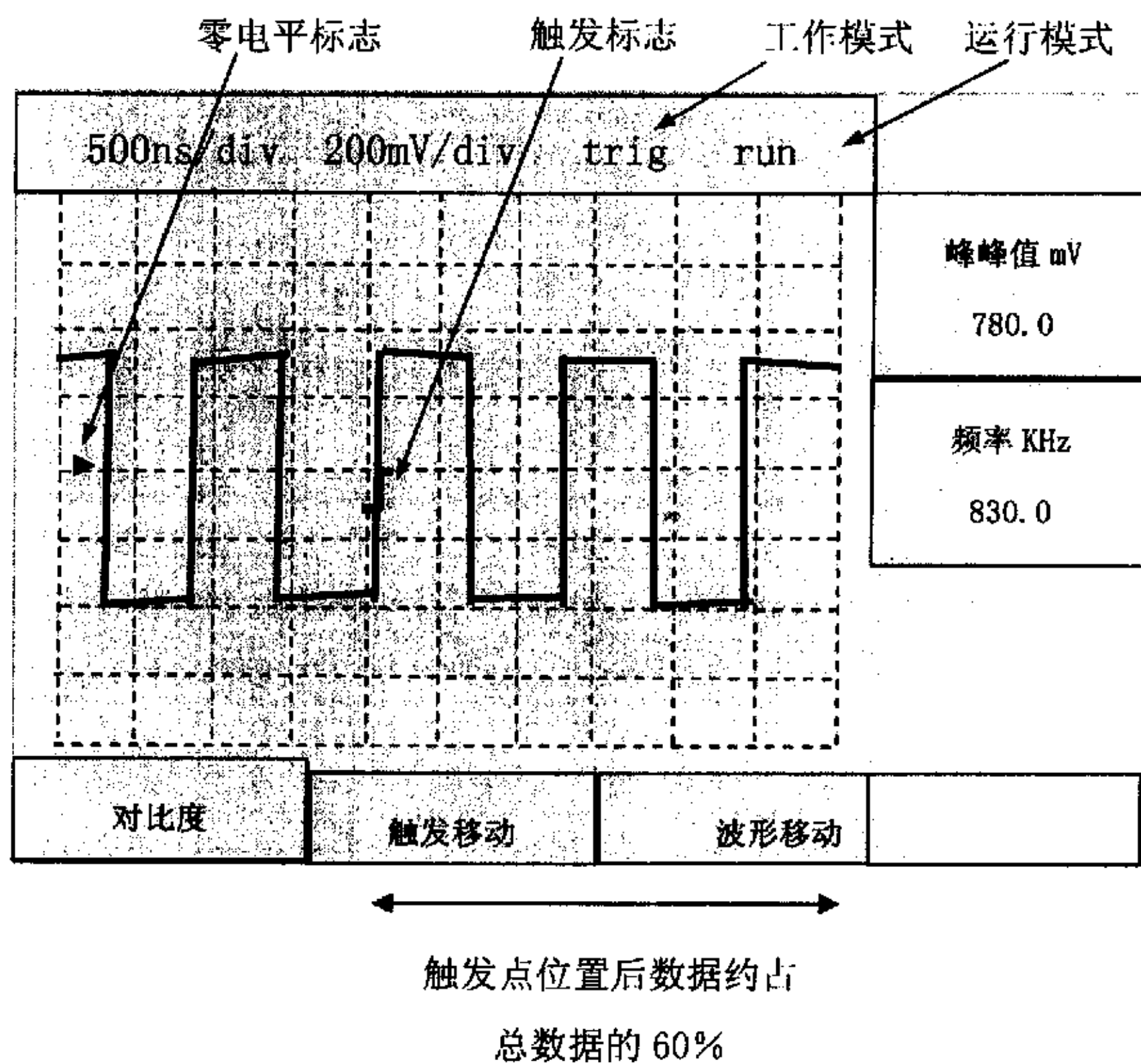


图 3-9 在显示屏上触发点位置与总数据量关系

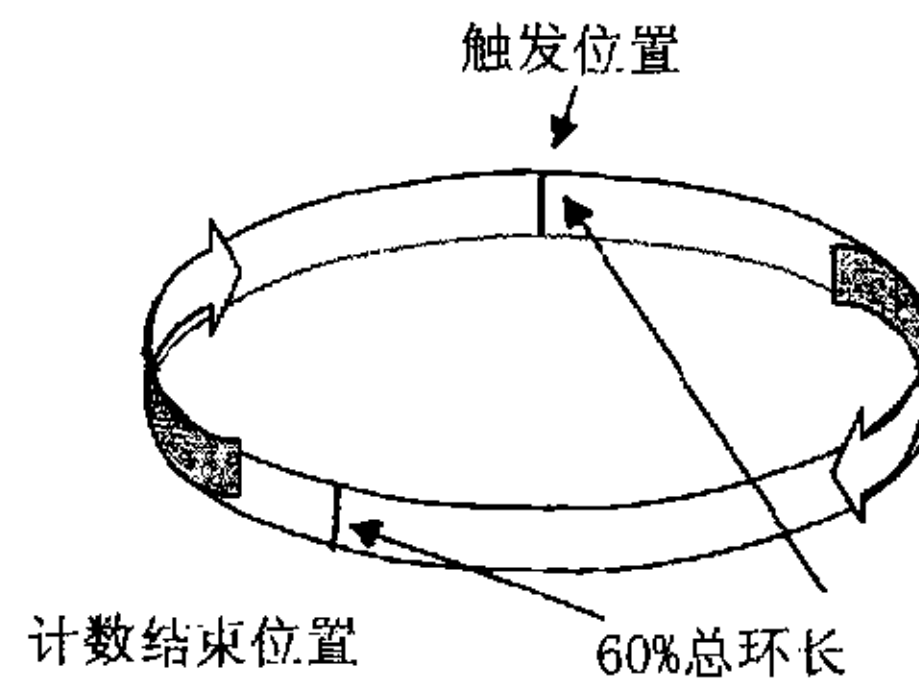


图 3-10 触发点位置与 FIFO 环计数结束点的关系

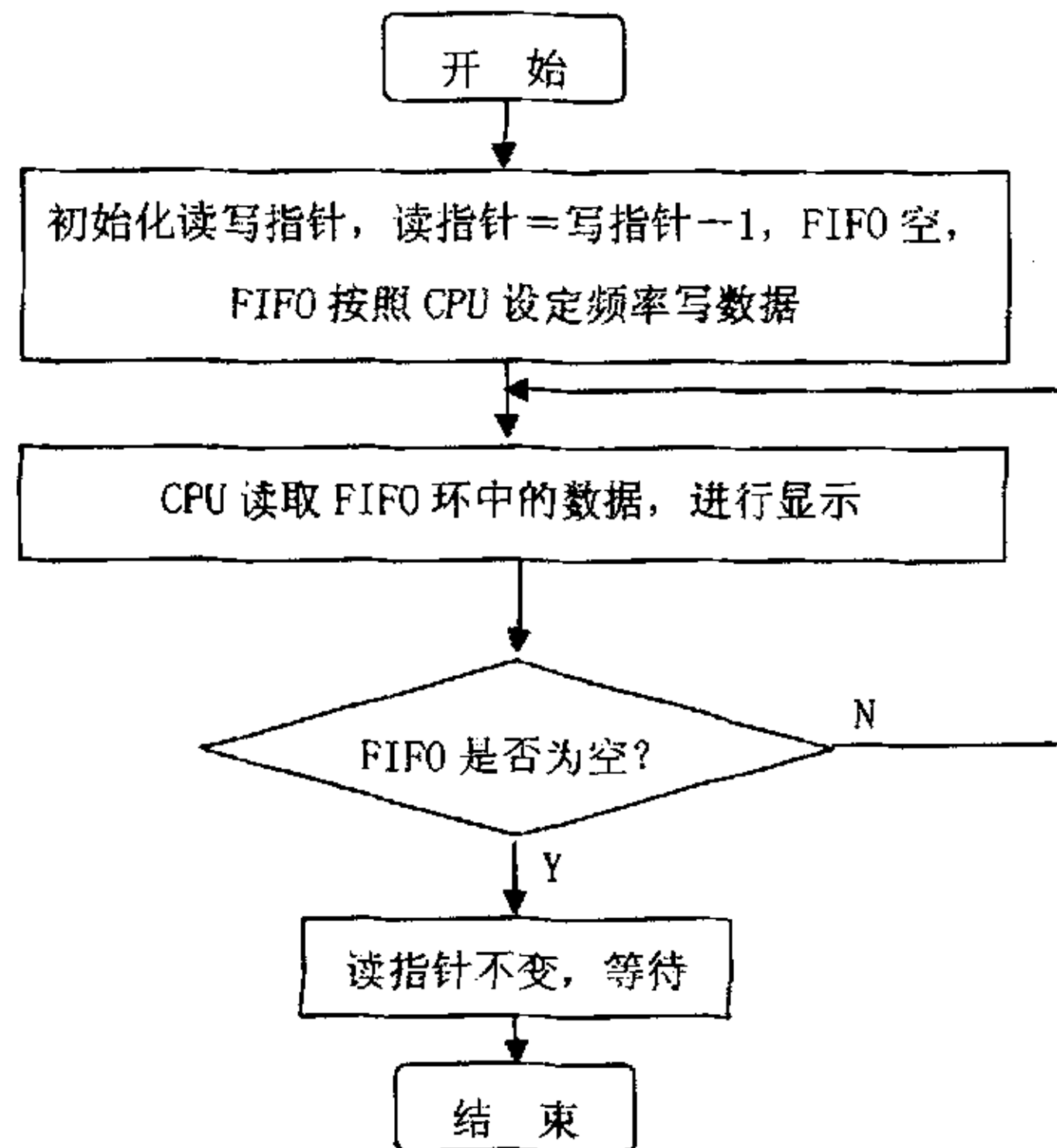


图 3-11 滚动模式下 FIFO 环的 FPGA 设计流程图

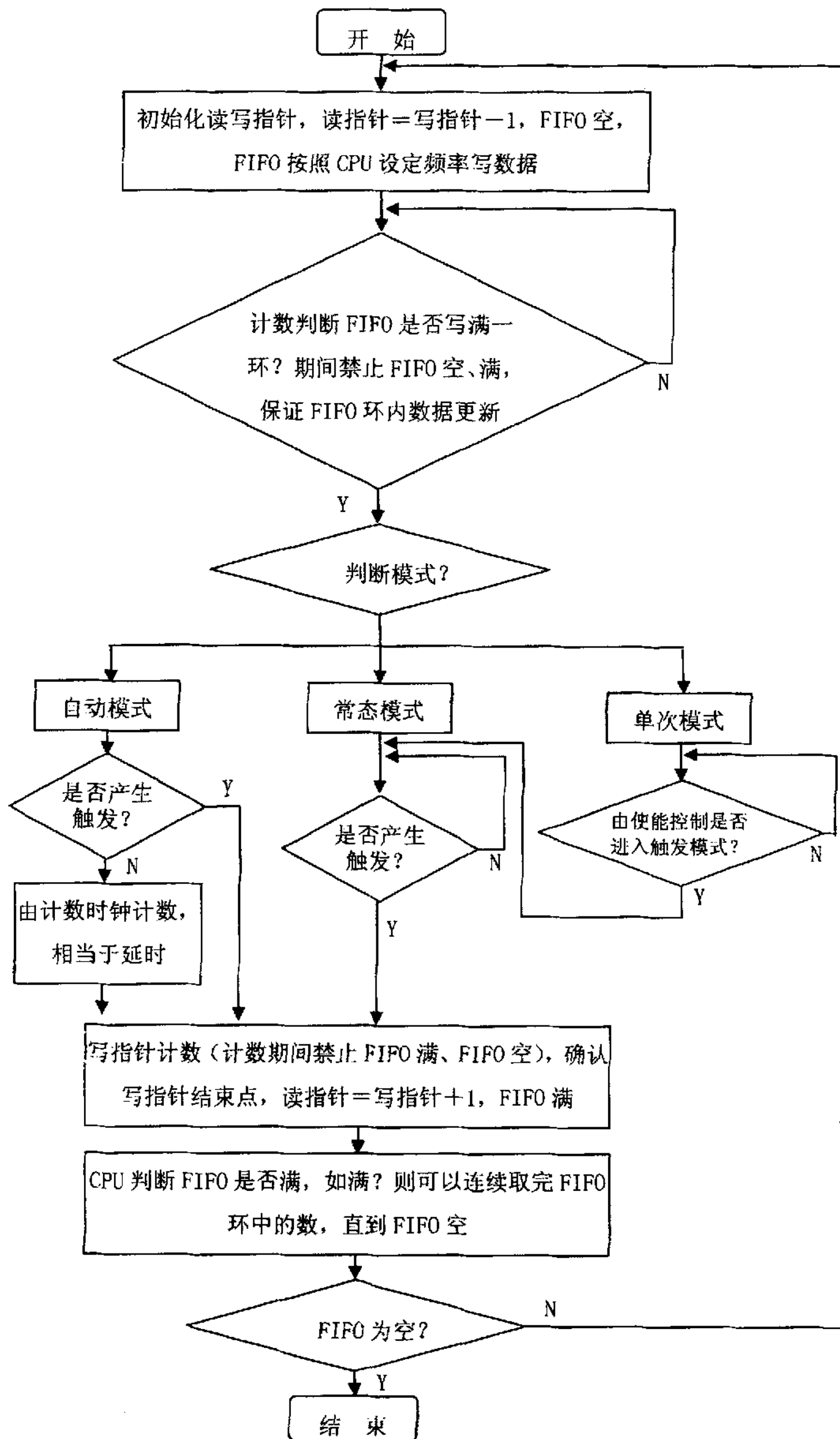


图 3—12 触发模式 FIFO 环 FPGA 设计流程图

3.4.4 测频测周模块^[30]

频率或周期的测量在示波表设计中是必不可少的，一方面它作为用户直接使用的功能；另一方面，示波表必须根据频率或周期自动地调整时基，完成示波表对外界信号的自动测试功能。关于频率或周期的测量思路为：对于外部整形后频率较高的信号，我们采用标准周期的时钟信号作为门限，利用对外部信号进行计数的方式，来确定外部时钟的频率。如果是频率较小、周期较大的信号，采用上述方式显然不行，我们就以外部整形信号作为门限，对标准频率的时钟信号计数达到测量周期的目的。该方案大体上由四个模块组成，其中标准时钟发生器负责利用 100MHz 系统工作时钟得到 100Hz 测量门限和 1KHz 计数脉冲；频率测量单元负责测试信号频率；周期测量单元负责测试信号周期；数据选择单元根据测量所得的结果自动选择将频率或者是周期信号存储到相应存储单元供 CPU 访问。具体 FPGA 实现方式参见图 3-13：

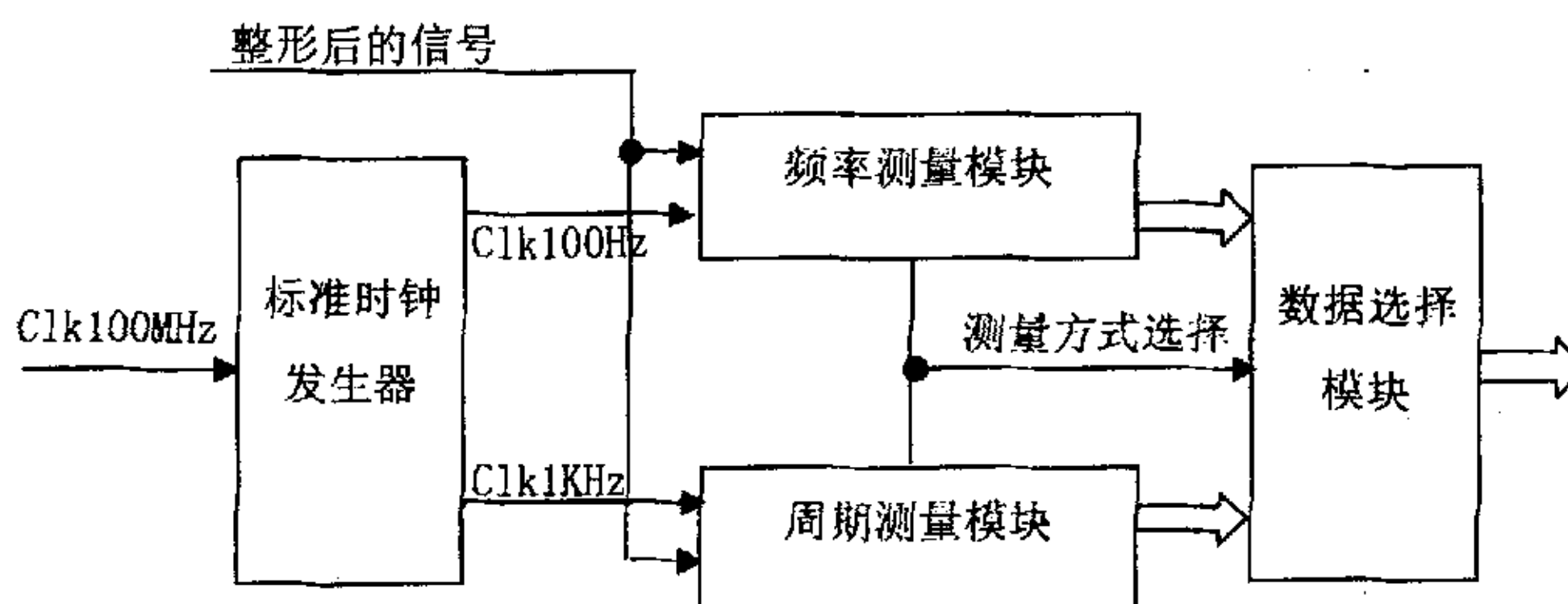


图 3-13 测频测周模块设计框图

3.4.5 LCD 驱动模块

本设计选用 Microtips Technology Inc. 公司 MTG-F32240HFWNSEB-01 型 LCD 液晶显示器。以下简要的对 LCD 液晶显示器的工作原理进行介绍。MTG-32240X 是 FSTN Positive 类、320×240 像素、图形显示方式的液晶显示器件。它带有行列驱动电路以及 EL 背光电路。

该类液晶显示器的接口时序主要反映在驱动信号 CL1、CL2、FRM 和数据 D0-D3 之间的时序配合上(如图 3-14 所示)。各驱动信号参考工作频率：CL2 为 1.28MHz；CL1 为 16KHz；FRM 为 66Hz。其详细的驱动时序为发出 80 个段移位脉冲 CL2 后(即扫描一行结束)，发出一个行频脉冲 CL1，当发出 240 个 CL1 脉冲后发出帧开始信号 FRM，标志整屏显示结束。以上过程不断重复，即可完成液晶显示器的动态

显示。

显示控制模块需要从 SDRAM 中读取显示数据,然后将数据按照接口的格式送入 LCD 模块,同时,显示模块需要驱动外接的 LCD 时序需求,提供相应的逻辑控制。

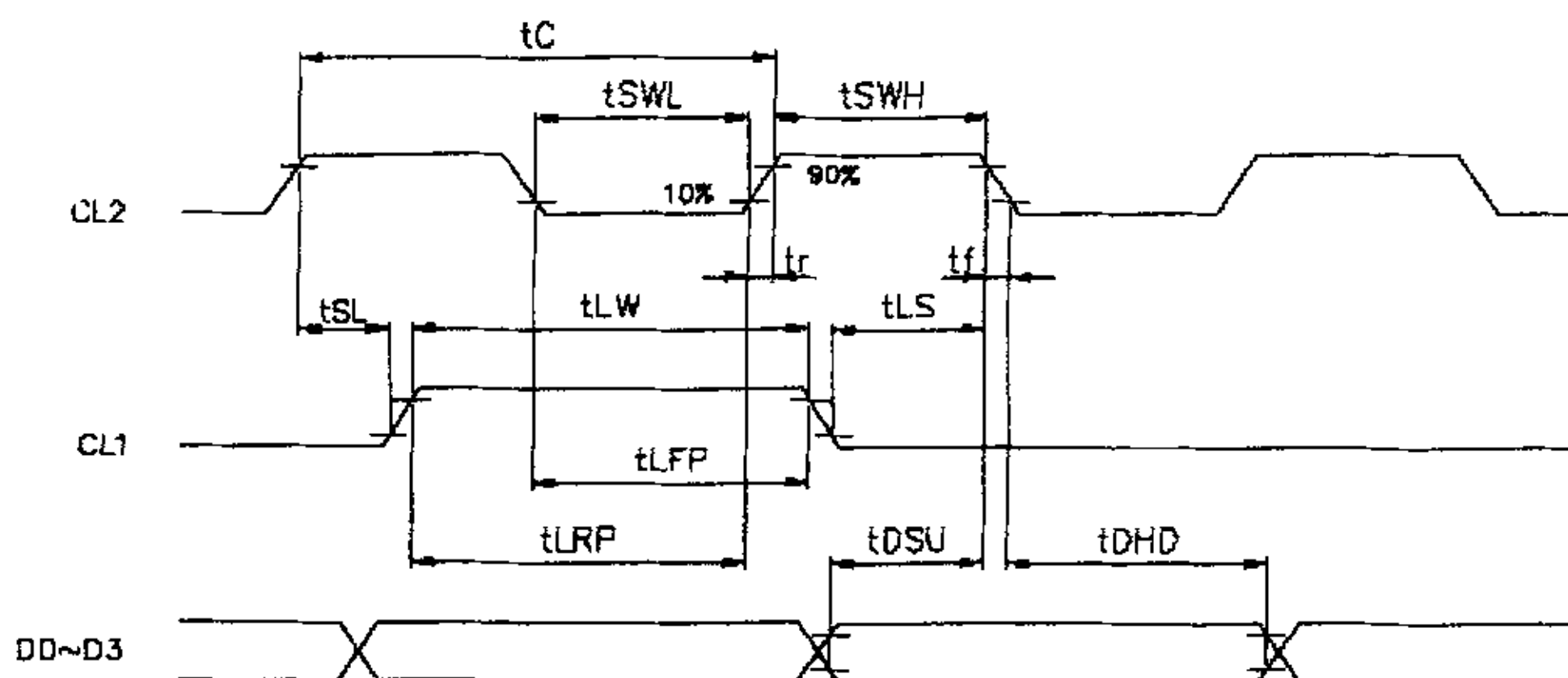


图 3-14 LCD 接口的时序需求

显示控制模块在读取 SDRAM 数据时采用 Avalon 总线主端口,主动请求发起,将数据从 SDRAM 中读出。读出的数据发送到显示模块中的 FIFO 内,再经过数据宽度转换,使其成为 LCD 数据端口宽度,之后由接口时序配合时钟信号将数据送入到 LCD 模块中。由于 LCD 显示要求不断的刷新,因此,此模块一直保持工作状态。为了保持 FIFO 中的数据连续不断,需要在适当的时候从 SDRAM 中将数据读入到显示 FIFO 中,读取时机的选择可以下列两种策略,一为 FIFO 未满载则读取,直到满为止;另一为 FIFO 即将读空时发起总线传输,从 SDRAM 中读取显示数据;采用第一中方法时总线读取动作较均匀,每隔一段时间(本系统中约为 256 个系统时钟周期)会读取一次,这样对总线上的传输引入的竞争较小;在第二种策略下,总线传输的行为表现为突发的传输,但是突发间隔时间较长(本系统中约为 5120 个时钟周期)。本系统采用第二种策略,易于实现,对于 FIFO 的实现同样采用 Altera 公司提供的片上双口 RAM,从而得到最大的定制特性。

3.4.6 参数传送模块

为了给用户提供各种调节功能,在以上一些模块中都会有一些参数需要由软件配置到各个控制逻辑中,如触发点位置、触发模式、FIFO 读取标志等。为了方便软件在运行时配置这些参数,提供了参数传送模块。参数传送模块采用被动

策略，只有当用户对这些参数作出改变时或者用户需要读取这些数据时，才将这些数据传送给用户。模块实现采用了 Avalon 中的从端口，采用这种端口使此模块如同挂在 Avalon 总线上的高速设备，每个参数端口拥有的端口数量由分配给端口的地址总线宽度决定。本系统中涉及到的参数数量在 20 个左右，因此在本系统中使用了 6 位的地址总线宽度。采用这种方式方便软件的读取和设置，运行在 Nios 之上的程序只需要通过设置不同的参数端口地址就可以访问不同的参数，因此，软件的安装行为得到统一，可以编写统一的软件参数设置模块，减少了代码数量，提高了代码的重用。但是，采用这种方式可能会出现数据错误的情况，这在很大程度上是由于用户逻辑数据传输速度无法满足总线时序要求所引起的。因此，此模块采用了调整 Avalon 总线的时序，加入等待周期的方法，使问题得以解决。

单独设计参数传送模块的另一个好处是，在实现示波表变量存储功能时，只需要将参数模块的变量写入 FLASH 即可，调用时同样非常灵活。

第四章 数字存储示波表系统硬件调试

前几章着重介绍了数字存储示波表的硬件实现方案，本章主要介绍数字存储示波表在基于硬件基础上的各功能模块和系统的联调。硬件调试环境主要有如下几部分组成：

1. Agilent 公司的 80MHz 函数/任意信号发生器：作为示波表系统的信号源输入，并为测试结果提供参考基准。
2. Agilent 公司的 100MHz 混合信号示波器。
3. Fluke 公司的 20MHz 带宽工业用万用示波表。
4. 宁波求精电子电气厂生产的 QJ3003SIII 三组直流稳压电源一台。
5. 深圳市山创仪器仪表有限公司生产的数字万用表一台。
6. Altera 公司生产的 Nios_1s10 开发板一套。
7. 示波表系统硬件电路板及键盘、LCD 等。
8. PC 机及相关的软件、下载线等。



图 4-1 手持式数字存储示波表系统调试主体环境

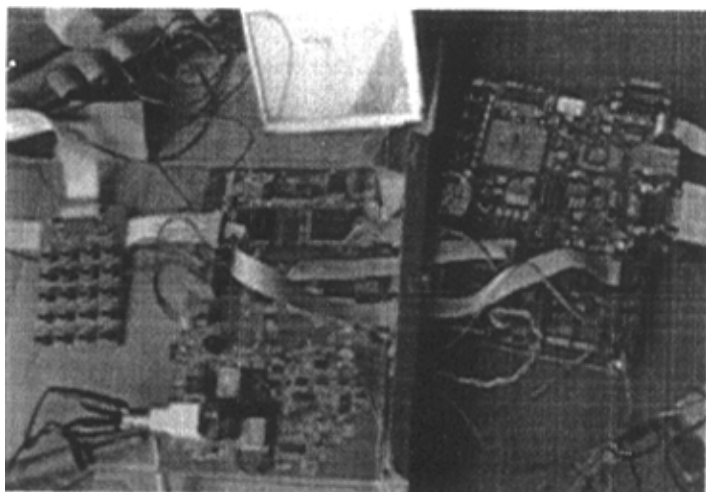


图 4-2 手持式数字存储示波表系统硬件一览

系统调试的方法是先将整个系统分解，分成很多块具有不同功能的独立模块，独立模块调试成功后，以数字部分嵌入式系统 Nios 为核心，不断地将独立模块进行合并，先建立起最简单结构的带有键盘响应和 LCD 显示的示波表硬件系统。这种带有直观显示和键盘操作的硬件系统将为示波表后续功能软硬件的调试起到关键的作用。以下将分别介绍示波表硬件系统的各种功能模块调试。

4.1 LCD 液晶显示调试

对于显示像素点为 320×240 的 LCD 液晶，其 FPGA 驱动电路已很成熟，按照我们设计的方案由 VHDL 语言编程，通过 FPGA 引脚直接驱动 LCD 的 FRM、CL1 以及 CL2 这三个基本控制信号及数据线。

调试的方法是在 LCD 的 FRM、CL1 和 CL2 对应的管脚上加入基本控制信号后，通过改变四根数据线的组合，来观察液晶屏的变化。如果显示规律正确，那么我们再在 LCD 对应显示单元的 RAM 区写入测试数据，来判断 LCD 驱动电路能否正确显示缓冲区的数据。



图 4-3 手持式数字存储示波表 LCD 显示一览

4.2 FIFO 的调试

由于 FIFO 数据采集模块的控制比较复杂,数据传输量大,传输速度快,对编程要求比较高,其 FPGA 实现必须经历如下设计过程:

(1) 功能验证

功能验证是 VHDL 语言经过综合之后生成对应硬件电路的网表后,利用软件针对该硬件电路进行的波形仿真。这个阶段的主要任务是检查系统各个模块的输入输出是否满足设计要求。

(2) 时序验证

功能满足要求后的网表再由软件映射到具体的 FPGA 芯片当中,此时的电路不再是原来的纯功能结构,而是由 FPGA 内部的基本单元 CLB、D 触发器、LUT (查找表)及布线等来实现的了。这样在电路中的各个单元都具有了实际的实现载体,每个单元的具体参数都能够获得了。这个阶段的波形仿真与上一个阶段所不同的就是在仿真时加入了器件延迟和布线延迟等具体的参数。通过这个阶段,我们可以检查各部分电路是否满足具体器件的建立、保持时间的要求,以及上述延迟是否影响了系统正常功能的实现。

(3) 硬件测试

一般而言,时序验证能够非常准确的反映设计的工作特性,硬件测试的结果

不会和时序验证的结果有所出入。但是，正如前文所提到的，所有 EDA 的仿真软件都是基于同步设计的机理来验证电路功能的，对于单时钟的同步系统，其仿真结果是无庸置疑的。而对于异步多时钟系统而言，我们的仿真激励却很难囊括所有可能的异步关系，这样就有必要在实际的硬件平台中采用其他测试手段来检查电路的设计。

FIFO 电路设计是通过 FPGA 中的双端口 RAM 实现的，我们采用的是环形工作方式，正如上一章所设计的，这种工作方式主要是通过控制 RAM 的读写地址指针和读写信号共同完成的。下面以自动模式下 FIFO 功能仿真为例，就以图 3—12 所示 FIFO 工作流程图为例，对 FIFO 控制方式作详细介绍。

按照流程图工作方式，图 4—4 为 FIFO 刚开始工作，初始化指针，这时写指针 wportadda=“00000000101”，读指针 rportadda=“00000000010”，读指针=写指针-1，FIFO 的空满标志是由读写指针的相对位置确定的，此时空标志 emptya 有效，为高电平。

在空标志有效时，我们对 FIFO 环进行初始化设置，令数据更新计数器 count1=“1111111111”（十进制为 2K 字节，一环）、无触发延时计数器 count2=“111110100”（十进制为 500，对一固定频率时钟计数），count3=“触发产生后到停止往 FIFO 中写数的计数”（这是由用户在液晶屏上设置触发点的位置决定的，触发点在液晶上越靠后，则此数字越小；此数据如果超过 2K，则说明用户设置的是提前触发模式，触发点在液晶上无法显示，用户在液晶上所能看到的是触发后的数据）。

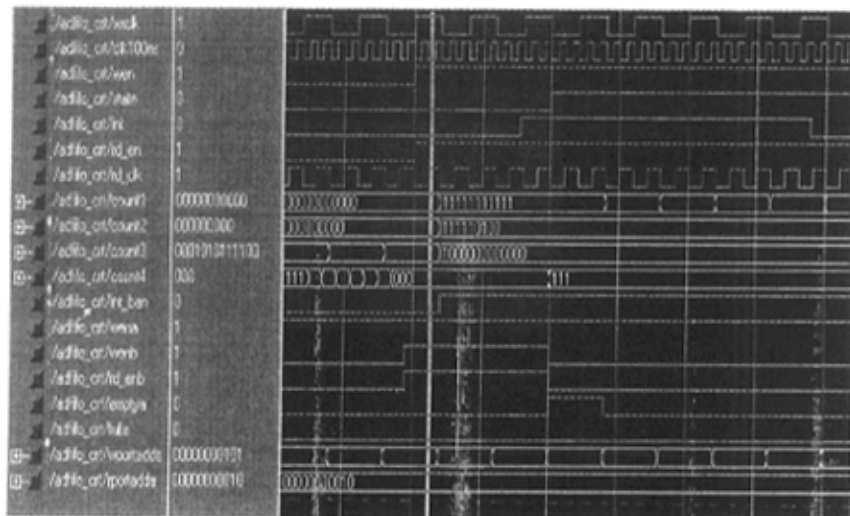


图 4—4 FIFO 初始化时计数器复位

图 4-5 为 FIFO 数据刚更新完一环后信号的时序图, 此时 count1 变为零, 启动延时计数器 count2, 此时也在等待触发。如有触发或者延时到达, 则启动 count3 计数器, 确定 FIFO 写入数据的结束点。

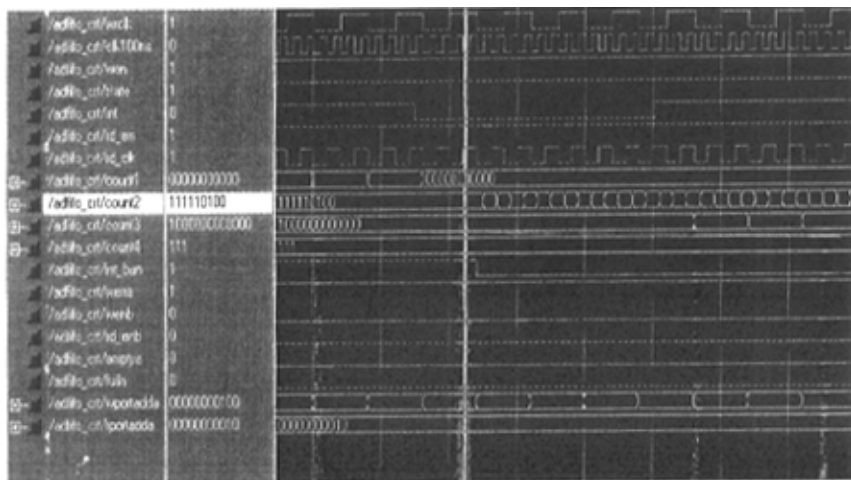


图 4-5 FIFO 数据更新完一环后各个变量的状态

图 4-6 为 FIFO 数据刚更新完一环后, 触发信号 int 已来到, 这时启动了 count3 计数器, 由读指针工作状态知继续往 FIFO 中写数据。

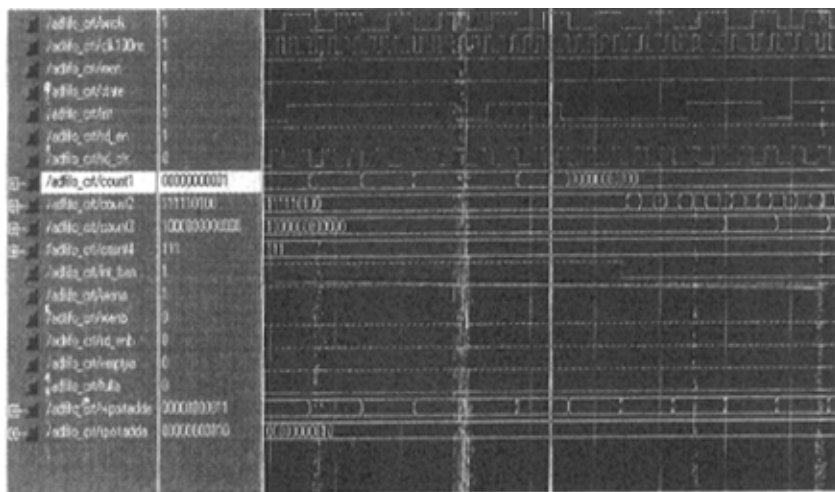


图 4-6 触发信号 int 到来时启动 FIFO 取数停止计数器

图 4-7 为 count3 计数结束, FIFO 不再写入数据。此时写指针 wportaddr 保持不变, 强行令读指针=写指针+1, FIFO 的满标志 fulla 被激活变为高电平有效态。此时 CPU 通过查询判断当 fulla=1 时, 就可以从 FIFO 中连续读取 2K 的数据了。

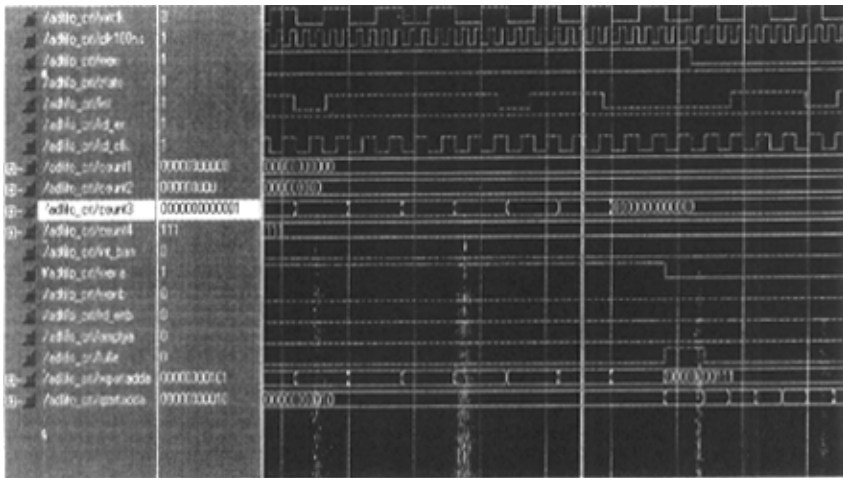


图 4-7 带有触发信号的 FIFO 取数刚结束时变量状态

图 4-8 为 CPU 从 FIFO 中取完 $(2K-2)$ 个数据后, 此时指针会重新回到读指针 = 写指针 - 1, 空标志有效, 开始下一轮数据的采集。

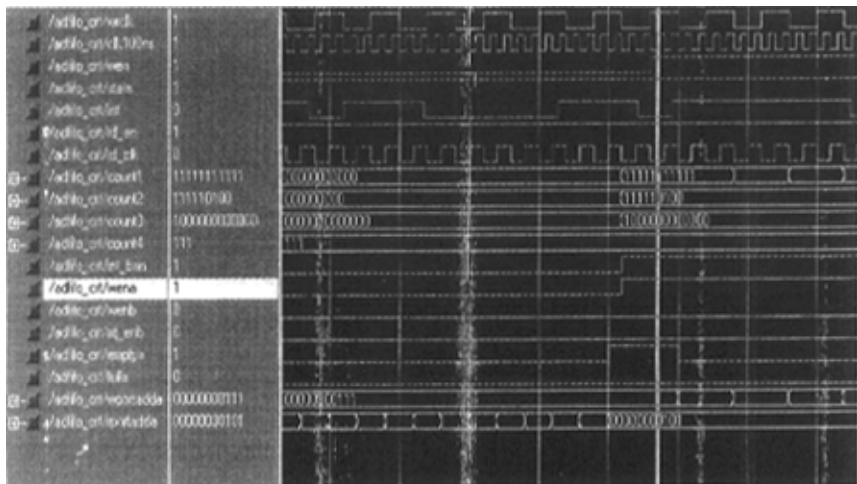


图 4-8 CPU 从 FIFO 连续读完数据时 FIFO 的状态

4.3 测频测周模块调试

测频测周模块调试步骤:

- ### 1、先调试 FPGA 外部整形电路

2、FPGA 功能仿真

3、CPU 处理后在 LCD 上显示

对不同形状的信号进行数字测频测周时，首先利用放大器将此信号和比较电平比较，采用正反馈放大将该信号大于比较电平部分整形为数字高电平，小于比较电平部分整形为数字低电平。整形后的数字信号与 100Hz 测量门限和 1KHz 计数脉冲进行比较，确定采用哪种方式计数，同时给出计数结果和选用的计数方式。CPU 通过处理将结果以数字形式显示在 LCD 液晶屏上。图 4—9 给出了信号发生器输出信号与我们测频结果对比图。

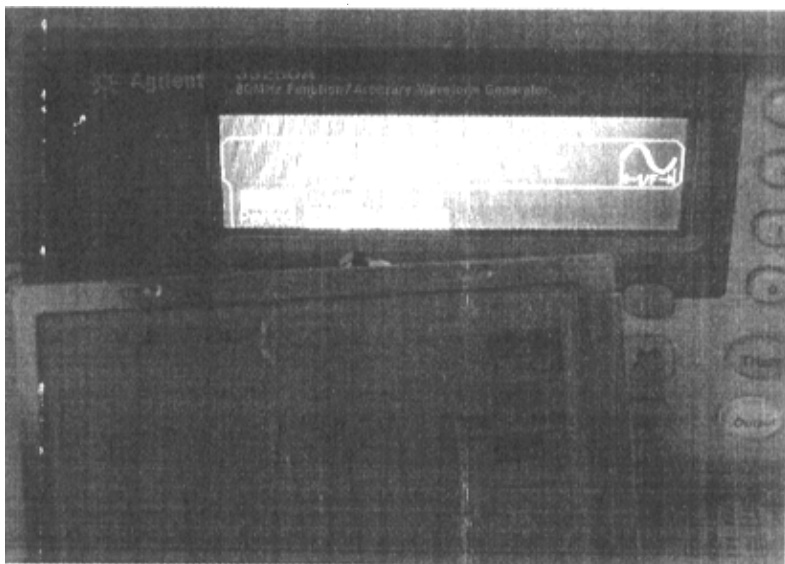


图 4—9 信号发生器输出信号与测频结果对比图

4.4 AD9283 的调试

AD9283 为 3.3V 单电源供电，采样时钟工作范围比较广，外围电路控制比较简单，调试起来非常方便。在其电路板上按要求提供 AD9283 器件工作电压及相关的控制信号后，先调试低采样时钟 10M 工作情况，如果工作正常，逐渐增加到其最高采样频率 100M。我们通过用示波器观察 AD9283 数据输出管脚有无信号，如果在数据线上观察到有波形输出，则 AD9283 工作基本上就正常了。

A/D 正常工作后，就可以和 FIFO、LCD 通过 Nios 强大的软件功能联调了。将上部分设计的 FIFO 和 A/D 正确连接后，按照 FIFO 的工作方式对数据进行采集，

Nios CPU 通过查询 FIFO 的满标志有效, 就连续从 FIFO 中读取 2K 字节的数据, 按照每隔 8 个数据显示一个在 LCD 上依次显示其中的 250 个点。如发现 LCD 上显示的波形和由信号发生器加在 A/D 模拟输入端的信号波形一致, 则说明 A/D、FIFO、LCD、驱动模块时序工作正常。在我们实际调试中, A/D、LCD 很容易就调试好, FIFO 调试相对复杂, 不过借助于 Nios 强大的软件和 FPGA 灵活的 VHDL 硬件设计语言, 不断地通过修改软件来达到修改 FIFO 的控制时序。

A/D、FIFO、LCD、Nios 是数字示波表数字部分的主线, 示波表的大多数其它功能的调试就可以直接利用这四部分所构建的平台来完成。依靠这种平台示波表的设计可以完成如下功能的调试: 键盘操作, LCD 界面显示, 运行模式 (run 和 hold), 工作模式 (trig 和 scan), 触发模式 (auto、trig、single), run 和 hold 下的触发位置左右移动、波形时基改变, 波形的内插, 波形及关机变量的存储等等。

图 4-10、图 4-11、图 4-12 分别给出了数字存储示波表对标准正弦波、锯齿波、矩形波信号的显示图。

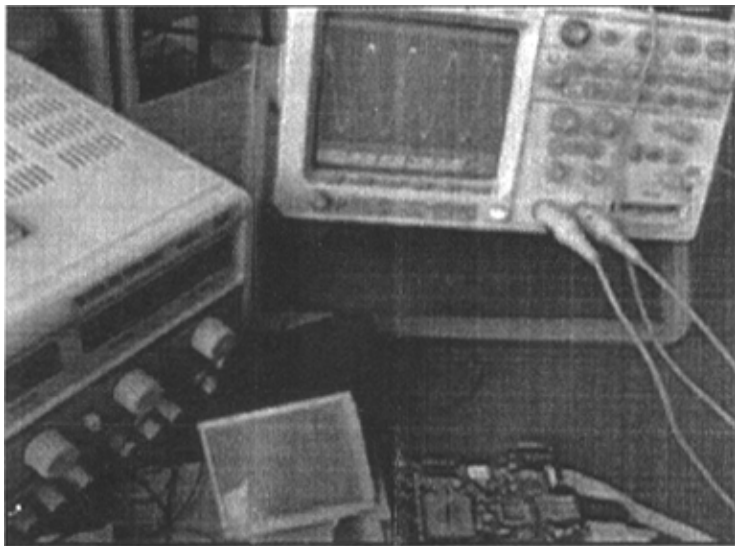


图 4-10 手持式数字存储示波表正弦波对比显示



图 4-11 手持式数字存储示波表锯齿波对比显示



图 4-12 手持式数字存储示波表矩形波对比显示

4.5 模拟通道部分的调试

模拟通道部分中信号放大或衰减通道的选择是由 CPU 写入通道控制寄存器 74HC574 实现的。寄存器的每位输出控制一个继电器，系统通过改变寄存器的值

完成对放大或衰减通道的选择。在电路实现中,系统将 74HC574 低位触发器的输出端与相邻高位触发器的输入端级连构成一个 8bits 的移位寄存器。CPU 只需要把数据串行写入移位寄存器即可把控制信息传送到输入通道电路。我们调试的方法是先局部,后总体。首先从外部单独给各个继电器施加控制信号,通过在示波器上对比各个放大、衰减模块的输入输出波形,如果工作正常,再统一联调。在设计过程中考虑了通道的保护电路,一般情况下不会由于信号失控对 AD9283 产生损坏。

信号通道的设计直接关系着信号的质量,放大、衰减模块分压电路的容抗、阻抗、运放的选择决定着系统的通频带。由于手持式数字存储示波表在体积、功耗方面要求较高,所以综合考虑示波表通频带、体积、功耗等因素,需要选择一种最佳方案。尽管我们在方案论证、器件选择做过不少尝试,但对信号通道的设计还是不很满意,这是下一版本中特别注意的地方。

当模拟通道基本调试好后,我们接着完成了和模拟通道有关的数字存储示波表其它功能调试:包括有 run、hold 模式下信号的上下移动、幅基调整,触发电平调节,零点平调节,当然还有最为重要的自动测量功能。下图为示波表液晶显示菜单窗口,用户可以选择测试参数、输入极性、耦合方式、探极衰减四项中的一,目前选择的是测试参数选项,如图 4-13 所示,弹出的窗口包括有交流、直流、交直流、欧姆、连通、二极管、占空比、脉宽,目前选项为交流,只需按确认键即可。图 4-14 为耦合方式选择窗口,选项包含有直流和交流耦合。

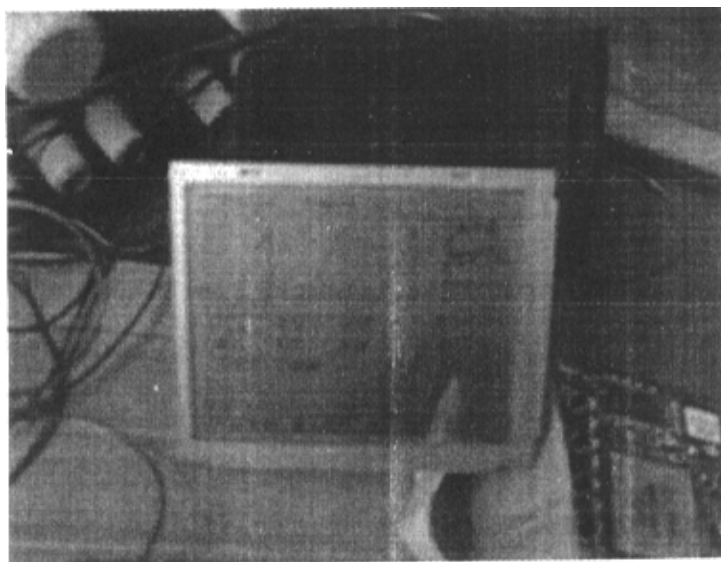


图 4-13 手持式数字存储示波表测量菜单选择窗口

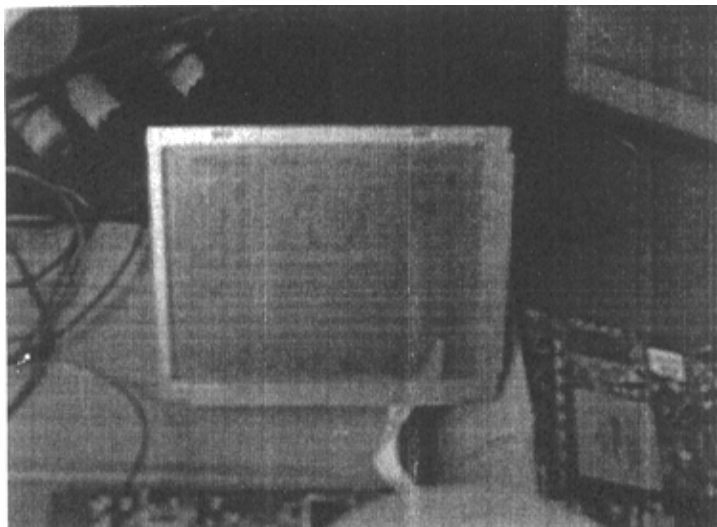


图 4-14 手持式数字存储示波表耦合方式选择窗口

4.6 电阻测量模块的调试

电阻测量模块的控制主要体现在模拟开关选择字和串行模数转换器 TLC549 的控制时序方面。模拟开关选择字比较容易实现，直接由 CPU 写入。如图 2-9 所示串行模数转换器 TLC549 其工作特点主要是按照需求提供片选信号 CS、转换时钟 IOCLOCK 的时序，且及时的读取转换数据 DATA。片选信号 CS 和转换时钟 IOCLOCK 是 CPU 通过对一个端口的写操作完成的，转换后数据 DATA 的读取是 CPU 通过对另一个端口操作完成的。

调试过程中，最初我们让片选信号为高电平无效状态，需要转换时让其为低电平，在完成一个模拟信号数据八位数字转换后，片选信号又重新设为高电平，延时后再为低，接着转换下一个数。关于电阻的计算，通常是按照表 2-3 计算公式来计算，但是实际电路由于干扰或一些元器件精度以及电路设计本身存在一些问题，往往会有一定的偏差，对阻值的计算出现的误差我们可以通过软件来进行补偿。

第五章 结束语

在做过大量研究、开发的基础上,该系统主要以示波表具体功能和实际应用的测试性能为出发点,提出核心控制部分采用 Altera 公司的 SOPC 技术方案,采用这种方案既避免了由于 CPU 和 FPGA 总线仲裁问题对系统运行速度和稳定性的影响,又通过直接调用开发系统接口模块 IP 核,缩短了开发周期,简化了软件设计。如果利用 Altera 的 Hardcopy 技术设计将 FPGA 向 ASIC 进行无缝转化,这种用 ASIC 实现后的系统性能将会比在 HardCopy FPGA 上验证的模型提高近 50%,而功耗则降低 40%,这将意味着设计成本的大幅降低和产品上市速度的大幅提高。

经过这一阶段的设计、开发与调试,本课题小组所研发的手持式数字存储示波表已经具备前面提到的所有功能,由于采用了 SOPC 技术作为控制核心,在系统运行时序、速度、稳定性、升级性方面表现出较强的优势。便携式设备对体积、功耗要求较高,考虑到这种特点,设计中我们采用简易的模拟通道,和比较成熟的示波器模拟通道相比具有一定的差距,我们会在以后版本中不断进行改善,缩小这种差距。

该手持式数字存储示波表样机获得了“2004 Altera 嵌入式处理器设计大赛”优胜奖。

由于 EDA 技术是面向解决电子系统最基本最底层硬件实现问题的技术,因此就其发展趋势的横向看,势必涉及越来越广阔的电子技术及电子设计技术领域。其中包括电子过程、电子信息、通信、航天航空、工业自动化、家电、生物过程等等。而且随着大规模集成电路技术的发展和 EDA 工具软件功能的不断加强,所涉及的领域还将不断扩大,而从纵向看,EDA 技术实现的硬件形式和涉及的理论模型必将走向一个统一的结合体,即单片系统 SOC 或 SOPC。特别是对体积和功耗要求较高的便携式嵌入式系统,其优势更加明显,这种基于大规模可编程器件解决方案的 SOPC 技术及其应用必将会取得巨大的发展,将电子设计技术再次推向崭新的历史阶段。

致 谢

在本论文完成之际，我首先要向我的导师李广军教授表达我最诚挚的谢意。在我的研究生学习阶段，他从各个方面给予了我极大的关怀。在学术上，让我接触最新技术和科研动态；在具体项目设计上，他无私地传授给我他在项目设计、调试、系统分析上的经验，使我受益非浅；在工作上，以表率的方式让我知道要热爱自己的工作，对工作认真负责的态度；在生活上，给予我很大的帮助，教会我如何处事、做人。

特别感谢林水生教授在示波表项目中给予的指导和关怀。他丰富的理论和实践经验以及严谨的治学态度给我留下了深刻的印象。

我还要感谢实验室的其他老师和同学们，他们是阎波老师、吴宗军老师、周英乙老师、周亮老师、王玉林老师、苏日裕老师，示波表研发小组另外成员廖晓鹏、唐路、汪一、杨新川、荆研等，我们在一起进行了许多学术上的探讨，他们给予了我极大的帮助，我们一起攻克了许多技术难关，与他们愉快的合作将会成为我最美好的回忆！

最后，我还特别要向我的家人表示由衷的感谢，正是他们的无私奉献和鼎力支持。我才能顺利的完成我的硕士学业。

向百忙之中抽出宝贵时间来评阅这篇论文的各位专家教授致以衷心的感谢！

参考文献

1. 李广军, 孟宪元. 可编程 ASIC 设计及应用. 电子科技大学出版社, 2000
2. 彭澄廉主编. 挑战 SOC—基于 NIOS 的 SOPC 设计与实践. 清华大学出版社,
3. 宋启峰. 电子测量技术. 重庆大学出版社, 2000
4. Nios Hardware Development Tutorial. Altera
5. Nios Software Development Tutorial. Altera
6. Nios 32-Bit Programmer's Reference Manual. Altera
7. Avalon Bus Specification Reference Manual. Altera
8. SOPC Builder PTF File Reference Manual. Altera
9. Nios_stratix_1sl0 Development Board Reference Manual. Altera
10. Nios 3.0 CPU Data Sheet. Altera
11. 李广军, 王厚军. 实用接口技术. 电子科技大学出版社, 1998
12. 蒋焕文, 孙续. 电子测量 (第二版). 中国计量出版社, 1988
13. (美) Jean J. Labrosse 著. 袁勤勇, 黄绍金, 等译. 嵌入式系统构件 (第 2 版). 机械工业出版社, 2002
14. 赵茂泰. 智能仪器原理及应用. 电子工业出版社, 2000
15. 王锁萍. 电子设计自动化 (EDA) 教程. 电子科技大学出版社, 2000
16. 陈光裾. 现代电子测量测试技术. 国防工业出版社, 2001
17. MTG-F32240HFWNSEB-01 LCD MODULE SPECIFICATION. Microtips technology Inc, 2002
18. Fluke 123 Industrial ScopeMeter User's Manual. Fluke Corporation, 1999
19. AD9283 Designer's Reference Manual. ANALOG DEVICES INC, 2001
20. TLC549 Designer's Reference Manual. TEXAS INSTRUMENTS INC, 1996
21. DC—DC Converters Designer's Reference Manual, MAXIM.
22. LTC1446L Designer's Reference Manual. LINEAR TECHNOLOGY, 1996
23. 李德崇著. 现代数字存储示波器原理与应用. 电子工业出版社

24. TDS1000 和 TDS2000 系列数字存储示波器用户手册. TEKTRONIX INC, 2002
25. 张锡纯, 常凤娥. 数字示波器原理、基本特性和应用. 电测与仪表, 1994. 11 p43~45
26. 米晓岚, 赵佳明, 朱焕章. DSP+FPGA 实时信号处理系统. 电子技术应用, 2002
27. 赵晶. 电路设计于制版 Protel 99 高级应用. 人民邮电出版社, 2001
28. Doulos. The VHDL Golden Reference Guide. Version 1.1, 1995
29. 杨新川. 基于 DSP 的手持式数字示波表的设计和实现:[硕士学位论文]. 成都: 电子科技大学通信与信息工程学院 2003
30. 汪一. 便携式数字存储示波表的研究与实现——外围控制芯片研制; [硕士学位论文]. 成都: 电子科技大学通信与信息工程学院 2003
31. Nios and DSP Training. Altera, 2004

个人简历、在学期间的研究成果及发表的学术论文

出生日期： 1975 年 2 月 8 日

个人简历： 1993 年 9 月—1997 年 7 月在电子科技大学读本科，获得学士学位

1997 年 7 月—2004 年 12 月 在电子科技大学担任教师，助教

期间获 1999-2000 年度校德育先进个人

获 2004 年电子科技大学教学成果一等奖

2004 年 12 月—至今 在电子科技大学担任教师，讲师

2002 年 9 月—2005 年 3 月在电子科技大学攻读在职硕士

攻读硕士学位期间发表论文和参与科研项目有：

- (1) 2004 年第三期在电子科技大学学报发表论文“基于 FPGA 的高精度数据采集滤波系统设计”
- (2) 1999 年第二期在《毛泽东思想研究》刊物上发表论文“论大学生思想教育的多渠道化”
- (3) 担任过本科生“信号与系统”“工程控制基础”课程的教学任务
- (4) 每年均指导 4 到 5 名本科生毕业设计工作，开发“ASIC 设计”实验、编写指导书、担任本科生、研究生“ASIC 设计”实验指导工作
- (5) 参加横向课题——“手持式数字存储示波表”研发。该项目参加 2004 年 Altera 中国竞赛，获得了“2004 Altera 嵌入式处理器设计大赛”优胜奖
- (6) 作为项目管理、研发者负责 MOTOROLA 基金项目：
 1. 利用 ColdFire 指令进行 DSP 库函数的开发
 2. 利用 ColdFire 指令实现 DTMF 编解码
 3. 利用 ColdFire 指令实现 G.729a/b 的编解码开发调试
 4. FEC 芯片设计