

声 明

本人郑重声明：所呈交的学位论文，是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名： 日期：

第一章 绪论

1.1 背景

工业革命迅速推进了世界工业化的进程，提高了社会发展水平和人类生活质量。然而，全球经济的急剧增长对能源的需求不断增加，而地球上可利用的常规能源却非常有限，成为阻碍人类进一步发展的障碍。另外这些非可再生能源的大量燃烧造成了温室效应，气候变暖，人类赖以生存的环境不断恶化。能源危机和环境问题成为人类所面临的两大难题。为了解决这两大矛盾，实现可持续发展战略，可再生、开发清洁又无污染的新能源得到了空前的重视。风能作为新能源的一个重要组成部分，是新能源中技术中最成熟、最具开发条件和广阔商业化前景的一种发电方式。而且风能具有取之不尽，用之不竭的特点，据估计，全球可利用的风能总量在 53,000Twh/年。正是由于这些特点，世界各国都非常重视风力发电技术。

近几年，风力发电已经获得了重大的发展，随着技术水平的提高和市场不断扩大，风力发电增长迅速。单机容量不断扩大，国外有实力的企业在开发 3~5MW 机组，目前兆瓦机组已经商业化。据欧洲风能协会 (Europe Wind Energy Association) 和美国风能协会(America Wind Energy Association) 的统计，截至 2003 年底止，全世界风电装机容量已达到 39.294GW，其中 2003 年新装机容量为 8.133GW，比上一年度增长 26%，预计在下一个 20 年内会继续保持两位数的增长势头。

而国内，50~200W 的微型风力发电机组技术也已经成熟，并投入批量生产。1~20KW 小型风力发电机组研制也获得成功，达到了小批量生产阶段。对于中大型风力发电机组，截止到 2003 年底，运行风力发电机组累计达 1042 台，总容量为 567.02MW。但在所安装的所有机组中，原装进口机占 90% 以上，其余部分主要是与国外厂商合作生产的机组。完全由国内研制生产的机组数量极少，致使我国的风力发电产业发展受到严重影响，因此对我国大功率风力发电机组进行国产化是很必要的。

1.2 数字控制技术

1.2.1 数字控制技术的概念和发展过程

电力电子电路的控制从最初以相位控制为手段，由分立元件组成的控制电路发展到集成控制器，再到如今旨在实现高频开关的计算机控制，并向着频率更高、损耗更低和全数字化的方向发展。传统的模拟控制电路存在控制精度低、动态响应慢、参数整定不方便、温度漂移严重和容易老化等缺点。而专用集成控制芯片的出现大大简化了电力电子电路的控制电路，提高了控制信号的开关频率，只需接若干阻容元件即可构成具有校正环节的模拟调节器，提高了电路的可靠性。但是正是由于阻容元件的存在，模拟控制电路的固有缺陷，如元件参数的精度和一致性、元件老化等问题仍然存在。此外，模拟集成控制芯片还存在功耗较大、集成度低、控制不够灵活和通用性不强等问题。

用数字控制代替模拟控制，可以消除温度漂移等常规模拟调节器难以克服的缺点，有利于参数整定和变参数调节，便于通过软件编程方便地调整控制方案和实现多种新型控制策略。同时减少了元器件数目、简化硬件结构，从而提高系统的可靠性和集成度。

1.2.2 电力电子数字控制系统研究现状

随着电力电子技术、计算机技术和数字信号处理技术的迅速发展，各种先进复杂的电力电子控制方法不断涌现并在实际系统中广泛应用。由于控制对象的不同，数字控制系统也千差万别，以 MCU 为核心的控制结构是当前电力电子数字控制的主要手段。但是由于 MCU 本身的局限性和电力电子系统对控制要求不断提高，这种控制结构已经在逐渐被其他数字控制结构所取代。从目前发展情况来看，电力电子数字控制系统主要有以下三种结构^[20]：

1. 2. 2. 1 以 DSP 为核心的数字控制系统

自从 DSP 芯片问世以来，由于其较之单片机有更为突出的优点，如更快的处理速度、更高的集成度和更大容量的存储器，DSP 芯片不仅仅限于数字信号处理领域，而且为各种工业控制，特别是快过程控制，提供有力的硬件支持。电力电子系统是一个典型的快过程系统，由于 DSP 的卓越性能，许多复杂控制算法都能在很短时间内实现，这样就使得电力电子系统数字控制得以实现。目前一些电力

电子变换器都基于 DSP 的数字控制。虽然 DSP 有许多优点，但也存在一些局限性，如采样频率的选择、PWM 信号频率及其精度、采样延时、运算时间及其精度等，这些因素会或多或少的影响电路的控制性能。

1.2.2.2 基于 FPGA/CPLD 的数字控制系统

对一些快速性要求比较高的电力电子系统，一般的 DSP 处理器难以满足其控制要求，尽管勉强能实现，但由于其绝大部分时间都用在核心算法上，对其他一些功能处理就无暇顾及，从而浪费 DSP 的大部分硬件资源。ASIC 技术的发展为此提供一个很好的解决方案。但是 ASIC 芯片设计的高投入和长周期的开发特点，仅仅为那些市场潜力大的特殊应用场合提供有效的、低成本的方案。FPGA/CPLD 的出现无疑为缩短电子产品开发周期提供另一片靓丽的天空。FPGA 和 CPLD 都是可编程逻辑器件，它们是在 PAL, GAL 等逻辑器件的基础上发展起来的，它不仅可以替代一些简单的数字 IC 芯片，而且还可以用来实现一些复杂控制算法。

1.2.2.3 基于 DSP 和 FPGA/CPLD 的数字控制系统

鉴于 DSP 和 FPGA 各自的优点，许多研究者结合它们各自优点组成数字控制系统。它不仅可以提高系统控制性能，而且还能为各种电力电子系统的研发提供一种通用的开发平台。这样一种通用平台可以把研发人员从繁重、重复的硬件设计中解脱出来，使他们能全身心投入产品的优化和新产品的开发。这也符合当前电力电子发展的趋势。通用硬件平台的开发有利于电力电子模块化构建；有利于全数字控制系统实现，以尽量减少有 EMI 和零漂引起的问题；有利于电力电子的集成，降低成本，简化硬件开发。

1.2.3 数字控制与传统控制的比较及发展前景

电力电子变流器的控制是电力电子电路的重要部分。按控制手段来分，电力电子变流器的控制可分为模拟控制和数字控制两大方面。典型的逆变器模拟控制策略包括电压瞬时值单闭环反馈控制、电压电流瞬时值双闭环 SPWM 反馈控制、电压电流瞬时值双闭环滞环控制等等，这些控制技术已经比较成熟，而且得到广泛应用。随着数字信号处理技术的蓬勃发展，逆变器的数字控制逐渐成为研究热点。目前，在数字控制逆变器中应用较多的控制策略 PID 控制、无差拍控制、滑模变结构控制、状态反馈控制、重复控制、人工神经网络控制和模糊控制等。

传统的模拟控制的主要缺点：

- 因采用大量的分散元件和电路板，导致硬件成本偏高，系统的可靠性下降。
- 新的控制方法导致控制电路复杂，用模拟器件难于实现。
- 由于人工调试器件的存在，如可调电位器，导致生产效率降低及控制系统的一致性差。
- 器件老化及热漂移问题的存在，导致逆变电源输出性能下降，甚至导致输出失败。
- 产品升级换代困难，对同一型号的模拟控制逆变电源，若不改动硬件，升级是不可能的，每一个新型的逆变电源都要求重新设计、制造控制系统。

与模拟控制相比，数字控制具有以下主要优点：

- 易于采用先进的控制方法和控制策略，使得电力电子系统具备更高的智能化程度和更优越的性能。
- 控制灵活，系统升级方便，甚至可以在线修改算法而不必改变硬件电路的结构。
- 控制系统易于实现标准化和通用化，可以针对不同的主电路系统采用统一的控制板，只要对相应的算法和软件结构做出相应修改即可。
- 系统维护方便，一旦出现故障可以方便的通过通信接口调试，进行故障查询，历史记录查询，故障诊断、软件修复和控制参数的在线修改调试。
- 系统的一致性好，成本低，生产制造方便。由于采用的控制软件不像模拟器件那样存在差异，所以一致性很好，而且控制板的体积将大大减小，生产成本会大幅度降低。

数字控制技术已经广泛应用于电力电子系统的各个领域，满足了电力电子电路高频化和复杂化发展的需要，在提高系统效率、改善系统性能等方面发挥越来越重要的作用。

1.3 可编程逻辑器件的发展与在电力电子技术中的应用

随着微电子设计技术与工艺的发展，数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路（VLSIC）逐步发展到今天的专用集成电路（ASIC）^[22]。ASIC 的出现降低了产品的生产成本，提高了系统的可靠性，缩小

了设计的物理尺寸，推动了社会的数字化进程。但是 ASIC 因其设计周期长，改版投资大，灵活性差等缺陷制约着它的应用范围。硬件工程师希望有一种更灵活的设计方法，根据需要，在实验室就能设计，更改大规模数字逻辑，研制自己的 ASIC 并马上投入使用，这是提出可编程逻辑器件的基本思想。

广义上讲，可编程逻辑器件是指一切通过软件手段更改、配置器件内部连接结构和逻辑单元，完成既定设计功能的数字集成电路。目前常用的可编程逻辑器件主要有简单的逻辑阵列（PAL/GAL）、复杂可编程逻辑器件（CPLD）和现场可编程逻辑阵列（FPGA）等 3 大类^[21]。

PAL 是 Programmable Array Logic 的缩写，即可编程阵列逻辑^[22]；GAL 是 Generic Array Logic 的缩写，即通用可编程阵列逻辑。PAL/GAL 是早期可编程逻辑器件的发展形式，其特点是大多基于 E²CMOS 工艺，结构较为简单，可编程逻辑单元多为与、或阵列，可编程单元密度较低，仅能适用于某些简单的数字逻辑电路。

CPLD 是 Complex Programmable Logic Device 的缩写，即复杂的可编程逻辑器件。Altera 为了突出特性，曾将自己的 CPLD 器件称为 EPLD(Enhanced Programmable Logic Device)，即增强型可编程逻辑器件。其实 EPLD 和 CPLD 属于同等性质的逻辑器件，目前 Altera 为了遵循称呼习惯，已经将其 EPLD 统称为 CPLD。CPLD 是在 PAL、GAL 的基础上发展起来的，一般也采用 E²CMOS 工艺，也有少数厂商采用 Flash 工艺，其基本结构由可编程 I/O 单元、基本逻辑单元、布线池和其他辅助功能模块构成。CPLD 可实现的逻辑功能比 PAL、GAL 有了大幅度的提升，一般可以完成设计中较复杂、较高速度的逻辑功能，如接口转换、总线控制等。CPLD 的主要器件供应商有 Altera、Lattice 和 Xilinx 等。

FPGA 是 Filed Programmable Gate Array 的缩写，即现场可编程逻辑阵列。FPGA 是在 CPLD 的基础上发展起来的新型高性能可编程逻辑器件，它一般采用 SRAM 工艺，也有一些专用器件采用 Flash 工艺或反熔丝（Anti-Fuse）工艺等。FPGA 的集成度很高，其器件密度从数万系统门到数千万系统门不等，可以完成极其复杂的时序与组合逻辑电路功能，适用于高速、高密度的高端数字逻辑电路设计领域。FPGA 的主要器件供应商有 Xilinx、Altera、Lattice、Actel 和 Atmel 等。

1.4 本课题的研究内容和意义

本课题的研究应用于大功率风力发电，风力发电技术已经成为世界各地竞相研究的热点。本文运用数字技术来实现大功率风力发电变流器的控制。先从电力电子变流器的控制入手，探讨了风力发电变流器的控制原理和调制技术；设计采用两片 TI 公司的 TMS320LF2812 组成双 DSP 模块，并利用 FPGA 来进行多路 PWM 通道扩展，组成一个高速、高性能和有较好通用性的数字控制系统。最后在这个数字控制系统上完成了 FPGA 实现载波移相的软件编程和硬件实现部分，并进行仿真和实验验证。

本文的主要内容包括以下几个方面：

第一章介绍了风力发电的背景，电力电子数字控制技术的研究现状和可编程逻辑器件的应用。

第二章根据项目的主要承担工作，介绍了风力发电主要技术并从原理到仿真分析了变流器控制技术和调制技术。

第三章主要是对双 DSP+FPGA 组成的数字控制系统的硬件电路设计，并根据高速信号电路 PCB 设计的原则进行核心数字控制器的 PCB 设计。

第四章主要介绍了 FPGA 的特征、结构和设计流程，并介绍了设计中用到的主流低成本的 Cyclone 系列 FPGA。还简要介绍了设计中要用到的 Quartus II 综合开发平台，和硬件描述语言 Verilog HDL 语言。重点介绍了 PWM 波形发生器的原理，用原理图结合硬件描述语言的方式进行 PWM 信号发生电路的设计，并进一步实现载波移相功能。

第五章是在第四章基础上的 FPGA 实现功能仿真和时序仿真，最后在核心双 DSP+FPGA 板上进行实验验证。

第六章是总结和展望。

第二章 大功率风力发电变流器的控制研究

2.1 风力发电主要技术介绍

发电机及其控制系统是风力发电系统的一大核心部分，它负责将机械能转换为电能，风力发电机及其控制系统的运行状况和控制技术，也决定着整个系统的性能、效率和输出电能质量。根据发电机的运行特征和控制技术，风力发电技术可分为①恒速恒频(Constant Speed Constant Frequency，简称 CSCF)风力发电技术②变速恒频(Variable Speed Constant Frequency，简称 VSCF)风力发电技术^[4]。

2.1.1 恒速恒频风力发电技术

恒速运行的风力机转速不变，而风速经常变化，使风力机常常运行于低效状态。

恒速恒频发电系统中，多采用笼型异步电机作为并网运行的发电机，并网后在电机机械特性曲线的稳定区内运行，异步发电机的转子速度高于同步转速。当风力机传给发电机的机械功率随风速而增加时，发电机的输出功率及其反转矩也相应增大。当转子速度高于同步转速 3%~5%时达到最大值，若超过这个转速，异步发电机进入不稳定区，产生的反转矩减小，导致转速迅速升高，引起飞车，这是十分危险的。

2.1.2 变速恒频风力发电技术

虽然目前大多数采用异步发电机的风力发电系统属于恒速恒频发电系统，但作为一种新型发电技术，变速恒频发电是一种新型的发电技术，非常适用于风力、水力等绿色能源开发领域，尤其是在风力发电方面，变速恒频体现出了显著的优越性和广阔的应用前景。

(1) 风能是一种具有随机性、爆发性、不稳定性特征的能源。采用变速恒频发电方式，就可按照捕获最大风能的要求，在风速变化的情况下实时地调节风力机转速，使之始终运行在最佳转速上，从而提高了机组发电效率，优化了风力机的运行条件。

(2) 变速恒频发电可以在异步发电机的转子侧施加三相低频电流实现交流励

磁，控制励磁电流的幅值、频率、相位实现输出电能的恒频恒压。同时采用矢量变换控制技术，实现发电机输出有功功率、无功功率解耦控制。控制有功功率可调节风力发电机组转速，实现最大风能捕获的追踪控制；调节无功功率可调节电网功率因数，提高风力发电机组及电力系统运行的动、静态稳定性。

(3) 采用变速恒频发电技术，可使发电机组与电网系统之间实现良好的柔性连接，比传统的恒速恒频发电系统更易实现并网操作及运行变速恒频发电技术的诸多优点使其受到了人们的广泛关注，它越来越多地被应用到风力发电中。

2.2 风力发电变流器的控制原理研究

2.2.1 永磁同步电机的数学模型

永磁材料的发展促进了永磁电机的实用化，以其低损耗高功率因数等优点得到了广泛应用，永磁同步电机与绕线同步电机类似，但励磁绕组用永磁材料代替，在大功率风力发电中永磁同步发电机一般采用隐极式磁极结构^[5]。下面从绕线永磁同步电机推出本文所研究的隐极永磁同步电机的模型，为了简化电机的分析对永磁发电机所建模型进行了如下假设：

- ① 忽略发电机磁路饱和
- ② 忽略发电机的齿槽效应
- ③ 忽略磁滞和涡流损耗
- ④ 三相对称系统

基于以上假设得出隐极同步电机的数学模型^[5]：

$$\begin{aligned} v_a &= R_a i_a + \frac{d\Psi_a}{dt} \\ v_b &= R_b i_b + \frac{d\Psi_b}{dt} \\ v_c &= R_c i_c + \frac{d\Psi_c}{dt} \end{aligned} \quad (2-1)$$

其中

$$\begin{aligned} \Psi_a &= L_{aa} i_a + L_{ab} i_b + L_{ac} i_c + L_{af} i_f \\ \Psi_b &= L_{ba} i_a + L_{bb} i_b + L_{bc} i_c + L_{bf} i_f \\ \Psi_c &= L_{ca} i_a + L_{cb} i_b + L_{cc} i_c + L_{cf} i_f \end{aligned} \quad (2-2)$$

对隐极电机而言，对于各相磁路其气隙尺寸与转子位置角 θ_m 无关，即定子

自感为常数：

$$L_{aa} = L_{bb} = L_{cc} = L_{aa0} + L_{a1} \quad (2-3)$$

式中， L_{aa0} 是由空间基波气隙磁通引起的自感分量， L_{a1} 是由电枢绕组漏磁引起的附加分量。

三相对称相位相差 120° 电角度^[5]，因此电枢绕组间的互感相等且表示为：

$$L_{ab} = L_{ba} = L_{ac} = L_{ca} = L_{bc} = L_{cb} = -\frac{1}{2}L_{aa0} \quad (2-4)$$

式 (2-2) 的磁链方程简化为：

$$\begin{aligned}\Psi_a &= L_s i_a + \Psi_f(\theta) \\ \Psi_b &= L_s i_b + \Psi_f(\theta) \\ \Psi_c &= L_s i_c + \Psi_f(\theta)\end{aligned} \quad (2-5)$$

其中

$$L_s = \frac{3}{2}L_{aa0} + L_{a1} \quad (2-6)$$

由前面的分析可得电机端电压方程

$$\begin{aligned}v_a &= R_a i_a + L_s \frac{di_a}{dt} + e_{af} \\ v_b &= R_b i_b + L_s \frac{di_b}{dt} + e_{bf} \\ v_c &= R_c i_c + L_s \frac{di_c}{dt} + e_{cf}\end{aligned} \quad (2-7)$$

写成向量形式如下式

$$U = IR_a + jIX_s + E_0 \quad (2-8)$$

其中 $X_s = X_a + X_\sigma = \omega_e \frac{3}{2}L_{aa0} + \omega_e L_{a1} = \omega_e L_s$

$\omega_e = p\omega_r$ （ p 是电机极对数， ω_r 是电机转速）

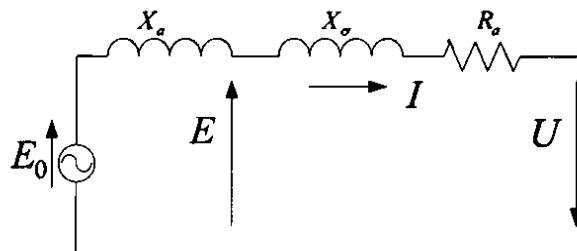


图 2.1 同步电机等效电路

由上式得隐极同步电机其中一相的等效电路如图 2.1 所示。

因为 L_s 可以看作是常值，所以 X_s 可以看作随 ω_e 线性变化，其中 $E_0 = \omega_e \Psi_f K(\theta_e)$ 。 E_0 是正弦电压， Ψ_f 转子磁链是常值， $K(\theta_e) = \sin \theta_e$ 。

2.2.2 永磁同步电机的单位功率因数控制

双 PWM 永磁直驱^[2]风力发电系统的原理如图 2.2 所示。

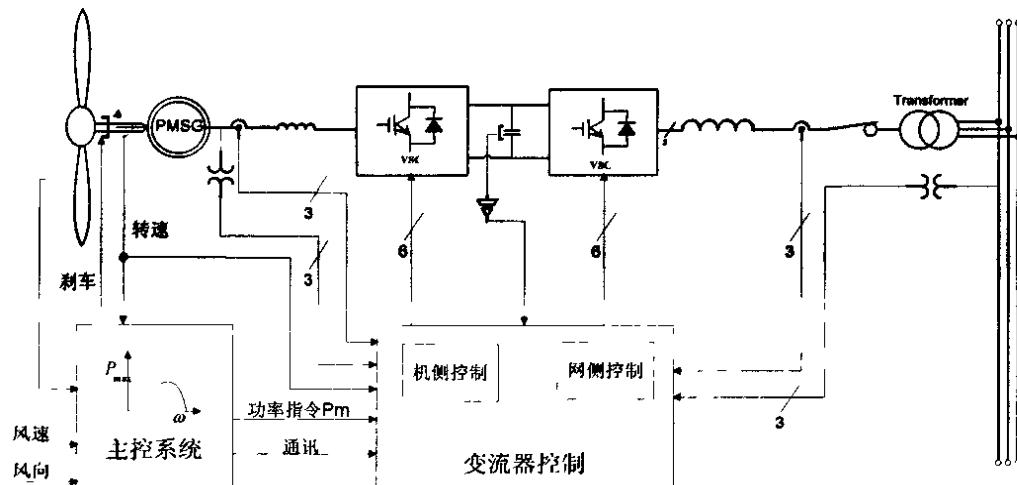


图 2.2 双 PWM 永磁直驱风力发电系统

图中主控系统评估发电机的输出功率，把功率指令传给机侧变流器进行整流，网侧变流器维持直流母线电压平衡并把直流电变成与电网同频同相的交流电输入电网，当发电机输出功率增加时直流母线电压升高，网侧变流器增加向电网馈送的功率以维持直流母线电压平衡。

在大功率风力发电中为了降低变流器的容量经常采用单位功率因数控制，即电机的端电压和输出电流同相。因为主控系统给定的是功率指令，如果把电机看成一个理想的电压源，简单的以电机端电压定向由 $p = vi$ 进行变流器单位功率因数控制是很容易实现的，也不会存在问题，但电机电枢有内阻抗，而且转速可变，当功率指令给定时，电流和电压的大小只通过这个方程是无法确定的，当电流 i 变大 v 就会变小，此时有可能发生 i 不断变大， v 不断变小，那么 i 的大小会超过电机定子极限值导致系统不稳定，图 2.4 控制框图描述了这种控制方法。为此本文提出了图 2.5 所示的控制方法，增加约束方程的方法确定电机端电压。下面进行具体分析^{[25][26]}。

由方程 (2-8) 得出电机模型各量的向量关系如下图 2.3 所示：

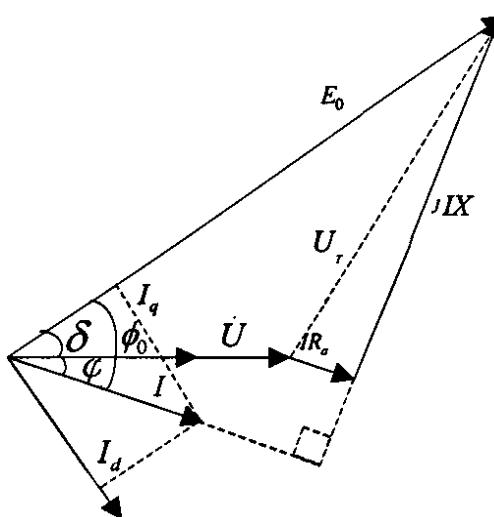


图 2.3 同步电机向量关系

图中 φ 是负载功率因数角, ϕ_0 内功率因数角, δ 激磁电势和端电压夹角, 从向量图可以看出因为激磁电势 E_0 在转速已知的情况下是已知的, 要求得电机端电压需要先求出 ϕ_0 , 由上面的向量关系利用三角关系式推得下式

$$\phi_0 = \operatorname{tg}^{-1} \frac{U \sin \varphi + IX_s}{U \cos \varphi + IR_a} \quad (2-9)$$

因此激磁电势和端电压间的夹角是

$$\delta = \phi_0 - \varphi \quad (2-10)$$

由三角函数的余弦定理关系式不难求得

$$U_r^2 = E_0^2 + U^2 - 2E_0 U \cos \delta \quad (2-11)$$

其中 $U_r^2 = (IR_a)^2 + (IX_s)^2$

由式 (2-11) 求得 U , 三相系统功率:

$$P = v_a i_a + v_b i_b + v_c i_c \quad (2-12)$$

得单相 $\frac{P}{3} = vi$ 即可确定 i , 此时系统的控制量是确定的, 系统得到稳定, 控制方框图如图 2.5 所示。

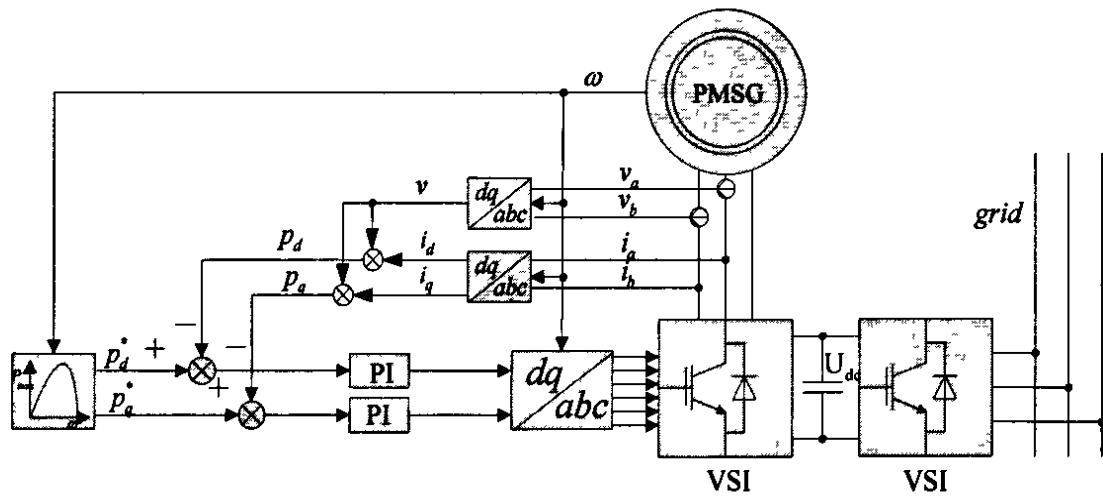


图 2.4 发电机等效成电压源变流器控制方式

由上面三个方程即可确定系统的端电压从而使系统得以稳定, 系统控制框图如下图所示。

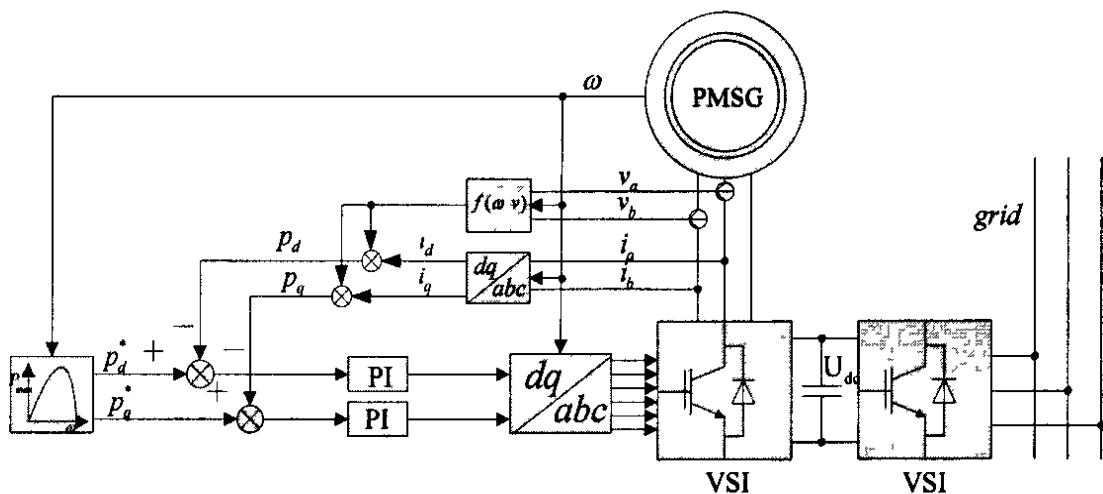


图 2.5 改进的发电机侧变流器控制框图

2.2.3 仿真分析

在开发设计双 PWM 大功率永磁直驱永磁风力发电变流器中基于上面提出的思想做了仿真验证。永磁发电机额定功率 2MW, 额定电压 690V, 额定电流 1700A, 变流器功率 3MW, 电机转速 8~18Hz。图 2.6、图 2.7 是把电机看成一个电压源条件下得出的。图 2.6 是电机端电压和输出电流, 图 2.7 是电机端电压有效值。

由图 2.6~2.7 可见：在功率给定情况下，电机端电压不断降低，电流不断增大，超过了电机电枢最大电流，系统呈现不稳定。

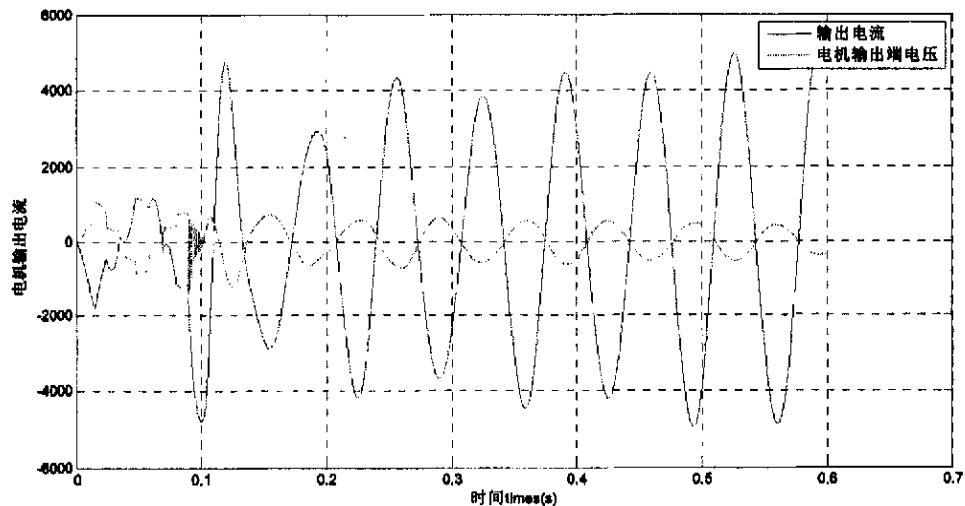


图 2.6 电机端电压和输出电流

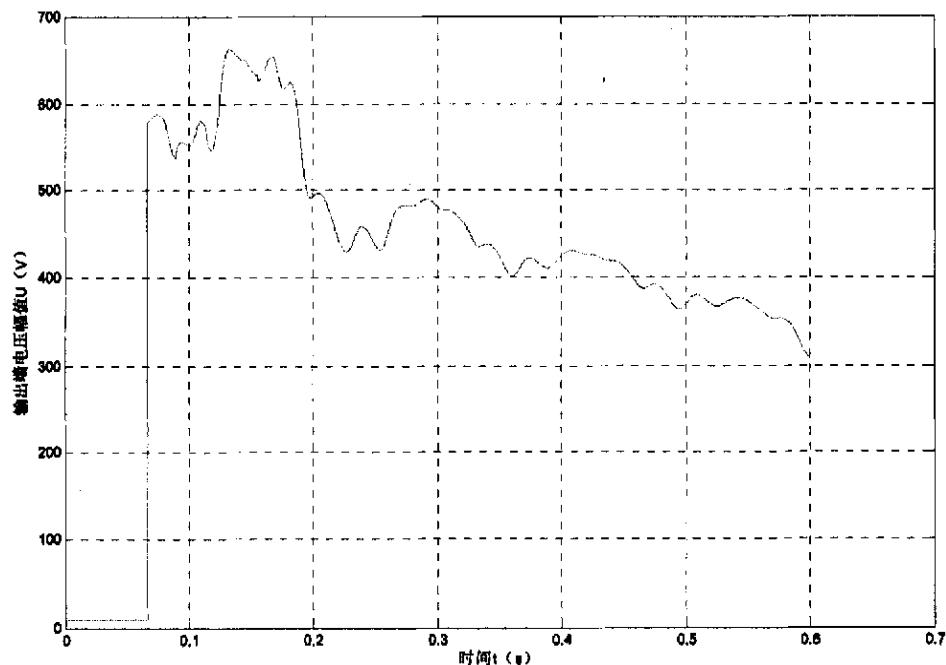


图 2.7 电机输出端电压变化

图 2.8 和图 2.9 是改进后的仿真结果，仿真时，电机输出功率从 500kW 变到 2MW 再到 700kW，端电压从 400V 变到 700V 再变到 550V，图 2.8 显示电机端电压和输出电流，图 2.9 是电机端电压的变化曲线。

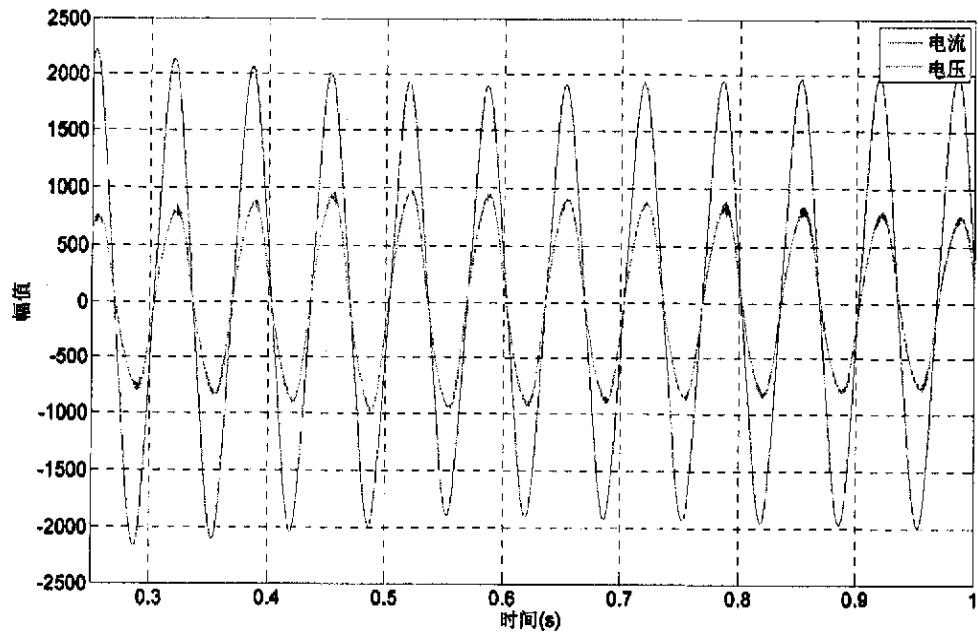


图 2.8 电机端电压和输出电流

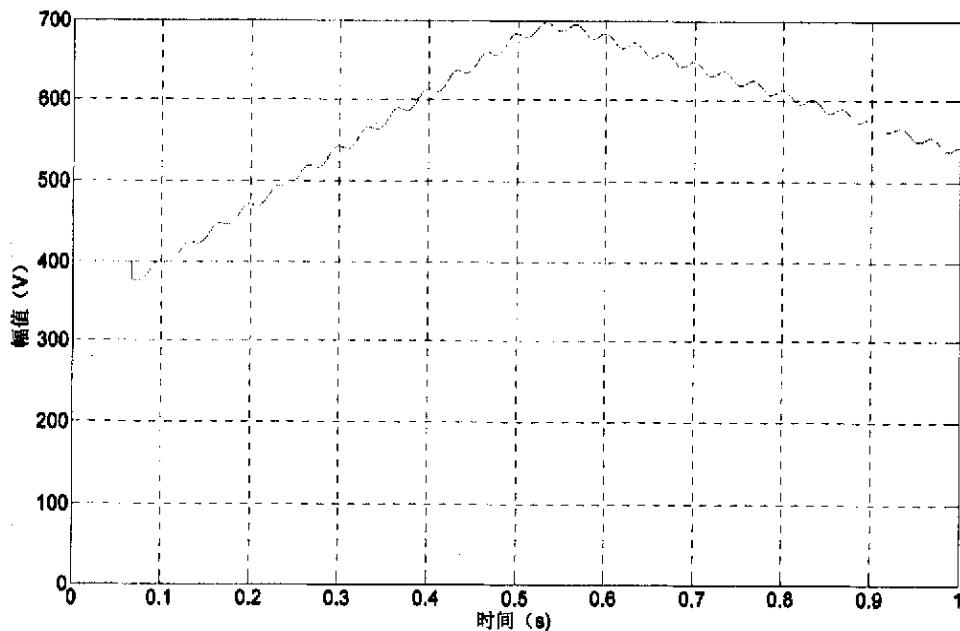


图 2.9 电机输出端电压变化

图 2.8~2.9 可以看出：采用新的控制方法系统得到了稳定运行。说明所采用方法的可行性。

在设计大功率双 PWM 永磁直驱风力发电变流器中发现电机输出端电压单位功率因数控制的问题，并提出稳定的解决方案，在仿真分析中检验了该方法的

可行性，对解决此类问题提供一定的参考，正在应用于一个在建的现场试验装置之中。

2.3 风力发电变流器的脉宽调制（PWM）控制技术

2.3.1 PWM 技术简介

PWM 脉宽调制是利用相当于基波分量的信号波对三角载波进行调制。这里相当于基波分量的信号波并不一定是指正弦波，可以是预畸变的信号波。目前的 PWM 的实现方式主要有 SPWM、准优化 PWM、开关损耗最小 PWM、电压空间矢量 SVPWM 等。

2.3.2 SPWM 技术

SPWM 波形的生成有许多方法，例如等效面积法、自然采样法、规则采样法等等。自然采样 SPWM 法采用正弦波作为调制波，以等腰三角波作为载波，利用比较法以正弦波和三角波瞬时值相等的时刻即两个波形交点作为跳变时刻，获得经调制的幅值相等、面积按正弦规律变化的矩形脉冲信号。中值规则采样法的基本思想是，将三角载波周期的中点（三角波的正峰值或负峰值）时刻对正弦采样形成阶梯波来代替正弦波。自然采样 SPWM 法虽然能确切反映正弦脉宽调制的原始方法，但其开关时刻求取困难，不适合微机实时控制，而中值规则采样法偏离自然采样法较小，脉宽的计算方法简单，用计算机实现比较方便，运算量小，实时性好，是人们常用的一种 SPWM 方法。

2.3.2.1 自然采样法

将正弦波调制信号与三角波载波相比较，由两者的交点决定逆变器开关状态的方法。

以一相 PWM 调制为例，调制波为正弦波，其方程为 $u_m(\omega t) = U_m \sin \omega t$ 。载波为三角波 u_c ，其幅度为 U_c ，周期为 $T_c = 2T_s$ 。

$$\text{由图 2.10 可推得: } t_1 = \frac{T_s}{2} - \alpha \quad (2-13)$$

$$t_2' = \frac{T_s}{2} + \alpha \quad (2-14)$$

$$t_2' = \frac{T_s}{2} + b \quad (2-15)$$

$$t_3 = \frac{T_s}{2} - b \quad (2-16)$$

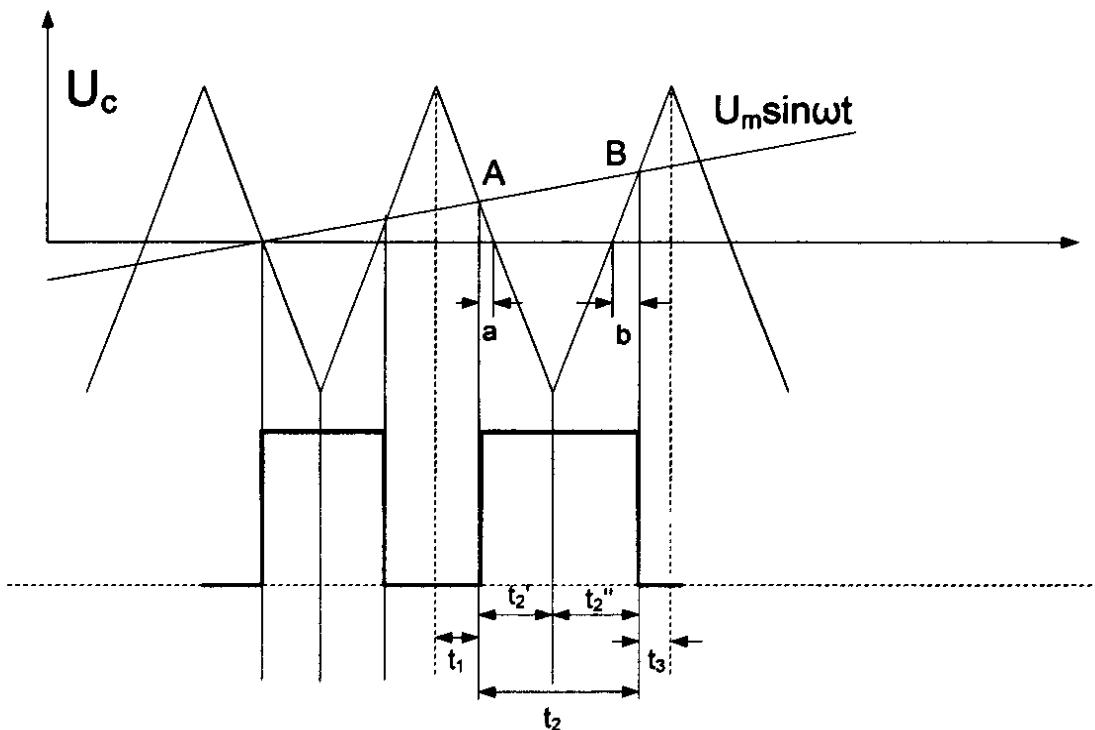


图 2.10 自然采样方法

利用三角形相似关系，解出 a、b，

$$a = \frac{T_s}{2} m_a \sin \omega t_A \quad (2-17)$$

$$b = \frac{T_s}{2} m_a \sin \omega t_B \quad (2-18)$$

其中调幅比 $m_a = \frac{U_m}{U_c}$

调频比 $m_f = \frac{f_c}{f_1}$ ，而 $f_c = \frac{1}{T_c}$

代入上式

$$t_1 = \frac{T_s}{2} (1 - m_a \sin \omega t_A) \quad (2-19)$$

$$t_2 = \frac{T_s}{2} (1 + m_a \sin \omega t_A) \quad (2-20)$$

$$t_2' = \frac{T_s}{2} (1 + m_a \sin \omega t_B) \quad (2-21)$$

$$t_3 = \frac{T_s}{2}(1 - m_a \sin \omega t_B) \quad (2-22)$$

这样脉冲宽度为

$$t_2 = t_2' + t_2'' = \frac{T_c}{2} \left(1 + \frac{m_a}{2} (\sin \omega t_A + \sin \omega t_B) \right) \quad (2-23)$$

这是个超越方程，不适合实时计算，所以就发展了规则采样法。

规则采样：经过采样的正弦波（阶梯波）与三角波相交，决定开关时刻的方法。阶梯波为在三角载波的峰点或谷点的时刻采样正弦波调制信号而形成的波形。

规则采样方法又分为：对称规则采样和不对称规则采样。

2.3.2.2 对称规则采样

阶梯波：在三角载波的峰值（谷点）的时刻采样正弦波调制信号而形成的波形。采样周期 $T_s = T_c$ 。

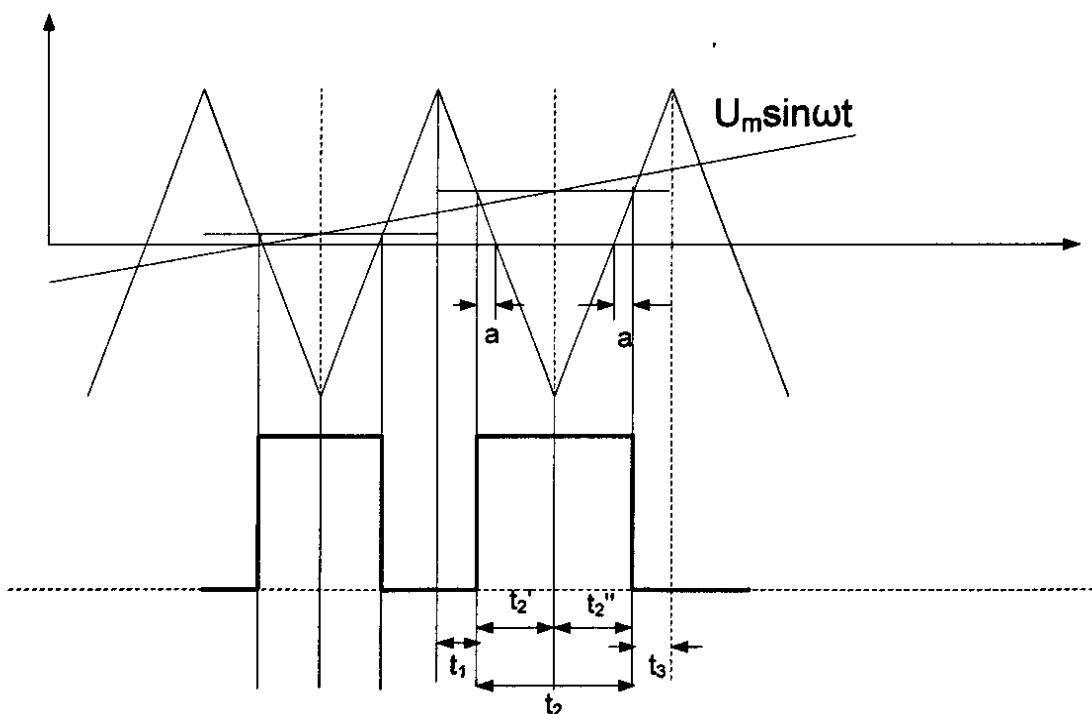


图 2.11 谷点采样的对称规则采样方法

$$t_1 = t_3 = \frac{T_s}{4} - a \quad (2-24)$$

$$t_2 = t_2' = \frac{T_s}{4} + a \quad (2-25)$$

根据三角形相似关系，求 a。

$$a = \frac{T_s}{4} m_a \sin \omega t_i \quad (2-26)$$

代入上式，得：

$$t_2 = t_2' + t_2'' = \frac{T_s}{2} (1 + m_a \sin \omega t_i) \quad (2-27)$$

$$t_1 = t_3 = \frac{T_s}{4} (1 - m_a \sin \omega t_i) \quad (2-28)$$

其中 t_i 为采样的时刻。

脉冲宽度为：

$$t_{pw} = t_2' - t_1 = \frac{T_s}{2} (1 + m_a \sin \omega t_i) - \frac{T_s}{4} (1 - m_a \sin \omega t_i) \quad (2-29)$$

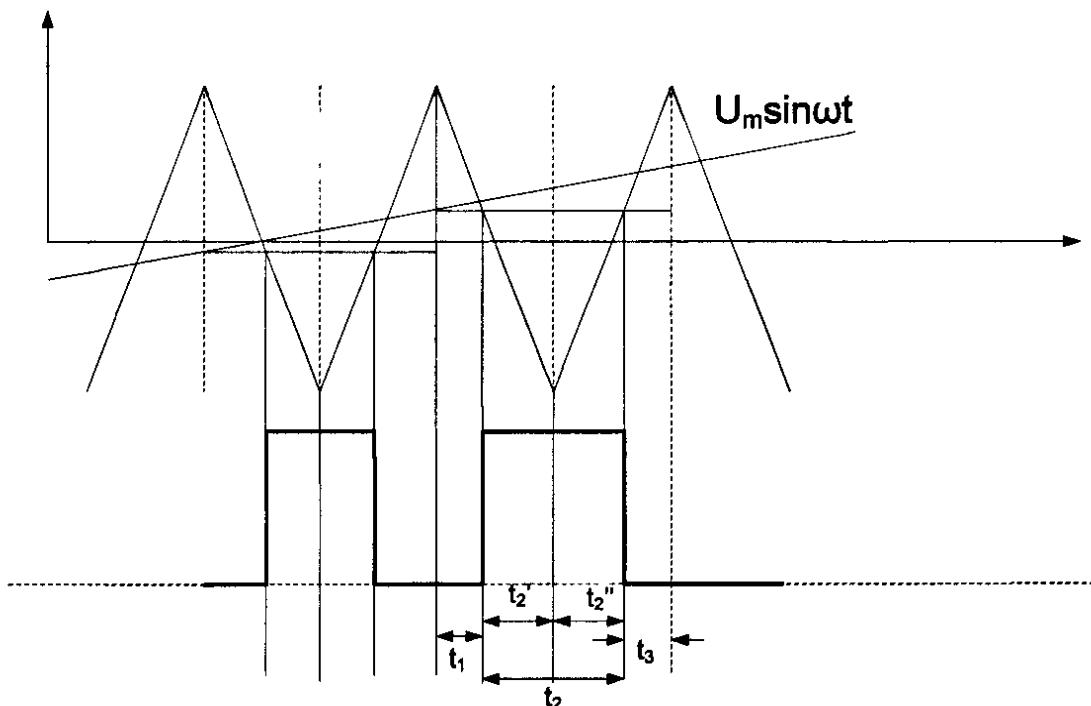


图 2.12 峰点采样的对称规则采样方法

这种采样方法，脉冲中心均匀间隔，间隔时间为 T_s 。脉冲宽度与采样点 t 的正弦波的瞬时值成正比。只要知道采样时刻 t_i ，就可以求出脉冲宽度 t_{pw} 的值。

2.3.2.3 不对称规则采样法

阶梯波：在三角波的峰值和谷点均采样正弦波，采样周期为 $T_s = \frac{T_c}{2}$ 。

在三角波峰点采样时，可知

$$t_1 = \frac{T_s}{2} - a \quad (2-30)$$

$$t_2 = \frac{T_s}{2} + a \quad (2-31)$$

在三角波的谷点时，可知

$$\dot{t}_2 = \frac{T_s}{2} + b \quad (2-32)$$

$$t_3 = \frac{T_s}{2} - b \quad (2-33)$$

利用三角相似的关系，解出 a、b，代入上式

$$t_1 = \frac{T_s}{2}(1 - m_a \sin \omega t_i) \quad (2-34)$$

$$t_2' = \frac{T_s}{2}(1 + m_a \sin \omega t_i), \quad t_2 = \frac{T_s}{2}(1 + m_a \sin \omega t_{i+1}), \quad (2-35)$$

$$t_2 = t_2' + t_2 = T_s[1 + \frac{m_a}{2}(\sin \omega t_i + \sin \omega t_{i+1})] \quad (2-36)$$

$$t_3 = \frac{T_s}{2}(1 - m_a \sin \omega t_{i+1}) \quad (2-37)$$

其中 $t_i = T_c i$, $t_{i+1} = T_c(i + \frac{1}{2})$, $i = 0, 1, 2, 3, \dots$

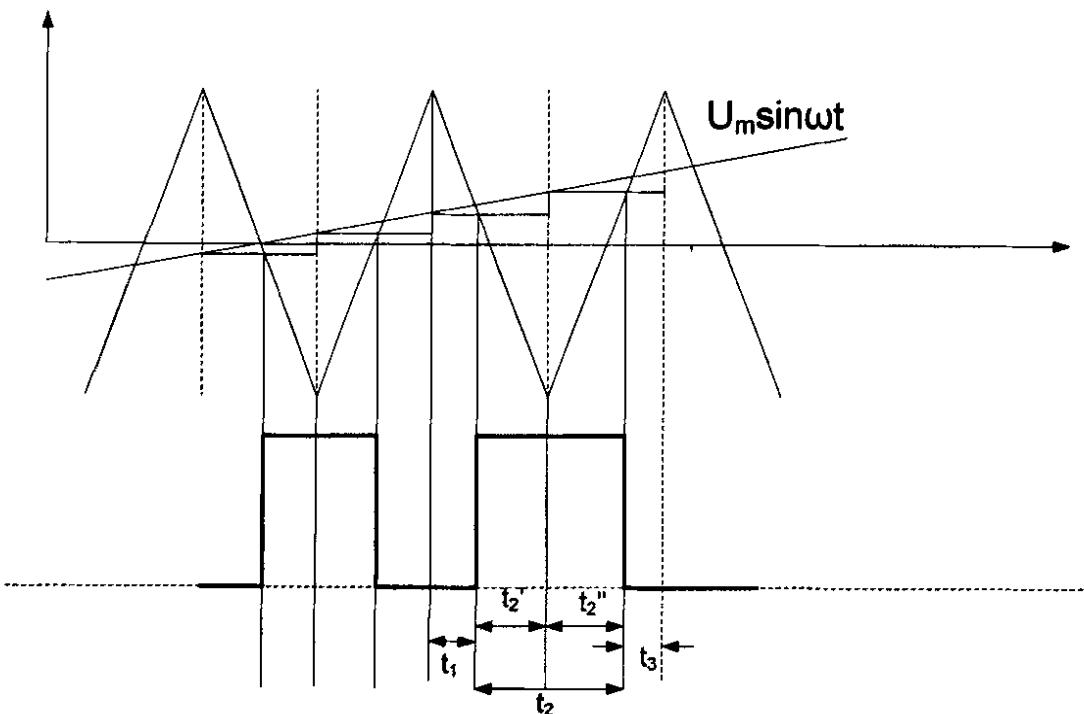


图 2.13 不对称规则采样法

t_i 和 t_{i+1} 与 m_a 无关，由 t_i 和 t_{i+1} 就可以求出 t_1 ， t_2 和 t_3 。因为不对称规则采样阶梯波比对称规则采样阶梯波更接近于正弦波，所以高次谐波分量的幅值较小；当载波比 $m_f = 3K$ 时，逆变器不存在偶次谐波。

2.3.3 载波移相调制

2.3.3.1 载波移相调制原理

三角载波移相 PWM，每个模块的 SPWM 信号都是由一个三角载波和一个正弦波比较产生，所有模块的正弦波都相同，但每个模块的三角载波与它相邻模块的三角载波之间有一个相移，这一相移使得各模块所产生的 SPWM 脉冲在相位上错开，从而使各模块最终叠加输出的 SPWM 波的等效开关频率提高，因此可在不提高开关频率的条件下减小输出谐波。

N 单元并联的逆变器对于同一相并联的功率单元，参考波相同，两个相邻的功率单元载波之间的相位差为

$$\theta = 2\pi/n \quad (2-38)$$

则 N 单元并联逆变器相应的输出 SPWM 波的等效载波频率为

$$f_{ec} = 2Nf_c \quad (2-39)$$

这样模块并联不仅有效的增大了变流器的容量，并且成倍的提高了变流器的开关频率，大大减小了滤波器的尺寸。因此是一种大功率变流器设计的有效解决方案。

图 2.14 是四个单元并联模块载波移相 PWM 调制的波形图。

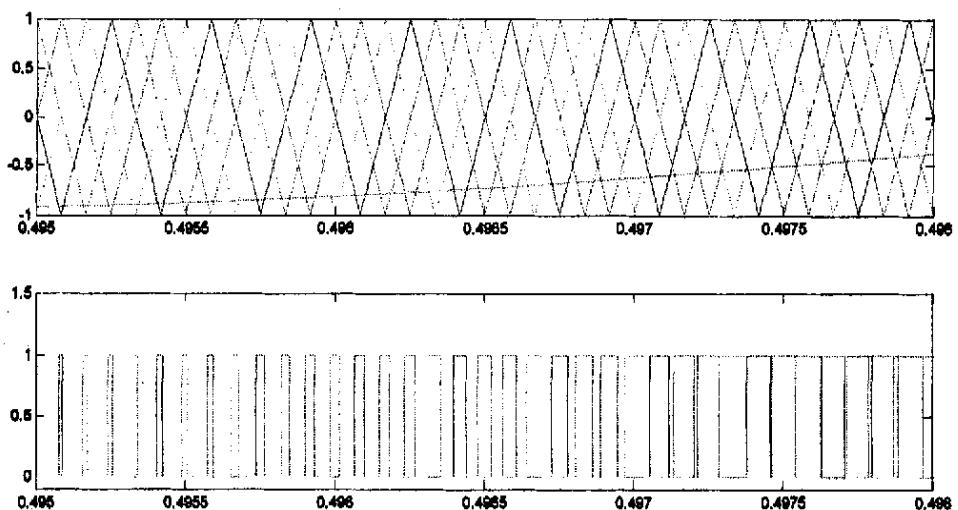


图 2.14 载波移相的基本原理

图中可以清楚看出等效开关频率是单个模块的四倍。

2.3.3.2 均流特性

图 2.15 是采用 3k 开关频率导通压降相差 0.5V 时各个模块的均流效果仿真波形。

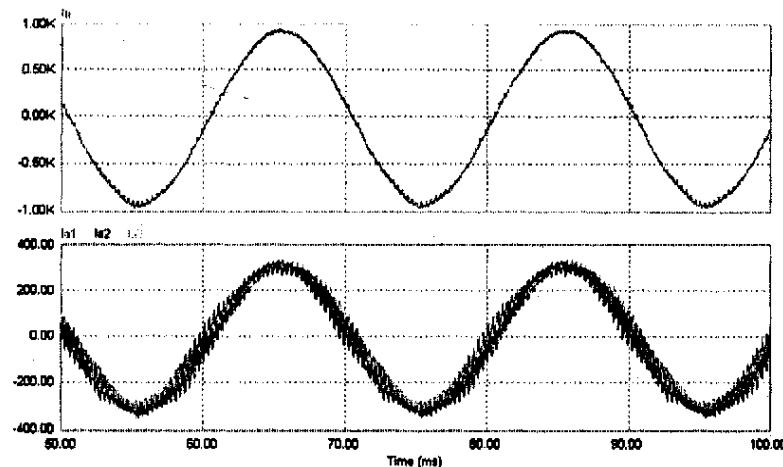


图 2.15 均流效果仿真图

图 2.15 上方 I_a 是总电流，下方 I_{a1} 、 I_{a2} 、 I_{a3} 是各模块电流。从仿真结果可以看出，各个模块电流虽稍有不均，但 200A 只有 12A 的差别，在容许的范围内。

2.3.3.3 谐波特性

下面深入对其电流波形和频谱特性进行分析。仿真条件：并联桥臂数 $N=3$ ，开关频率 $f_s = 3\text{kHz}$ ，串联电感 $L = 0.8\text{mH}$ ，直流母线电压 $U_{dc} = 1200V$ ，基波频

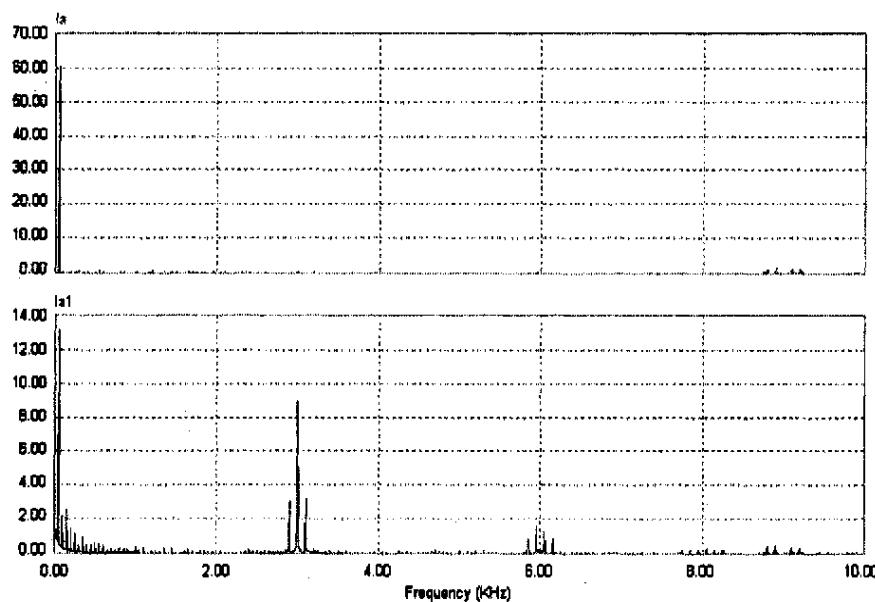


图 2.16 并联电流波形频谱和单个模块电流波形频谱

率 $f = 50\text{Hz}$ 。在图 2.16 中上方为并联模块电流波形频谱，下方为单个模块输出

的电流波形频谱。可以看到桥臂电流的开关纹波分量集中在 3、6、9kHz 等 3kHz 的整数倍处，而并联电流不包含 3、6kHz 纹波，其谐波分量分布在 9、18kHz 等 9kHz 的整数倍处。所以，载波移相的确成倍提高了并联电流的等效开关频率。

通过以上分析，载波移相 PWM 变流器并联技术具有以下优点：

- ① 提高变流器的等效开关频率，降低输出滤波器尺寸。
- ② 单个器件的开关频率下降降低了系统的散热设计难度。
- ③ 系统的鲁棒性大大提高。
- ④ 并联支路自动均流，不需要复杂的均流控制，降低了系统的控制复杂性。
- ⑤ 易于变流器的扩容。

基于以上主要优点，通过 2MW 低速永磁直驱风力发电变流器设计仿真验证，载波移相 PWM 技术非常适合大功率高可靠性场合的应用。在变速恒频风力发电单机容量不断扩大的趋势下，有很广阔的应用前景。另外此种变流器结构同样可以扩展到其它的变流器应用领域，有重要的工程应用价值。

2.4 本章小结

首先介绍了风力发电技术，分为恒速恒频技术和变速恒频技术，现在大多数使用的是变速恒频技术。接着分析了永磁同步电机的数学模型，并在此基础上提出了一种改进的单位功率因数控制方法。最后研究了 PWM 技术，风力发电变流器采用的是载波移相的脉宽调制方法。

第三章 数字控制器的硬件电路设计

3.1 数字控制器的硬件设计

功率变流器的控制系统采用通用的双 DSP 加 FPGA 扩展。通用的 DSP 芯片的优点是可以进行复杂的控制算法、运算速度快、寻址方式灵活和通信性能强大。但是传统的 DSP 芯片的结构本质上是串行的，对于需要处理的数据量大、处理速度快，但是运算结构相对比较简单的底层信号处理算法来说，并没有优势可言，而这恰好是 FPGA 硬件的强项。采用 DSP+FPGA 的数字控制系统正好把两者的优点结合到一起，它有更快的处理速度和更优的计算能力，通用性、模块化、扩展性都能做的更好。通用性和扩展性带来的缺点是集成度相对下降，整个控制器的成本提高。而且本控制器中的 FPGA 只用于实现接口电路，完成多路 PWM 扩展。

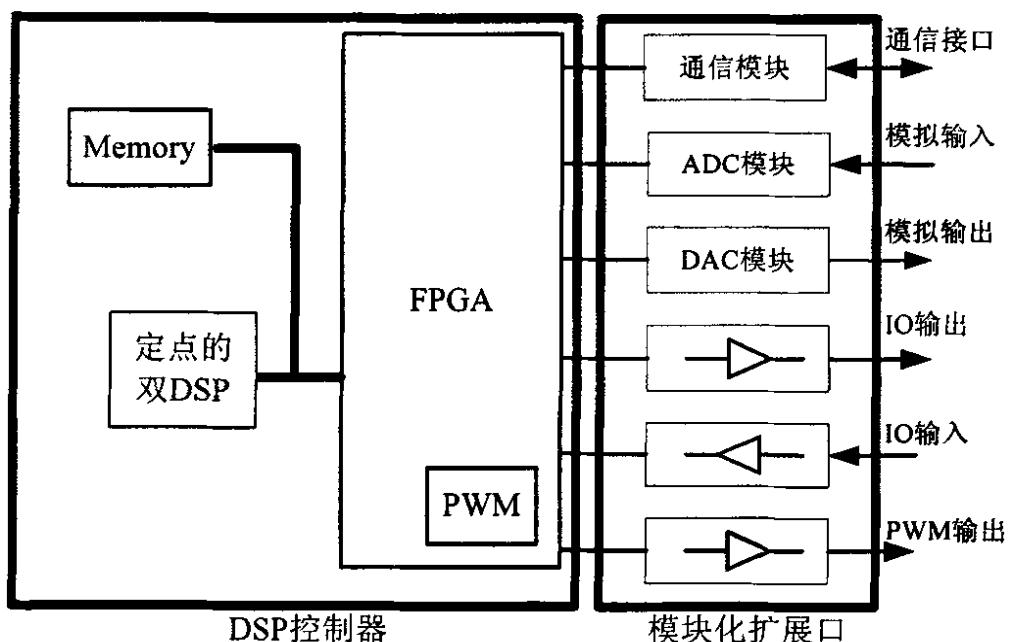


图 3.1 数字控制器的核心部分

如图 3.1 所示，控制器核心部分主要由双 DSP 模块、FPGA 扩展模块、外接存储器、数模转换接口、通信模块、I/O 和 PWM 输出等组成。

3.1.1 双 DSP 模块

两个 DSP 中一个进行控制算法运算，另一个进行故障检测，DSP 之间通过 CAN

总线进行必要的通信。因为机侧和网侧基本对称，所以机侧和网侧变流器的控制器采用同一个结构，可以简化控制系统的结构。

本设计中用两块 TMS320LF2812 芯片作为核心处理器，TMS320LF2812 是 TI 公司推出的一款高速、功能强大的 32 位定点 DSP 芯片。时钟频率最大可达到 150MHZ，8K×16 位的片内 FLASH 存储器，速度和容量的提高，使得在一个 DSP 芯片上实现复杂的控制算法成为可能。每个 DSP 集成了两个事件管理器，12 位的 ADC，16 通道，可以满足电机变流器控制的需要。配备了 3 个 32 位的 CPU 定时器，总线结构也有了很大改进。表 3.1 分别对 F2812 和 F2407 做性价比比较。为满足多种功率变换拓扑结构的需要，例如多电平，矩阵变换器等，DSP 器件具有的 12 路 PWM 通道显然是不够用的，这就需要扩展 PWM 通道数。DSP 的结构配置如图 3.2 所示。

	CPU 位数	FLASH	RAM	A/D	SPI	SCI	McBSP	I/O
TMS320 LF2812	32 位	128K	18K	12bit200 ns/60ns	37.5M	2×9.3M	75M	56
TMS320 L2407A	16 位	32K	2K	10bit500 ns	10M	1×2.5M	无	44

表 3.1 F2812 和 F2407 的性价比比较

3.1.2 FPGA 模块

因为系统采用多模块载波移相逆变器模块并联技术，所以用到多路 I/O 口发生 PWM 信号来驱动并联模块。考虑到控制板的通用性，而且 DSP 本身不能提供足够的 I/O 口，所以需要扩展。功能扩展采用现场可编程逻辑器件（FPGA）实现。本系统使用 Altera 公司的 Cyclone20 万门的可编程逻辑器件作为 PWM 的通道扩展，可以根据实际需要配置成上百路 PWM 输出通道。并且把两个 DSP 数据线地址线连接到 FPGA，可以把 FPGA 作为协处理器来使用，FPGA 可以完成并行数据处理运算，实现复杂的算法，加强了系统的运算能力。也可以把 FPGA 设置成双口 RAM 实现两个 DSP 间的数据交换，两个 DSP 可以一个作为主处理芯片，另一个作为从处理芯片。

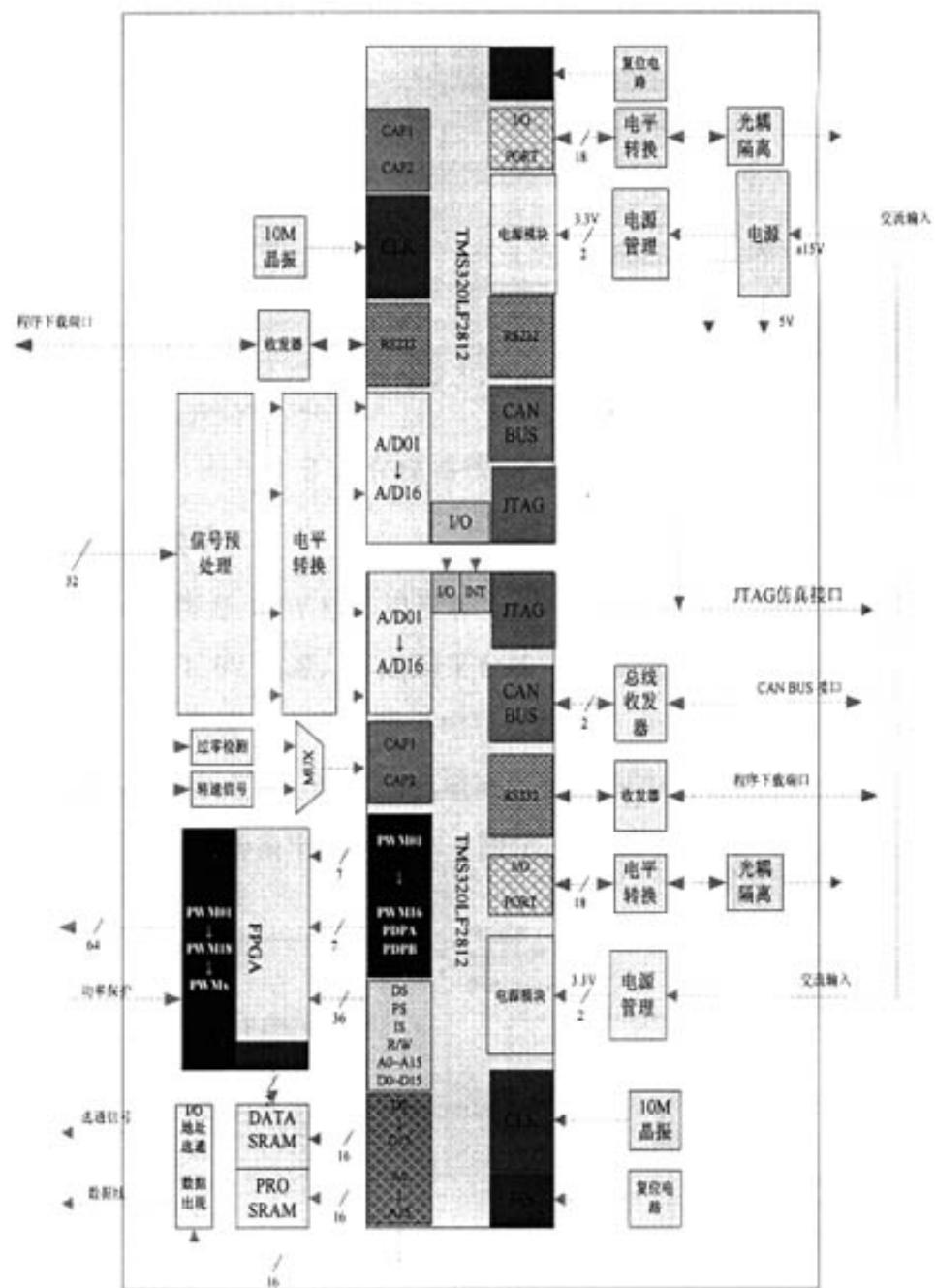


图 3.2 DSP 结构配置图

3.1.3 片外存储器

作为控制系统存储器扩展部分的片外存储器采用 ISSI 公司的 IS61LV51216，工作电压 3.3V，容量 $512\text{K} \times 16\text{bits}$ ，存取速度为 8, 10, 12ns。

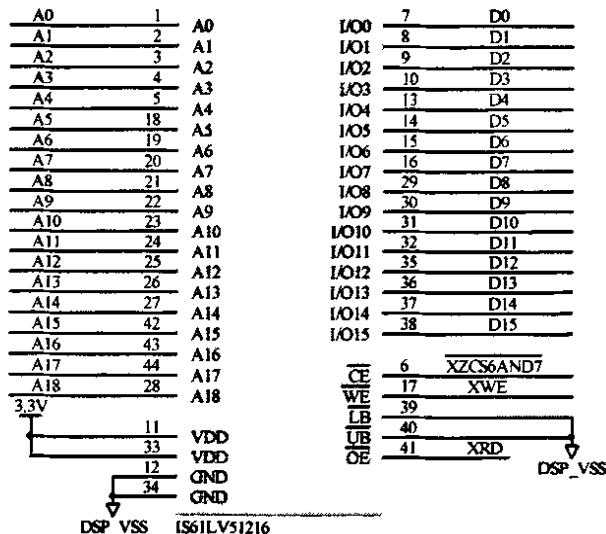


图 3.3 扩展存储器接口电路图

3.1.4 电平转换模块

F2812 的供电电源是 1.8V 核心电压和 3.3V I/O 口电压，首先要将现有电源转换成 3.3V 电源和 1.8V 电源，考虑到平台的带负载能力。3.3V 电源采用 TI 公司的 PTH04070，它可以将 3.3V/5V 输入电压转换成 0.9V 到 3.6V。这里我们用它把 5V 电源转换成 3.3V 电源，最大输出电流可以达到 3A，同时提供欠压封锁和输出电流过载保护功能。转换电路如图 3.4 所示。

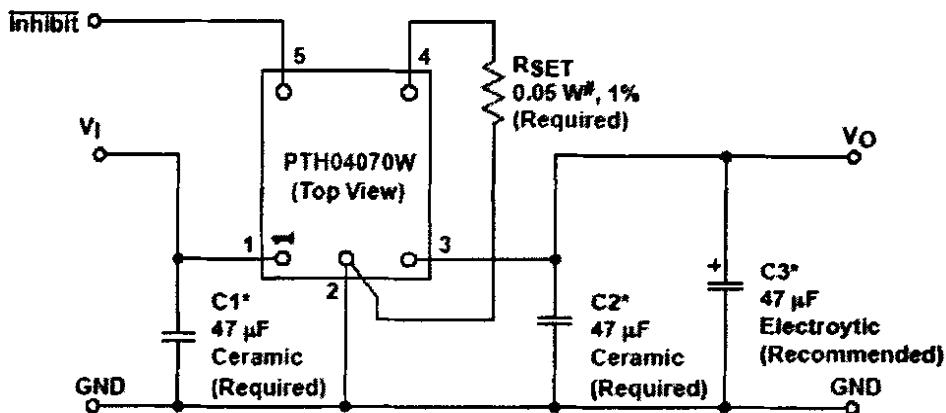


图 3.4 5V 电源转换成 3.3V 电源电路图

1.9V 核心电源采用 TI 公司的 TPS767D318，它可以将 3.3V 输入电压转换成 1.8V 输出，最大输出电流 1A，同时可以提供延时 200ms 的上电复位信号。转换电路如图 3.5 所示。

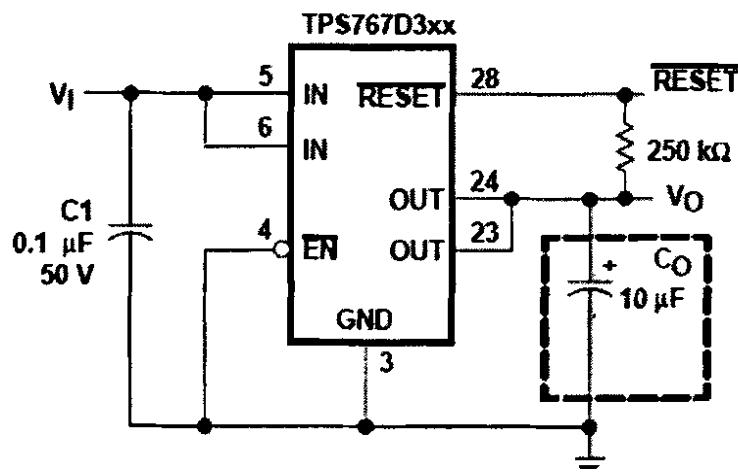


图 3.5 3.3V 电源转换成 1.8V 电源电路图

3.1.5 系统外设接口设计

TMS320F2812 具备丰富的外设接口。SCI 接口主要用于与控制台进行串行通信，基于 SCI 接口的串行通信协议有 RS232、RS485 等，是平台一个重要的人机接口。SPI 接口主要用于串行外设的通信，比如遵循 SPI 协议的串行协议的串行 E²PROM 和串行 DA 转换器。CAN 总线是一种工业现场总线，F2812 中使用的增强型控制器区域网络 (eCAN) 模块与现行的 CAN2.0 标准兼容，主要用于较远距离的工业网络控制。

基于 SCI 接口的串行通信协议有两种 RS232、RS485，控制器核心板上用的是 RS232，具体接口电路如图 3.6 所示。

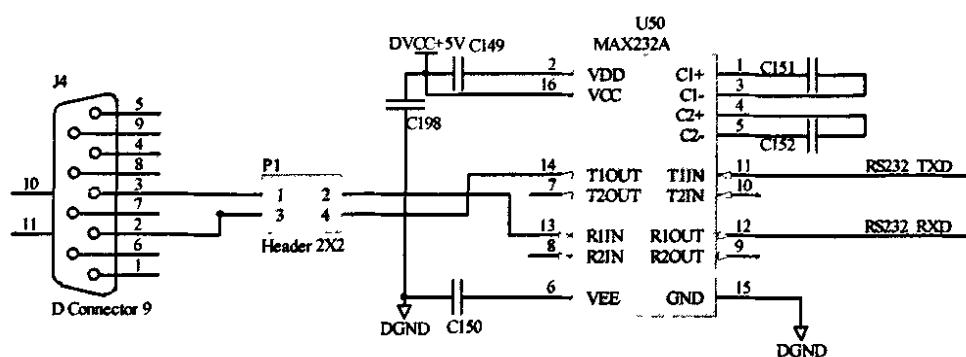


图 3.6 SPI 接口电路图,

SCI 接口示意图如 3.7 所示。

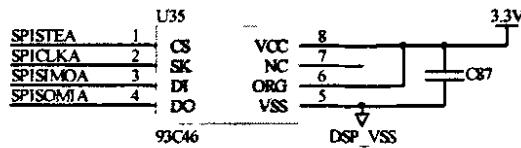


图 3.7 SCI 接口电路图

平台中 CAN 总线接口，如图 3.8 所示，PCA82C250 工作电压是 5V，其输入、输出都是 5V CMOS 电平。因此不能与 3.3V 的 DSP 直接接口，需要进行电平转换。

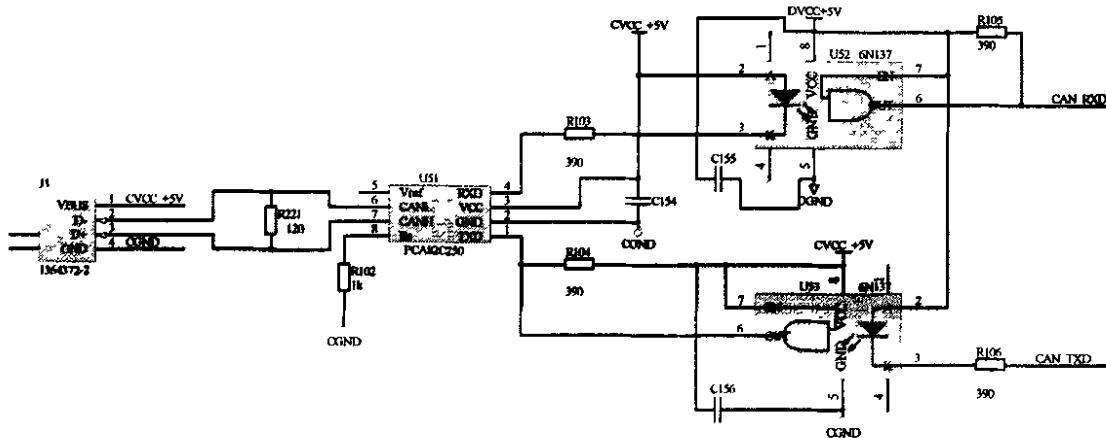


图 3.8 CAN 总线接口电路图

如图 3.9 所示，使用电平转换芯片 74LS14 来实现 5V 与 3.3V 的转换。

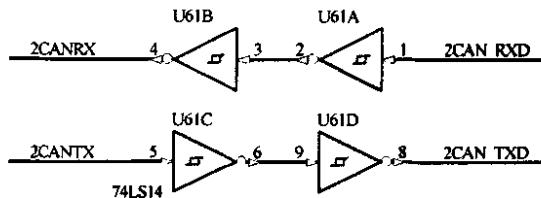


图 3.9 电平转换芯片

3.1.6 PWM 驱动

由 DSP 到 FPGA，再到输出的 PWM 都是 3.3V 信号，而功率部分一般要求 PWM 驱动为 5V 信号，因此需要将 PWM 电平抬高。74LS14 可以将 3.3V 系统的电平提高到 5V 系统的水平。

3.2 双 DSP+FPGA 核心控制器的 PCB 设计

现在的控制系统设计中，66MHZ 到 200MHZ 的处理器受到广泛应用，本系统中核心处理器 TMS320LF2812 就是一款时钟频率高达 150MHZ 的 DSP 芯片。对于这些高速控制系统，PCB 的设计、布局和布线技术就显得至关重要了。

在高速的控制系统中，噪声问题时一个最基本也是最严重的问题。高频会产

生辐射进而产生干扰。边缘极值的速度可以产生振铃，反射以及串扰^[24]。如果不加抑止的话，这些噪声就可能会对关键线路产生致命打击以致危害到整个系统的性能。

3.2.1 高速信号电路 PCB 设计关键

3.2.1.1 布局部分

1. 关键的电路，核心元器件应该优先布局。其中高速、面积较大，管脚又多的 DSP、FPGA 应该最先考虑，尽可能放在整个板子的中心部分。

本设计中的双 DSP、FPGA、片外存储器应优先考虑布局。

2. 模拟信号和数字信号隔离，高频元器件之间间隔要充分，高频信号、高电压、大电流与其他线路间隔要充分。

本设计中高频线路如晶振部分和敏感的模拟信号（AD 转换部分）也应该先考虑好位置和与其它线路的间隔。这一步是至关重要的。

3. IC 去耦电容布局要紧靠 IC 的电源管脚和地管脚，使之与电源和地之间形成的回路面积最小。

3.2.1.2 设置布线约束条件

1. 布线层设置

在高速数字电路设计中，电源与地层应尽量靠在一起，所有布线层都尽量靠近一平面层，优选平面为走线隔离层。为了减少层间信号干扰，相邻布线层的信号线尽量垂直走线，绝对要避免较长的平行走线。

2. 线宽和线间距的设置要考虑的因素

PCB 板的密度越高，就要使用更细的线宽和更窄的间隙。在 PCB 布线密度较低的部分尽可能加宽走线和间隙，来减小电磁干扰。当信号的平均电流较大时，应考虑布线宽度所能承载的电流，表 3.2 提供了一个参考。这里还要有一个概念，就是国内加工技术可以达到多少的极限线宽和间距，当然在设计中应该考虑适当余量来保证可靠性。另外，考虑到加工技术，设计中尽量避免使用盲孔和埋孔。

导线宽度 (Mil)	导线电流 (A)
10	1
20	1.3
30	1.9
50	2.6
100	4.2
200	7.0

表 3.2 电流与线宽的关系

	国内	国际先进水平
推荐使用最小线宽/间距	6mil/6mil	4mil/4mil
极限最小线宽/间距	4mil/6mil	2mil/2mil

表 3.3 PCB 中线宽、间距的加工技术限制^[24]

考虑余量与板子面积、密度，本设计选择的最小线宽是 8mil，最小间距 12mil。

3. 定义和分割平面层

平面层一般用于设置成电路的电源层和地层，由于电路中可能用到不同的电源和地层，需要对电源层和地层进行分隔（在布局的时候就应该有所考虑，尽可能把相同电源的放在一块），其分隔宽度要考虑不同电源之间的电位差，电位差大于 12V 时，分隔宽度为 50mil，反之，可选 20—25mil。^[24]另外平面层分隔还要考虑高速信号回路的完整性。当高速信号回路遭到破坏时，应当在其他布线层给予补偿。例如可用接地的铜箔将该信号网络包围，以提供信号的地回路。

3.2.1.3 布线部分

1. 布线优先次序

关键线路优先：高速信号、时钟信号、模拟小信号、同步信号及电源等关键信号优先布线

密度优先原则：从 PCB 板上连接关系最复杂的器件，连线最密集的区域开始着手布线。如本设计中的双 DSP 和 FPGA 部分。

2. 尽量为时钟信号、高频信号、敏感信号等关键信号提供专门的布线层，

以保证其最小的回路面积。必要时应采取屏蔽、加大安全间隔等方法，确保信号质量。

3. 进行 PCB 设计时应该遵循的规则

1) 环路最小规则：

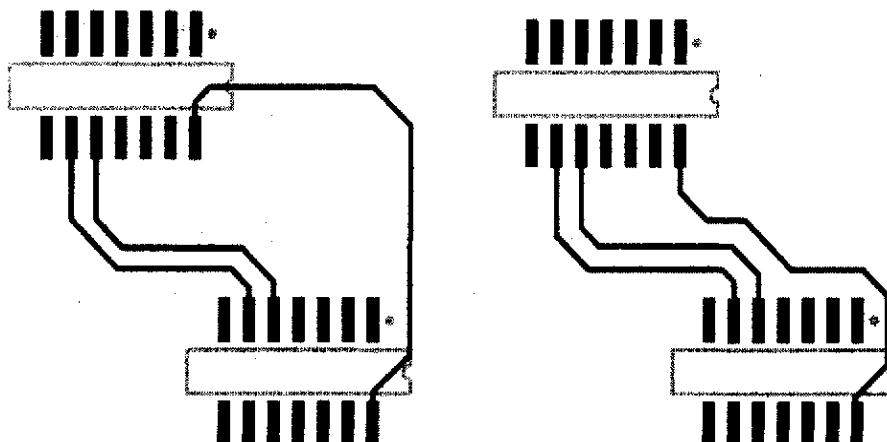


图3.10 环路最小规则

环路最小规则，即信号线与其回路构成的环路面积要尽可能小，环路面积越小，对外的辐射越少，受到外界的干扰也越小。如图3.10所示，左图环路面积很大，干扰大，而右图是正确的走线方式。针对这一规则，在地平面分割时，要考虑到地平面与重要信号走线的分布，防止由于地平面分割等带来的问题。

2) 串扰控制

串扰(CrossTalk)是指PCB上不同网络间因较长的平行走线引起的相互干扰，主要是因为平行线间的分布电容和分布电感的作用。要克服串扰，尽可能降低干扰，应加大平行走线之间的间距，可参照3W规则，尽量减小信号层与地平面的距离，或者在平行线之间插入接地的隔离线等。

3) 走线方向控制规则

相邻信号层的走线尽量走成正交结构。避免不同网络的信号线在相邻层走成平行线，以减小信号线之间的层间串扰；当布板过程中难以避免这种情况，特别是信号速率较高时，要考虑布线层用地平面隔离，但是最关键方法的还是要避免相邻层的这种较长平行走线。

4) 走线的开环检查规则

一般不允许出现浮铜(没有和任何直流网络连结的铜箔)或者一端浮空的布线，主要是为了避免天线效应。

5) 阻抗匹配规则

同一网络的布线宽度应该保持一致，线宽的变化会引起线路特性阻抗的不均匀，当传输高速信号时会产生反射，在走线时应该注意尽量避免出现这种情况。

6) 倒角规则

本设计中尽量使用 135° 的钝角或者圆角作为拐角，避免使用锐角和直角来拐线。

7) 电源和地的完整性规则

分割电源层和地层时要考虑电源和地的完整性。对于过孔密集区域，要避免过孔的挖空部分相互连接，形成对平面层的分割，从而破坏平面层完整性，导致信号在地层的那部分回路面积增大。

8) 3W 规则

为了减小线间串扰，应保证充分的线间距。当线中心间距不小于 3 倍线宽时，则可保持 70% 的电场不相互干扰，称为 3W 规则。

9) 20H 规则^[24]

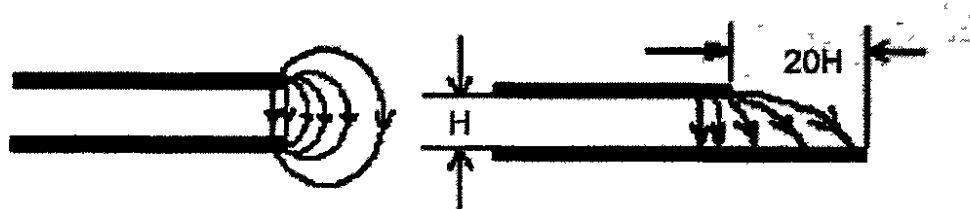


图 3.11 20H 规则

由于电源层与地层之间的电场是变化的，在板的边缘会向外辐射电磁干扰，称为边沿效应。解决的方式是将电源层内缩，使得电场只在接地层的范围内传导。以电源层和地层之间的介质厚度 H 为单位，若内缩 $20H$ 则可以将 70% 的电场限制在接地层边沿内；内缩 $100H$ 则可以将 98% 的电场限制在内。

3.2.2 风力发电用数字控制核心板的 PCB 板图

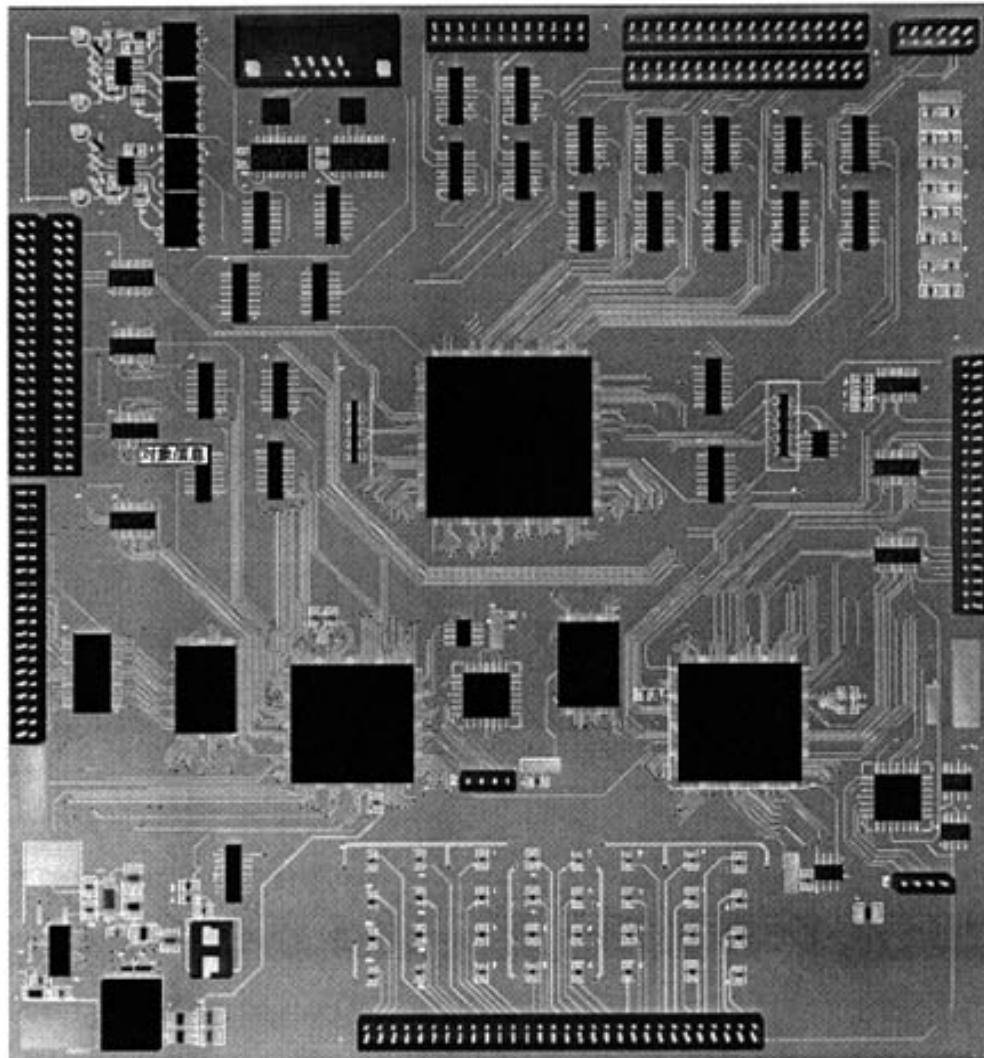


图 3.12 数字控制平台板图

3.3 本章小结

本章主要介绍了设计用数字控制器的主要结构和关键的硬件设计，核心硬件电路主要包括双 DSP 模块、FPGA 扩展模块、外接存储器、数模转换接口、通信模块、I/O 和 PWM 输出等。后半部分介绍了核心板 PCB 设计的一些关键技术，核心板的关键线路的功能调试已经基本完成，设计成功。

第四章 载波移相的 FPGA 设计

4.1 FPGA 简介

4.1.1 FPGA 器件及其特征

FPGA 是 Filed Programmable Gate Array 的缩写，即现场可编程逻辑阵列。FPGA 是在 PAL(Programmable Array Logic)， GAL(Generic Array Logic)等逻辑器件的基础上发展起来的新型高性能可编程逻辑器件。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的，即解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

目前大多数 FPGA 是基于查找表(Look-up table, LUT)结构的，在 FPGA 中多使用 4 输入的 LUT，所以每一个 LUT 可以看成一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。现场可编程门阵列(FPGA)属于可重构器件，其内部逻辑功能可以根据需要任意设定。其结构主要分为三部分：可编程逻辑块、可编程 I/O 块、可编程内部连线。由于 FPGA 的集成度非常大，一片 FPGA 少则几千个等效门，多则几万或几十万个等效门，所以一片 FPGA 就可以实现非常复杂的逻辑、替代多块集成电路和分立元件组成的电路^[21]。

由于 LUT 主要适合 SRAM 工艺生产，所以目前大部分 FPGA 都是基于 SRAM 工艺的，而 SRAM 工艺的芯片在掉电后信息就会丢失，一定需要外加一片专用的配置芯片，在上电的时候，由这个专用配置芯片把数据加载到 FPGA 中，然后 FPGA 就可以正常工作，由于配置时间很短，不会影响系统正常工作。

加电时，FPGA 芯片将 EPROM 中数据读入片内编程 RAM 中，配置完成后，FPGA 进入工作状态。掉电后，FPGA 恢复成白片，内部逻辑关系消失，因此，FPGA 能够反复使用。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的，因此，工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式，采用不同的编程

方式。FPGA 有多种配置模式：并行主模式为一片 FPGA 加一片 EPROM 的方式；主从模式可以支持一片 PROM 编程多片 FPGA；串行模式可以采用串行 PROM 编程 FPGA；外设模式可以将 FPGA 作为微处理器的外设，由微处理器对其编程。

FPGA 借助于硬件描述语言（HDL）来对系统进行设计，采用三个层次（行为描述、RTL(Register Transmission Level, 寄存器传输级)描述、门级描述）的硬件描述和自上至下（从系统功能描述开始）的设计风格，能对三个层次的描述进行混合仿真，从而可以方便地进行数字电路设计。

FPGA 的基本特征主要有：

- 1) FPGA 设计 ASIC 电路，用户不需要投片生产，就能得到合用的芯片。
- 2) FPGA 可做其它全定制或半定制 ASIC 电路的中试样片。
- 3) FPGA 内部有丰富的触发器和 I/O 引脚。
- 4) FPGA 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一。
- 5) FPGA 采用高速 CHMOS 工艺，功耗低。可以与 CMOS、TTL 电平兼容。
- 6) 与数字器件相比，它具有简洁、经济、高速度、低功耗等优势，用户可以通过现场编程和配置来改变其内部连接和元件参数，从而获得所需要的电路功能。
- 7) 而与普通模拟电路相比，它又具有全集成化、适用性强、便于开发和维护等显著优点。
- 8) 集成度高、使用灵活、处理速度快、效率高。

正是由于 FPGA 的这些特点，才使得它在越来越多的领域得到了广泛的应用。

4.1.2 FPGA 的内部结构

以 Xilinx 的 FPGA 器件为例介绍 FPGA 的内部结构原理。简化的 FPGA 芯片基本是由 4 部分组成，分别为可编程输入输出块（IOB, Input/Output Block）、可配置逻辑块（CLB, Configurable Logic Block）、嵌入式块 RAM (BRAM, Block RAM) 和可编程连线资源（PLA, Programmable Interconnect Array）等。如图 4.1 所示。

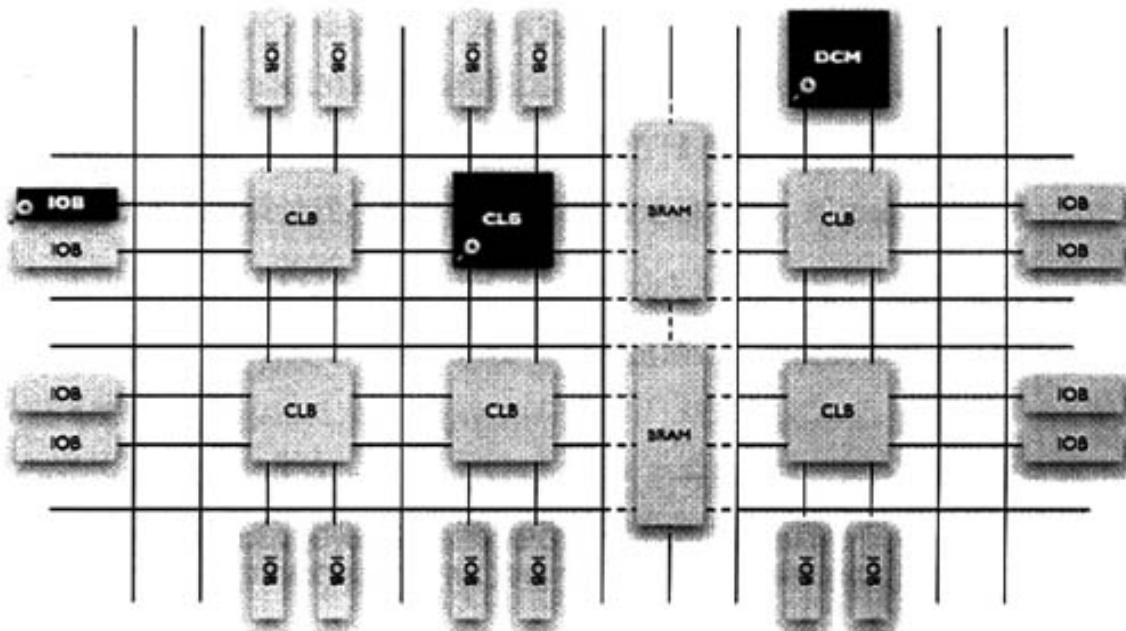


图 4.1 FPGA 的结构原理图

(1) 可编程输入输出块

IOB 位于芯片内部四周，它们是芯片与外界电路的可编程接口部分，完成不同电气特性下对输入/输出信号的驱动和匹配需求。通过软件的灵活配置，可以适配不同的电气标准与 I/O 物理特性；可以调整匹配阻抗特性，上下拉电阻；可以调整输出驱动电流的大小。它主要由逻辑门触发器和控制单元组成。

(2) 可配置逻辑块

CLB 组成了 FPGA 的核心阵列，能完成用户指定的逻辑功能：每个 CLB 主要有一个组合逻辑、几个触发器、若干芯片内部逻辑间的相互连接，并在它们之间传递逻辑信息。

(3) 嵌入式块 RAM

目前大多数 FPGA 都有内嵌的块 RAM，大大地拓展了 FPGA 的应用范围和使用灵活性。

(4) 可编辑布线资源

布线资源连通 FPGA 内部所有单元，连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。实现过程中，设计者一般不需要直接选择布线资源，而是由布局布线器自动根据输入的逻辑网表的拓扑结构和约束条件选择可用的布线资源连通所有的单元模块，所以设计者往往可以省略布线资源。

FPGA 器件的功能是由逻辑结构的配置数据决定，配置数据通过可编程内

连线使相应的可编程开关连接起来，从而实现一定的逻辑功能。上电时，这些配置数据存放在片内的 SRAM 或者熔丝图上。使用 SRAM 的 FPGA 器件，在工作前需要从芯片外部加载配置数据。配置数据可以存储在片外的 EPROM 或其它存储体上，通过控制加载过程，在现场修改器件的逻辑功能，即所谓现场编辑。

4.1.3 主流低成本 FPGA-Cyclone

本设计采用的 FPGA 芯片是 Altera 公司推出的新一代主流低成本 FPGA：Cyclone（飓风）。

Cyclone 器件采用 0.13um 的工艺制造，其内部有锁相环、RAM 块，逻辑容量从 2910~20060 个 LE。Cyclone 系列 FPGA 特性参见表 4.1。

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LE	2,910	4,000	5,980	12,060	20,060
M4K RAM	13	17	20	52	64
PLL	1	2	2	2	2
Maximum user I/O pins	104	301	185	249	301

表 4.1 Cyclone 系列 FPGA 主要特点

Cyclone 内部的 RAM 块只有 M4K 一种，它可以实现真正双端口、简单双端口和单端口的 RAM，可以支持移位寄存器和 ROM 方式。

4.2 开发环境和工具

4.2.1 Quartus II 简介^[21]

Quartus II 是 Altera 公司的第四代可编程器件的综合开发工具，它集成了 Altera 的 FPGA/CPLD 开发流程中所涉及的所有工具和第三方软件接口，包含了可编程逻辑器件设计中所有的输入、编译、综合优化、定时分析、仿真以及器件编程等设计功能。Quartus II 使用简便，而且对 Altera 系列器件的编译配置性能最为优异。支持的器件非常广泛，包括 APEX 20K，APEX 20KC，ARM-based Excalibur，Cyclone，FLEX，Mercury 和 MIPS-based Excalibur 器件等。采用了 PowerFit 适配技术和 LogicLock 增强技术提高了设计效率，可以支持百万门级的设计。

Quartus II 可以产生并识别 EDIF 网表文件、VHDL 网表文件和 Verilog HDL

网表文件，为其他 EDA 工具提供了方便的接口；可以在 QuartusII 集成环境中自动运行其他 EDA 工具。对第三方工具提供了良好的支持。

4.2.2 Verilog 硬件设计语言

Verilog HDL 语言是在 C 语言的基础上发展而来的。从语法结构上看，Verilog HDL 语言与 C 语言有许多相似之处，继承和借鉴了 C 语言的很多语法结构，而且 Verilog HDL 语言与 C 语言的运算符几乎完全相同^[23]。当然，Verilog HDL 作为一种硬件描述语言，与 C 语言还是有着本质的区别。

Verilog HDL 语言具有以下一些特点^[17]。

既能进行面向综合的电路设计，又可用于电路的模拟仿真。

能够在多个层次上对所设计的系统加以描述，从开关级、门级、寄存器传输级（RTL）到行为级等，都可以胜任；设计的规模是任意的，语言不对设计的规模施加任何限制。

灵活多样的电路描述风格，可进行行为描述，也可进行结构描述或数据流描述；支持混合建模，在一个设计中各个模块可以在不同的设计层次上建模和描述。

Verilog HDL 的行为描述语句，如条件语句、赋值语句和循环语句等，类似于软件高级语言，便于学习和使用。

内置各种基本逻辑门，如 and、or 和 nand 等，可方便地进行门级结构描述；内置各种开关级元件，如 pmos、nmos 和 cmos 等，可进行开关级的建模。

用户定义原语（UDP）^[23]创建的灵活性。用户定义的原语既可以是组合逻辑，也可以是时序逻辑；可通过编程语言接口（PLI）机制进一步扩展 Verilog HDL 语言的描述能力。PLI 是允许外部函数访问 Verilog HDL 模块内信息，允许设计者与模拟器交互的例程集合。

另外，Verilog HDL 语言易学易用，可以使设计者更快更好地掌握并用于电路设计。Verilog HDL 语言的功能强，可满足各个层次设计人员的需要。正是以上优点，使得它广泛流行。在 ASIC 设计领域，Verilog HDL 语言一直是事实上的标准。

4.3 FPGA 设计流程

本设计利用 Quartus II 进行 FPGA 设计。设计流程如下图所示

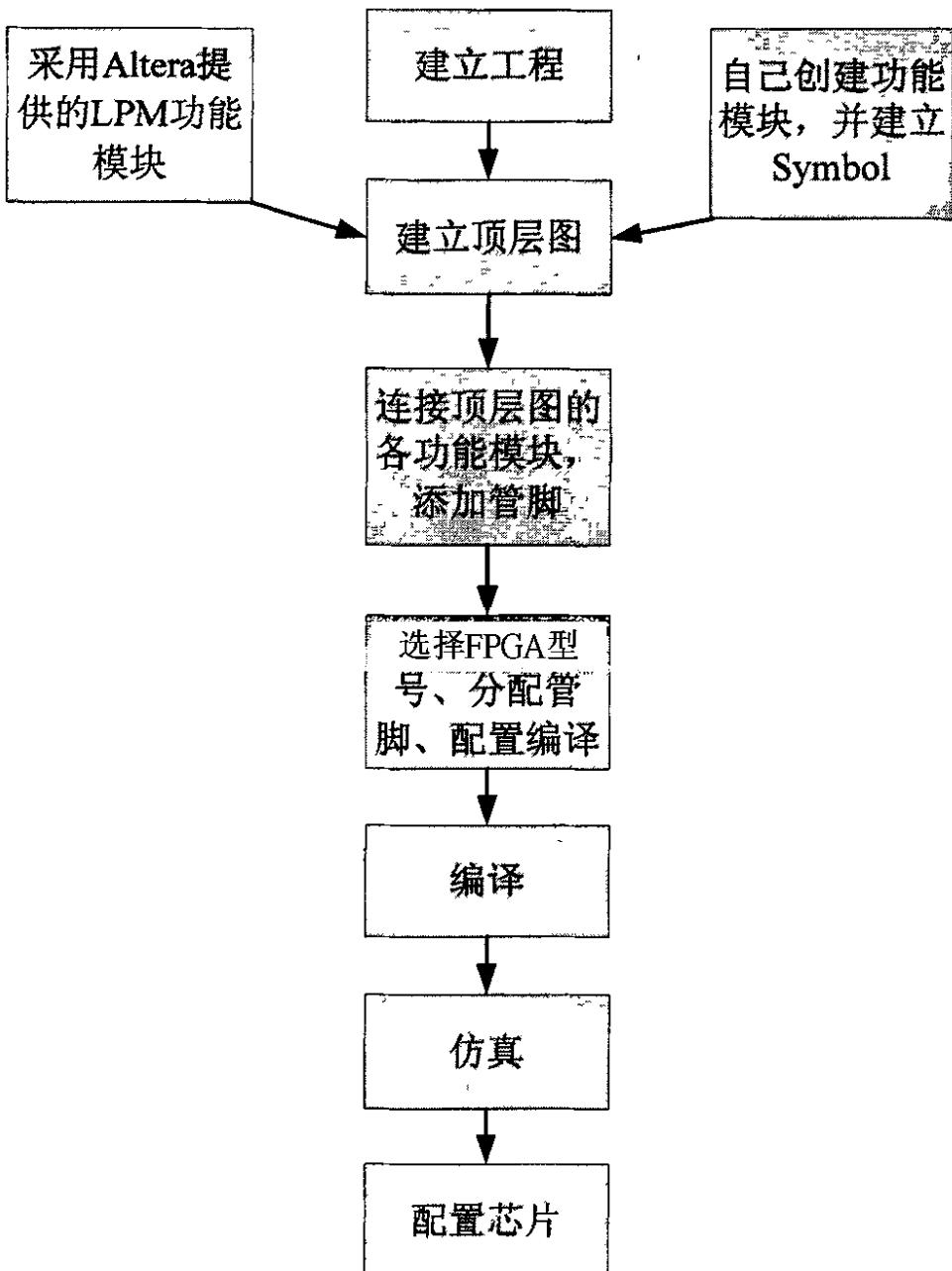


图 4.2 用 Quartus II 设计 FPGA 的主要流程

1 设计输入

1) 建立工程

使用 New Project Wizard 建立新工程，这是每个开发过程的开始，Quartus II 以工程为单元对设计过程进行管理。

2) 建立顶层图。

可以这样理解，顶层图是一个容器，将整个工程的各个模块包容在里面，编译的时候就将这些模块整合在一起。也可以理解为它是一个大元件，包含各个模块，编译的时候就是生成一个这样的大元件。

3) 采用 Altera 公司提供的 LPM 功能模块。

Quartus II 软件环境里包含了大量的常用功能模块，例如计数器、累加器、比较器、编译器等等；在工程中采用这些现有的功能模块非常方便。

4) 自己建立功能模块。

当然，有些设计中现有的模块功能不能满足具体设计的要求，那只能自己设计。可以用硬件描述语言也可以用原理图的输入方法。可以把它们独立地当作一个工程来设计，并生成模块符号（Symbol），然后在顶层图中使用这些模块的符号，并将源文件（实现该模块的原理图或 HDL 文件）拷到顶层图所在的工程目录下。这个过程好比你要做一个电路，现在市面上没有你想要的某个芯片，你就只要自己做一块这样的一块芯片，然后添加到你的电路板上。

5) 将顶层图的各个功能模块用连线连起来，并且添加输入输出管脚。这个过程类似电路图设计，把各个芯片连接起来，组成电路系统。

2. 为设计选择芯片载体，才能真正在物理上实现系统的功能。

这一步的主要工作是：

- 1) 选择芯片型号
- 2) 为顶层图的各个输入输出信号分配芯片的管脚
- 3) 设置编译选项，目的是让编译器知道更多的信息。

3. 编译

这个过程类似软件开发里的编译，但实际上这个过程比软件的编译要复杂得多，因为它最终要实现硬件里的物理结构，包含了优化逻辑的组合、综合逻辑以及布线等步骤。在类似 Quartus II 这样的集成环境里面，这些过程都可以一气呵成，集成环境帮你自动完成了几个步骤的工作。

4. 仿真

Quartus II 支持功能仿真和时序仿真，功能仿真只检验设计项目的逻辑功能，时序仿真将延时信息也考虑在内。多次反复进行仿真和验证，直到满足设计要求。

5. 配置芯片

配置，又称为加载或下载，是对 FPGA 内容进行编程的一个过程。每次上电后都需要进行配置（Configuration）是基于 SRAM 工艺 FPGA 的一个特点，也可以说是一个缺点。

编译后会生成*.sof 或*.pof 文件，前者可以通过 JTAG 下载到 FPGA 内部，设计无误的话即能实现预期的功能，但断电后 FPGA 里的这些信息会丢失；后者可以下载到 FPGA 的配置芯片（E²PROM 或 FLASH 芯片），掉电后这些配置信息不会丢失，重新上电以后通过配置芯片对 FPGA 的内部 RAM 进行配置。

4.4 SPWM 的 FPGA 实现

主电路采用 3 个三相半桥的模块级并联，需要 18 路 PWM 输出（考虑到冗余需要 4 模块并联，24 路 PWM 信号），而常规的控制芯片如本文所用的 DSP TMS320LF2812 有两个事件管理器，每个只有 3 对（6 路）PWM 输出，不适合本系统要求。本系统提出用 FPGA 现场可编程逻辑器件完成 PWM 口的扩展，FPGA 是一种可编程的逻辑器件，应用非常灵活，可以适应不同的变频器应用的需要，只需要用硬件描述语言编程就可以了，然后固化在硬件里，具有高灵活性和可靠性。

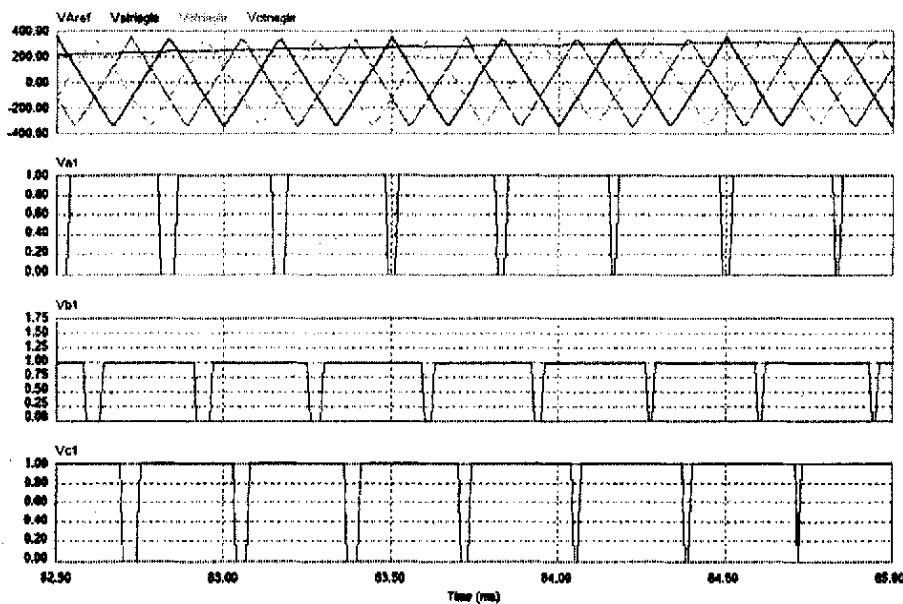


图 4.3 移相调制的各个模块的驱动波形

每个并联逆变器模块都由单独的 SPWM 产生开关信号，每个并联模块的载波是经由 $\frac{T_s}{n}$ （其中 T_s 是开关周期，n 是并联模块个数）移相得到。这种实现方式具有模块化的优点，各个产生信号发生电路彼此独立，具有好的通用性和可移植性，此结构一般采用通用微处理器加专用硬件结构来生成 SPWM，专用硬件用来实现载波比较、死区生成和 PWM 输出等功能，专用硬件可用 FPGA 实现。通

通过对主电路的仿真分析，这种载波移相实现方式可行。其中单相电流波形及其频谱分析如图 4.4~图 4.5 所示，其谐波分量集中在 9、18kHz 等 9kHz 的整数倍处（3kHz 开关频率条件下）。

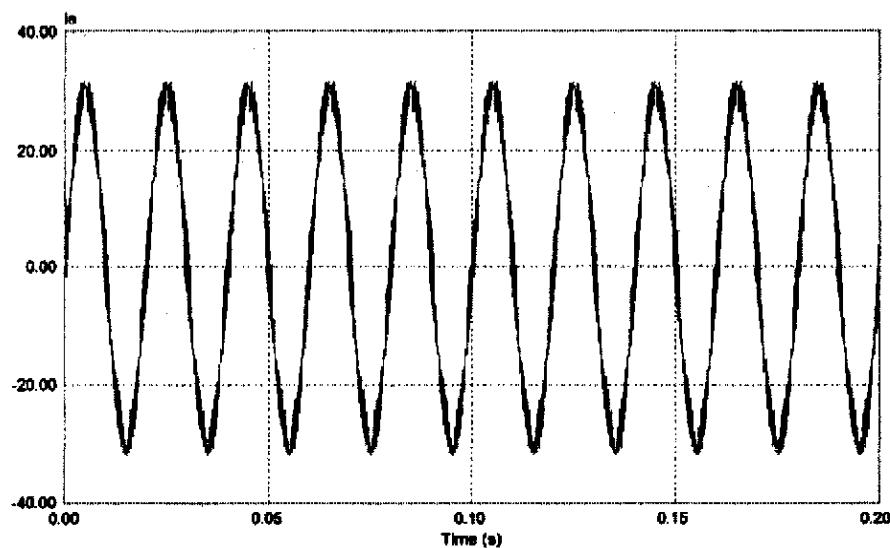


图 4.4 A 相电流波形图

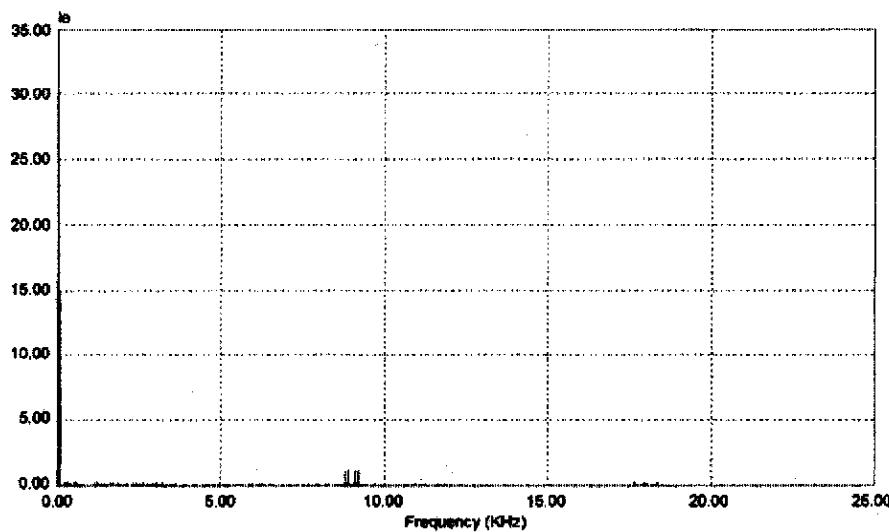


图 4.5 A 相电流的频谱分析

4.4.1 PWM 发生电路原理与载波移相 FPGA 实现思路

本设计的目的是产生三相半桥逆变器的其中一相 PWM 信号波形。然后将这个设计模块化形成一个 IP 核，当需要多个三相半桥模块级输出时，可以任意组

合产生多路 PWM 输出。图 4.6 是用 FPGA 实现的 PWM 单元设计框图，它主要由脉宽寄存器、缓冲寄存器、周期寄存器、死区寄存器、死区发生器、比较逻辑、控制逻辑等几部分构成。脉宽寄存器，决定 PWM 信号的脉宽；缓冲寄存器，实现对脉宽数据的双缓冲；周期寄存器，决定 PWM 的斩波周期；死区寄存器，决定上下桥臂的死区时间。脉宽寄存器的输出数据经缓冲以后与基准计数器进行数值比较，得到其中一相的 PWM 信号。经过死区电路处理，最后产生 2 个对称互补的 PWM 驱动信号，来驱动三相逆变器同一桥臂的两个功率开关器件。

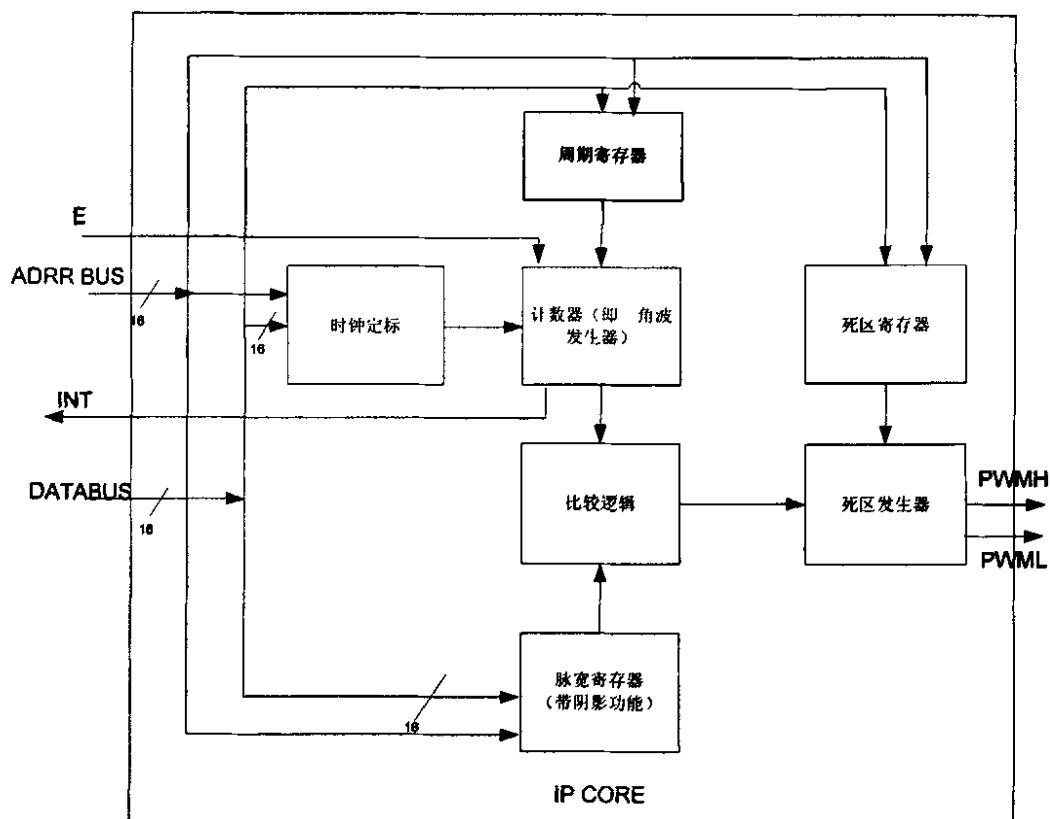


图 4.6 用 IP 核实现单相的 PWM 信号发生电路

FPGA 中的基准计数器，用来产生类似模拟电路中的三角波基准，是一个最小计数值为 0、最大计数值为周期寄存器中保存的数值，计数方向交替变化的可逆计数器。基准计数器单元在最大计数值时产生一个同步信号 SYN，当它有效时将三个脉宽寄存器的数据存入各自的缓冲寄存器，实现双缓冲，使三个脉宽寄存器在 SYN 无效时可依次由微处理器更新而不影响最终的三相同步关系。同时基准计数器单元产生一个方向信号 DIR，可作为微处理器的外部中断源（边缘触发方式），在 PWM 开关周期的起始点产生中断。

微处理器软件设计只需要在初始化阶段设置好周期寄存器、死区寄存器，以

后只需在 PWM 中断服务程序中将计算好的三相脉宽数据分别送到各自的脉宽寄存器，然后退出中断服务程序，等待控制器在 SYN 脉冲控制下将三个脉宽寄存器的数据锁存到各自的缓冲寄存器中。在下一个 PWM 周期中输出相应的脉冲，同时中断被触发，便开始了下一个 PWM 中断服务程序。程序要求 PWM 中断服务程序运行时间小于 PWM 周期，由此决定了 PWM 最高运行频率。

另外两相的 PWM 信号发生电路与图 4.6 所示相同，只是进入脉宽寄存器的占空比数据不一样。

4.4.2 数据的锁存

需要通过数据总线和地址总线从 DSP 输送数据给 FPGA，包括占空比数据，三角载波和死区时间数据。因此，必须在 FPGA 内设定数据锁存模块，由 DSP 的地址线译码产生控制信号控制锁存器实现数据的锁存。

在 Altera 公司提供的开发软件 QuartusII 中，提供了专门的数据锁存宏单元 LATCH，该宏单元有一个数据锁存的使能端口 ENA，当 ENA 为高电平时，锁存器输出等于输入，而当 ENA 为低电平时，锁存器输出保持不变。其外观图如图 4.7 所示。

由此可见，只要控制 ENA 端口，就可以实现数据的锁存。在波形发生器中，一组数据对应一个锁存器，同时对应有一个控制端口，这样就非常方便的实现了数据的锁存。

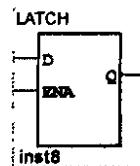


图 4.7 锁存器

对于通用型的 PWM 波形发生器，载波周期值和死区值都需要从外部的控制微机来输入，需要多个锁存器。因此，采取对 DSP 存储相关数据的空间地址译码的方法来提供控制信号来实现锁存器的控制。

4.4.3 时间定标

这部分决定计数器的计数时钟频率，可以设置成 CPU 时钟的几分频。

$$f_{carrier} = f_{SYSCLK} / N, \text{ 其中: } f_{SYSCLK} \text{ 是 DSP 的系统时钟频率, } N \text{ 是分频值。}$$

1. 分频数 N 是由 DSP 的数据传给 FPGA 后译码产生的。

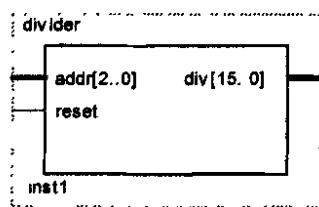
这部分的 Verilog 程序：

```
module divider(div,addr,reset);
output[15:0] div;
input reset;
input[2:0] addr;
reg[15:0] div;
always@(addr or reset)
if(!reset)
    div=1;
else
begin
case (addr)
3'b000: div=0;
3'b001: div=1;
3'b010: div=2;
3'b011: div=4;
3'b100: div=8;
3'b101: div=16;
endcase
end
endmodule
```

div 决定分频数，是由三位数据信号 addr 译码产生。具体两者之间的关系如下表所示。

addr	div	分频数
000	0	1
001	1	2
010	2	4
011	4	8
100	8	16
101	16	32

这部分的模块符号如下图所示。

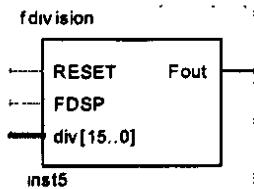


2. 按照时间定标值 N 对 DSP 的时钟信号分频产生计数器的计数时钟信号。

这部分的 Verilog 程序：

```
module div(RESET,FDSP,Fout,div);
input FDSP,RESET;
input[15:0] div;
output Fout;
reg Fout_reg;
wire Fout;
reg [15:0] j;
assign Fout=((div==0)?FDSP:Fout_reg);
always @(posedge FDSP or negedge RESET)
begin
    if(!RESET)
        begin
            Fout_reg<=0;
            j<=0;
        end
    else
        begin
            if(j==div-1)
                begin
                    j<=0;
                    Fout_reg<=~Fout_reg;
                end
            else
                begin
                    if(div!=0)
                        j<=j+1;
                end
        end
    end
endmodule
```

其中 FDSP 是 DSP 送给 FPGA 的时钟信号，Fout 是分频以后的时钟信号，div 决定分频数。这部分的模块符号如下图所示。



分频电路仿真结果如图 4.8。

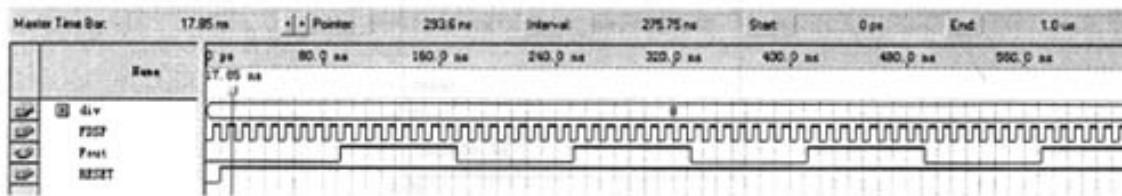


图 4.8 16 分频仿真结果

4.4.4 三角波发生电路

在 FPGA 中, PWM 波形发生器中的三角载波是由一个加减计数器来产生的, 计数器从 0 加到设定值, 再从设定值减到 0, 周而复始, 产生数字的载波。

计数器的设定值, 可以由 FPGA 内部设定, 也可以通过微机来外部给定, 在本设计的波形发生器中, 为了该发生器的通用性, 计数器的设定值由外部的微机来给定。三角载波可以通过 1 个 16 位的加减计数器来产生, 计数器的计数频率为:

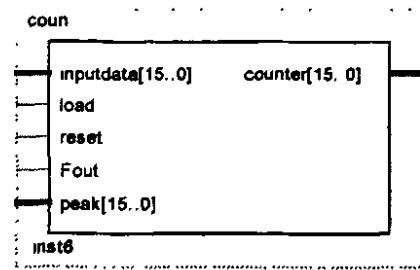
$$f_{carrier} = f_{SYSCLK} / N$$

其中: f_{SYSCLK} 是 DSP 的时钟频率, N 是载波频率的定标值。

```
module coun(counter,inputdata,load,reset,Fout,peak);
output[15:0] counter;
input[15:0] inputdata;
input load,Fout,reset;
input[15:0] peak;
reg[15:0] counter;
reg ea;
always @(posedge Fout)
begin
if (!reset)    counter = 16'h00;
else if (load) counter = inputdata;
else  if (ea) counter=counter-1;
else counter = counter + 1;
if (counter>=peak) ea='b1;
else  if (counter<=0) ea='b0;
end
endmodule
```

其中 $Fout$ 是计数器的时钟信号, $conuter$ 是计数值, $peak$ 是计数峰值。这部

分的模块符号如下图所示



三角波发生电路仿真结果（peak 设定为 200）如图 4.9。

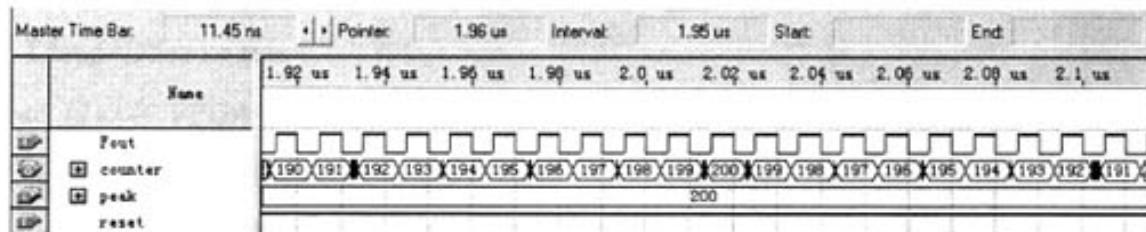
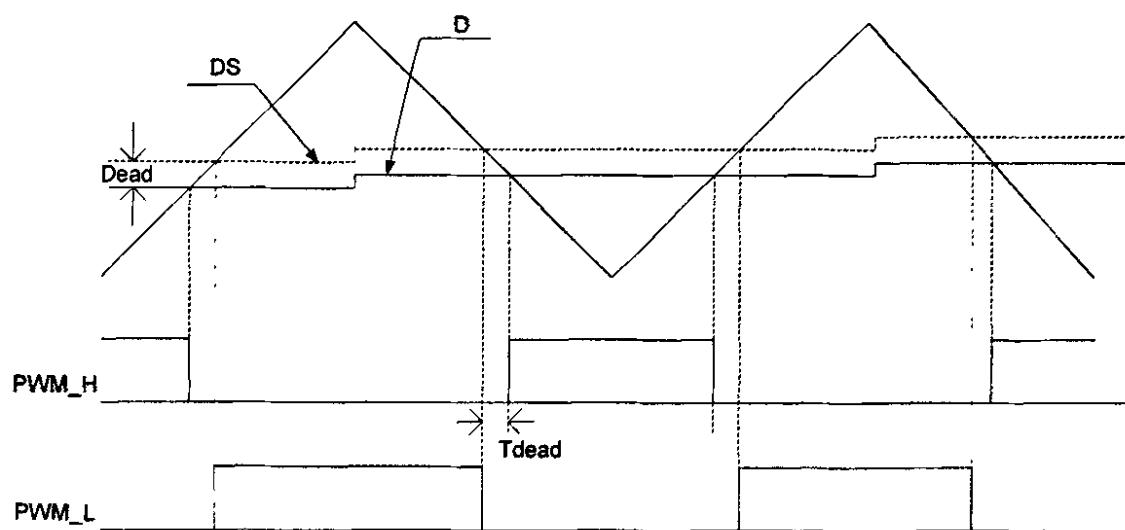


图 4.9 计数器实现三角波仿真结果

4.4.5 死区的产生

在逆变电路中上下桥臂的 PWM 控制信号是互补输出的，而开关器件的开通关断都有一定的延时，为了防止上下桥臂开关器件管直通，即在上桥臂开关没有完全关断，下桥臂开关就进入导通状态的情况下发生，必须在控制上下桥臂开关器件的 PWM 控制信号之间加入死区时间，防止器件的损坏。因而死区时间控制成为逆变或整流系统中必不可少的部分。



4.10 死区实现实现方法

下面介绍基于 FPGA 的 PWM 控制信号死区发生的两种方法^[22]:

方法一：在用于与三角波计数器的数据进行比较的某相占空比数据上叠加一个数值，该数值的大小决定死区时间的大小，如图 4.10 所示，

死区时间的计算：

图 4.10 中，D 为占空比数据，DS 为在 D 的基础上叠加了某一数值 Ddead 后的数据，即 $DS = D + D_{dead}$ 。两组数据分别与三角载波计数器的计数值进行比较，输出 PWM 信号上下桥臂波形。令 Tclk 为三角波计数器的时钟周期，则死区时间为 T_{dead} ：

$$T_{dead} = D_{dead} \times T_{clk}$$

D_{dead} 可以在 FPGA 中设定，也可以在 DSP 中设定，只要改变设定值死区时间就可以做出相应的调整。

方法二：该方法的控制较为复杂，首先通过比较器将微控制器输送的 PWM 占空比数据与三角波计数器的数据进行比较，输出了一定占空比的信号 PWM，再通过一个加减计数器的控制来产生死区时间，如图 4.11 所示：

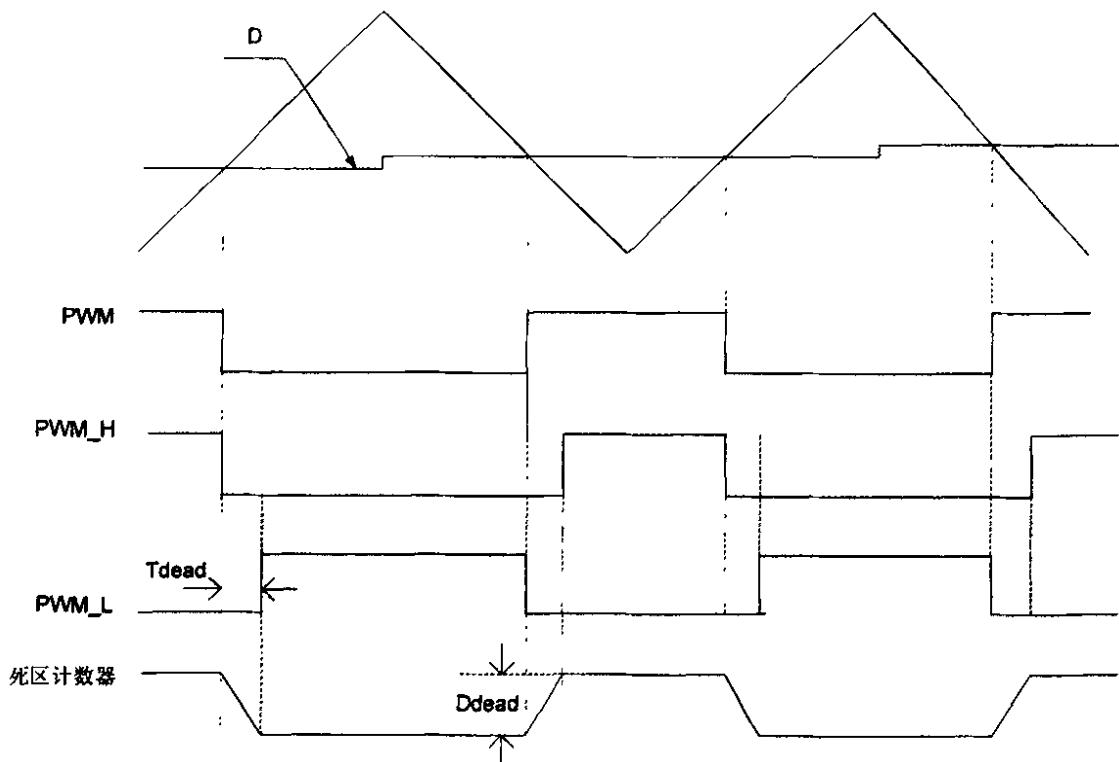


图 4.11 死区时间实现方法

根据图可以看出对加减计数器的控制规则如下：

- 1) PWM 为 0 时，如果计数器值为 0，则保持不变，否则作为减数计数器。

- 2) PWM 为 1 时, 如果计数器值为 Ddead, 则保持不变, 否则作为加法器。
 3) 如果死区计数器输出值为 0, 则 PWM_H=0, PWM_L=1; 若输出值为 Ddead, PWM_H=1, PWM_L=0;
 若输出值在 0 和 Ddead 之间, 则 PWM_H=0, PWM_L=0, 产生死区。

由图 4.11 可知, 死区时间 Tdead 由加减计数器的计数峰值来控制, 该峰值可以通过一个死区寄存器来决定, 在死区寄存器中调整加减计数器的峰值大小, 死区时间就会做出调整, 其公式与方法一中的相同:

$$T_{dead} = D_{dead} \times T_{clk},$$

其中, Ddead 为加减计数器的峰值。

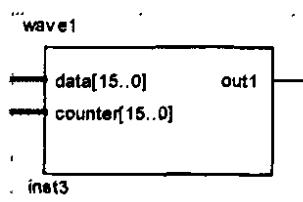
4.4.6 PWM 脉冲产生电路

此部分由比较电路完成, 三角载波和 DSP 输出的调制波值比较, 当调制波值大于三角波时输出高电平, 当调制波值小于三角波值输出低电平。同一个桥臂的下管正好相反。

桥臂上管的 PWM 脉冲产生电路的 verilog 程序

```
module wave1(data,counter,out1);
output out1;
input[15:0] data,counter;
reg out1;
always@(data or counter)
begin
  if(counter<data)
    out1<=1'b1;
  else
    out1<=1'b0;
end
endmodule
```

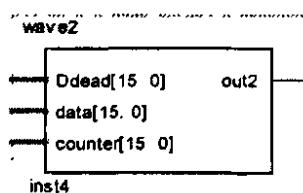
其中 data 是 DSP 传送给 FPGA 的调制波值, counter 是计数器产生的三角波, out 是上管的 PWM 脉冲。这部分产生的模块符号如下图所示。



桥臂下管的 PWM 脉冲产生电路的 verilog 程序

```
module wave2(Ddead,data,counter,out2);
output out2;
input[15:0] Ddead,data,counter;
reg out2;
always@(data or Ddead or counter)
begin
  if(counter>(Ddead+data))
    out2<=1'b1;
  else
    out2<=1'b0;
end
endmodule
```

下管 wave 产生的模块符号如下图所示。



4.4.7 FPGA 设计中毛刺的消除

信号在 FPGA 器件内部通过连线和逻辑门时，都有一定的延时。延时的大小与连线的长短和门单位的数目有关，同时还受器件的制造工艺、工作电压、温度等条件的影响。此外，信号的高低电平转换也需要一定的过渡时间。由于存在这些因素的影响，多路信号的电平值发生变化时，在信号变化的瞬间，组合逻辑的输出有先后顺序，并不是同时变化，往往会出现一些不正确的“毛刺”(Glitch)，称为“冒险”(Hazard)现象。在电路板的设计中，由于 PCB 走线时，存在分布电感和分布电容，所以许多毛刺能够被自然滤除，而在 PLD 内部没有分布电感和电容，这些毛刺将被完整地保留下并向下一级传递，所以在 FPGA 设计中，如何消除毛刺就变得很重要。

当一个门的输入有两个或两个以上变量发生改变时，由于这些变量是经过不同路径产生的，使得它们状态改变的时刻有先有后，这种时差引起的现象成为竞争(Race)。竞争的结果若导致冒险或险象发生(例如毛刺)，并造成错误的后果，那么就称为这种竞争为临界竞争。若竞争的结果没有导致冒险发生，或虽有冒险发生，但不影响系统的工作，那么就称这种竞争为非临界竞争。

冒险往往会影响到逻辑电路的稳定性。时钟端口、清零和置位端口对毛刺信号非常敏感，任何一点毛刺都可能会使系统出错，因此判断逻辑电路中是否存在冒险以及如何避免冒险是设计人员必须要考虑的问题。

毛刺并不是对所有的输入都有危害。例如 D 触发器的 D 输入端，只要毛刺不出现在时钟的上升沿并且满足数据的建立和保存时间，就不会对系统造成影响，即 D 触发器的 D 输入端对毛刺不敏感。利用 D 触发器的这一特性，可以有效的消除毛刺^[23]。

本设计中就是利用 D 触发器的 D 输入端对毛刺不敏感的特点而消除毛刺的。假如在 PWM 脉冲产生电路输出端不加任何处理，输出波形如下图 4.12 所示（其中 out1,out2 是 PWM 输出），会发现会有很多毛刺。在实际电路调试时，也会发现电路有明显的噪声。要考虑消除毛刺，只需要在输出端加一个 D 触发器即可。

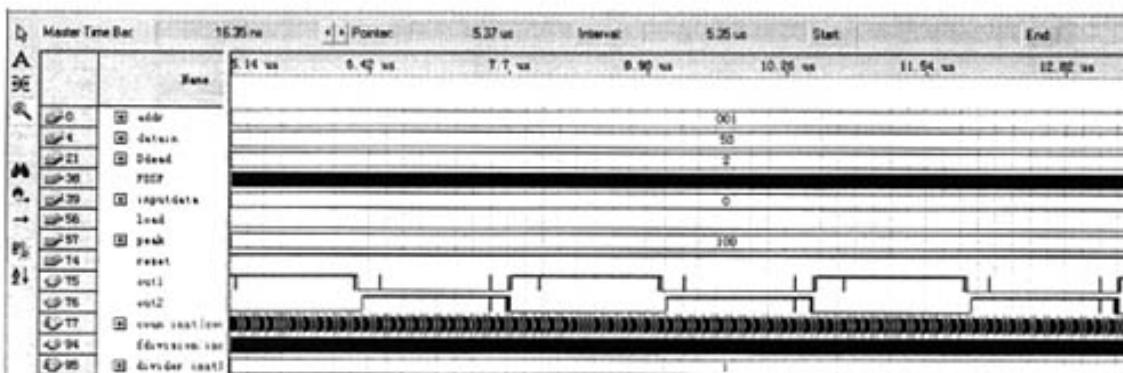
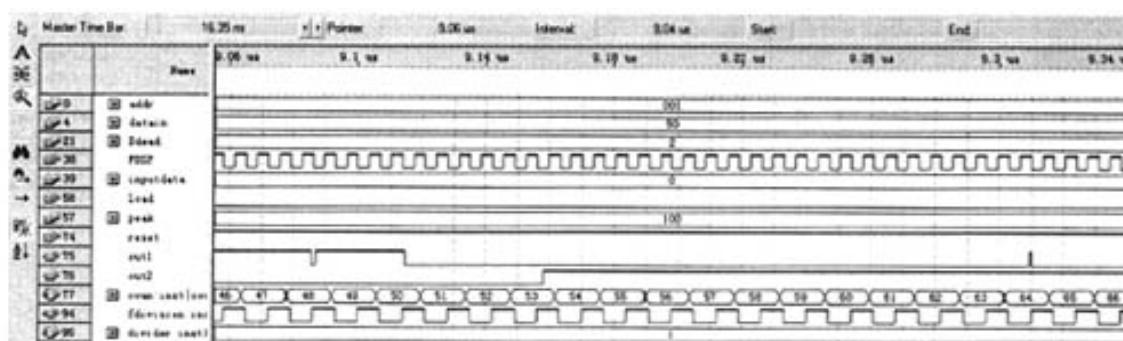


图 4.12 带毛刺的 PWM 脉冲电路输出

在 PWM 脉冲产生电路的输出端都加上 D 触发器，原理图如 4.13 所示。仿真结果如图 4.14，毛刺完全滤除。

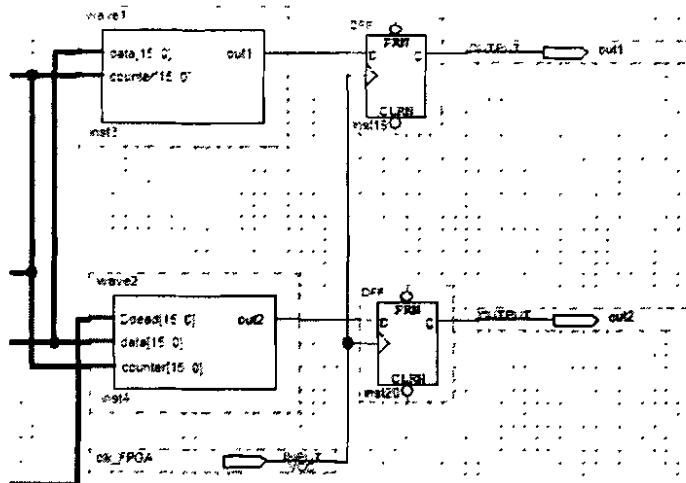


图 4.13 带 D 触发器的 PWM 发生电路输出部分

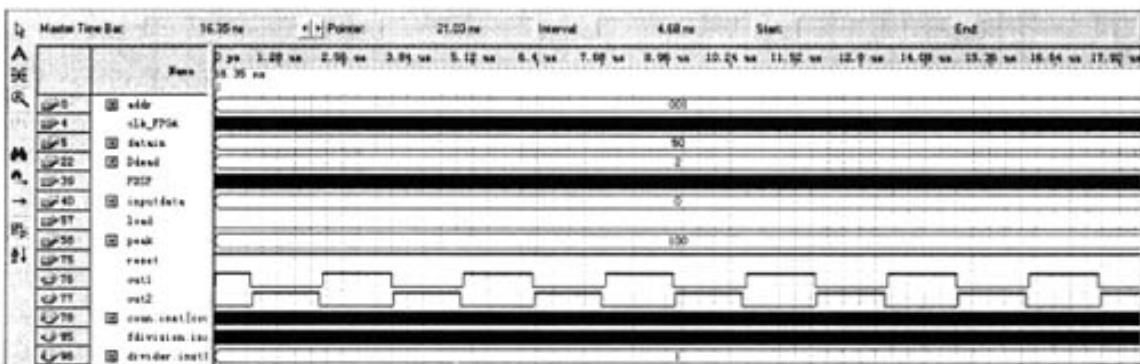
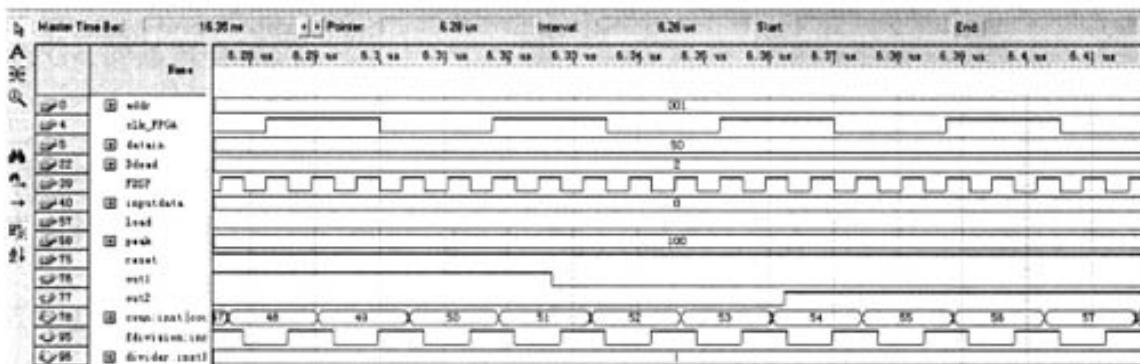


图 4.14 毛刺消除以后 PWM 脉冲电路输出

4.5 基于 FPGA 的多路输出波形发生器的具体设计

4.5.1 PWM 通道扩展

图 4.15 为风力发电变流器结构示意图。机侧和网侧各由 4 台三相半桥模块并联而成，构成 3+1 冗余并联结构。每台三相半桥模块由 3 台 SkiiP 2403GB172-4DF-L 构成 3 个桥臂。各三相半桥模块的并联桥臂串联电感后再进

行并联，保证各模块的均流效果，同时为载波移相技术的应用做好铺垫。

对于 4 台三相半桥模块并联而成的变流器来说，需要四组相位错开 90 度的载波，而在 FPGA 中，载波的产生是通过一个加减计数器来实现的，因而，只要将该计数器的计数初值进行设定，就可以产生多组的相移载波。

根据载波移相 SPWM 变流器的原理，我们知道，载波需要多组相位互相错开的三角载波。因此这种波形发生器对于本文 4.4 节介绍的 SPWM 产生电路来说，主要的不同是三角载波的不同。单模块的三相半桥逆变器的 PWM 信号发生电路可以用 3 个如图 4.6 所示 IP 核实现，下文中称此 IP 核为 PWM IP 核，如图 4.16 所示。IP 核通过地址线 address、数据线 datain 和控制线 WE(写使能控制)、CS(片选信号)实现与外部 DSP 相连，clk_FPGA 可以选择 DSP 的系统时钟或者 FPGA 的晶振时钟。

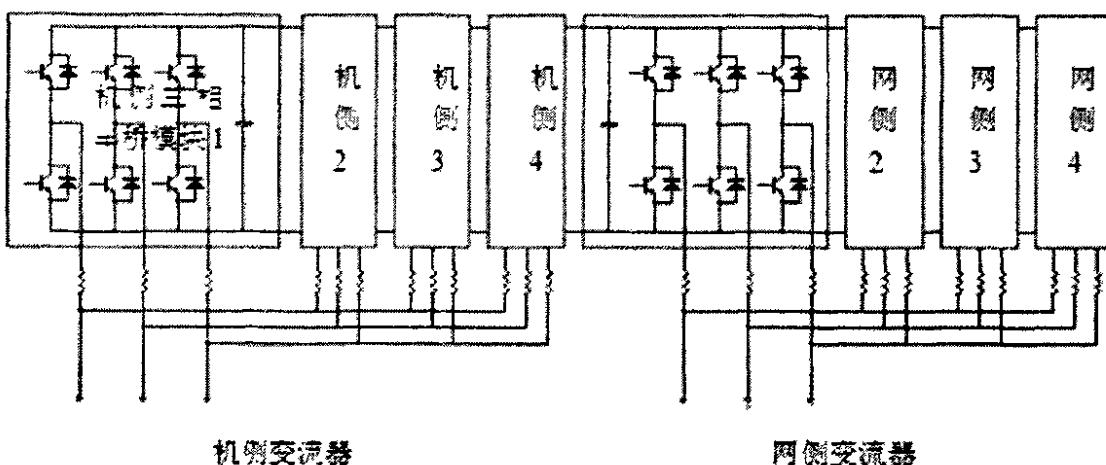


图 4.15 主电路变流器模块并联系意图

本文就采用 PWM IP 核的方式来扩展 PWM 通道，通过对 PWM IP 核进行适当的连接和配置，就能实现多路独立的 PWM 输出。该方法扩展简单，能很好地满足复杂拓扑对 PWM 通道的需求，同时扩展出的 PWM 通道可以完全独立。

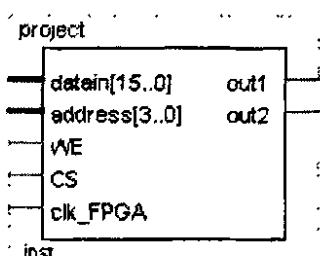


图 4.16 PWM IP 核顶层图

4.5.2 IP 核概念和设计规则

IP(Intellectual Property)就是常说的知识产权^[21]。一般将半导体行业的 IP 定义为用于 ASIC 或 PLD 等芯片中的，并且是预先设计好的电路功能模块。

在可编程逻辑器件（PLD）领域，IP 核是指将一些在数字电路中常用但比较复杂的功能块，如 FIR 滤波器、SDRAM 控制器、PCI 接口等，设计成参数可修改的模块，让其他用户可以直接调用这些模块。

随着 CPLD/FPGA 的规模越来越大，设计越来越复杂，使用 IP 核是一个发展趋势。用户可以在自己的 FPGA 设计中使用这些经过严格测试和优化过的模块，减少设计和调试时间，降低开发成本，提高开发效率。

根据实现的不同，IP 可以分为软 IP、固 IP 和硬 IP。这里我们要用的是 IP 软核。IP 软核是用硬件描述语言（HDL）或原理图的形式描述功能块的行为。在实现过程中要遵循一些基本原则：1) 简单和优化原则：尽可能用简单电路实现，包括针对硬件电路的一些算法优化。2) 结构清晰和合理原则：划分的模块大小尽可能相当，模块功能尽可能完整和独立。3) 接口设计合理原则，IP 核接口设计的好坏直接关系到 IP 核使用的方便与否。4) 测试充分原则：软核本身有任何错误或不合理都会对使用者造成错误积累，所以要对软核进行充分测试，以确保其正确性。

4.5.3 利用 IP 核实现多模块移相载波 PWM 波形发生器

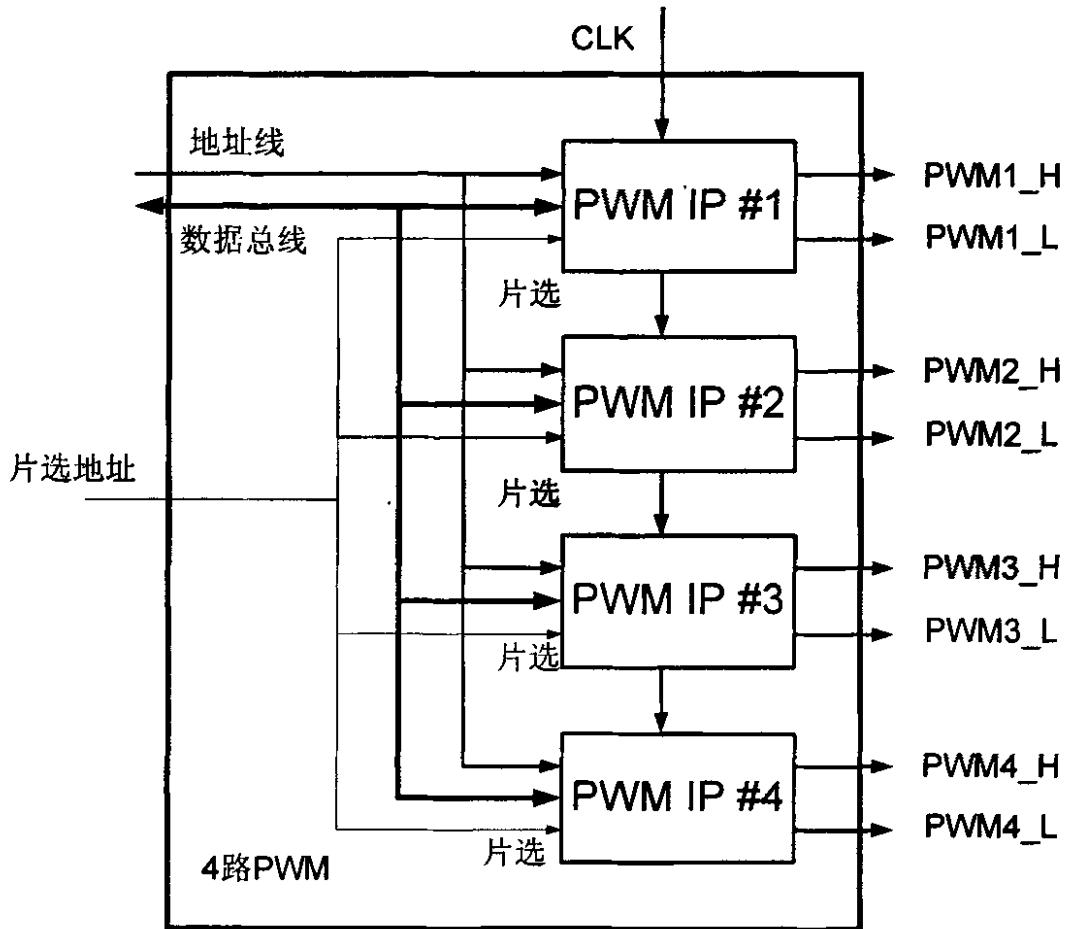


图 4.17 基于 IP 核的单相 4 模块移相载波 PWM 发生器

只要 FPGA 资源允许，就可以利用 IP 核设计出任意路数输出的 PWM 波形发生器。由于每路 PWM 发生器都有一组独立的控制寄存器，因而很容易实现不同的 PWM 调制方式。本设计主要是要实现 4 路载波移相 PWM。

图 4.17 为单相 4 模块载波移相 PWM 基本结构(三相需要 12 个 PWM IP 核，连接方式与图 4.17 同)，调用 PWM IP 核，直接把 IP 核的数据线、地址线、控制线和时钟信号相连，然后通过优化和综合生成配置文件，直接下载到 FPGA，即可完成具体电路设计。

在此电路中，载波周期是由外部的 DSP 对 IP 核内控制寄存器的设定来实现的，机侧变流器还是网侧变流器都需要 4 组载波，我们实际上是通过 DSP 设定每个 IP 核中加减计数器的初值和一开始的加减方向来实现载波移相的。

假设输入的载波设定值为 N，第 1 个载波的计数初值为 0，下一个时钟脉冲

开始做加运算，加到设定值 N 再开始做减运算；第 2 个载波的计数初值设定为 $N/2$ ，下一个时钟脉冲来时也做加运算；第 3 个载波的计数初值设定为 N ，下一个时钟脉冲来时做减运算；第 4 个载波的计数初值为 $N/2$ ，下一个时钟脉冲来时做减运算。这样，根据设定初值的不同，产生了 4 组相位互差 90° 的三角载波。我们将每个载波计数器对应的三相 6 路 PWM 称为一个模块，总共 4 个模块，分别来驱动 4 个并联的三相半桥逆变器。

4.6 本章小结

本章介绍了两路互补的 PWM 波形发生器的原理和设计方法，并在此基础上利用多个 PWM IP 核实现三相半桥逆变器的 PWM 信号和多个三相半桥模块级并联的 PWM 载波移相。本设计中利用 FPGA 芯片来产生 PWM 触发信号的功能，这样不但可以非常容易的实现多路载波移相 PWM 触发信号，还可以减少占用 DSP 芯片的资源和时间，帮助微机更好的来控制电路。

第五章 FPGA 实现功能的仿真和实验验证

5.1 单相 PWM 发生电路的功能仿真

要对设计进行仿真，首先需要建立矢量源文件，也就是激励文件。Quartus II 软件的波形编辑器可以建立和编辑用于波形格式仿真的输入矢量，它支持矢量波形文件 (.vwf)、矢量文件 (.vec) 和矢量表输出文件 (.tb1)。本仿真用的激励文件为矢量波形文件。仿真原理图如图 5.1，现在对输入输出端口进行说明。

INPUT:

1. FDSP: DSP 系统时钟，最高可达 150MHZ，仿真中取时钟周期 7ns。
2. addr: 3 位数据信号，决定 DSP 系统时钟的分频数。关系如下表所示：

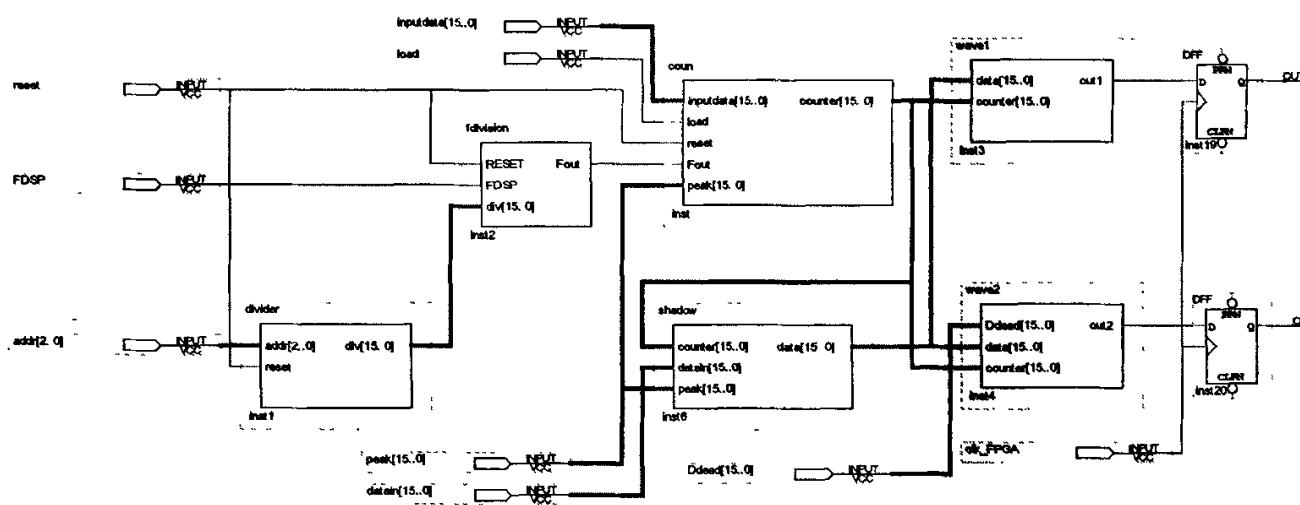
addr	div	分频数
000	0	1
001	1	2
010	2	4
011	4	8
100	8	16
101	16	32

3. Datain: 与三角波比较产生 PWM 信号的占空比信号。
4. Inputdata: 三角波发生计数器的计数起始值。
5. Load: 控制信号，用来控制 inputdata 值传送给计数器。
6. Peak: 产生三角载波的加减计数器的计数设定值。
7. Ddead: 用来设定死区时间。
8. Clk_FPGA: FPGA 的晶振产生的时钟信号。
9. Reset: 复位信号。

OUTPUT:

1. Out1: 桥臂上管的 PWM 信号。
2. Out2: 桥臂下管的 PWM 信号。

图 5.1 仿真原理图



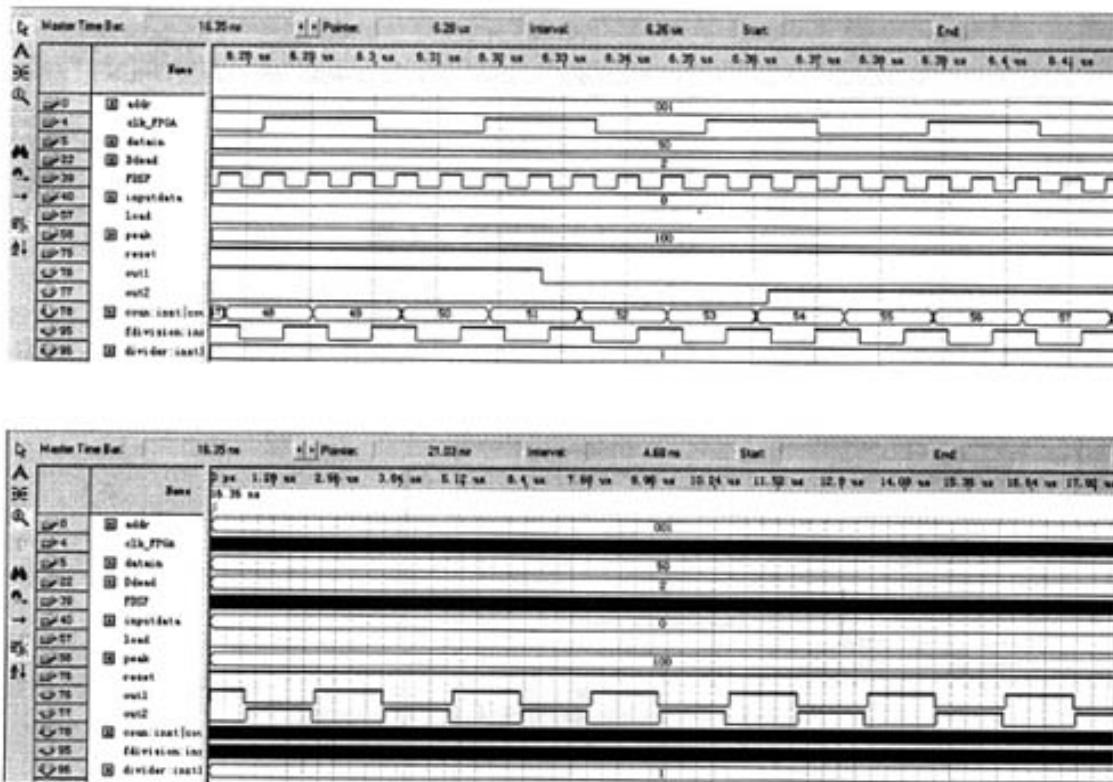


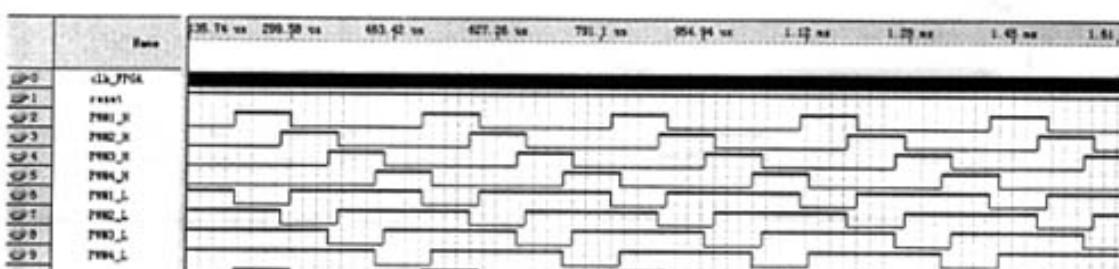
图 5.2 仿真结果

仿真结果如图 5.2，得到两组互补的 PWM 波形，死区时间是两个计数周期。单路的 PWM 波形发生电路用仿真得以验证。

5.2 对实际电路载波移相的仿真和实现原理图

实际电路的开关周期为 3kHz，系统时钟频率为 30ns，假设对系统时钟进行 32 分频。死区时间设为 3us。

通过设定计数器的计数初值和计数方向来实现载波移相。图 5.3 所示的是 4 模块载波移相其中一相输出的仿真结果。



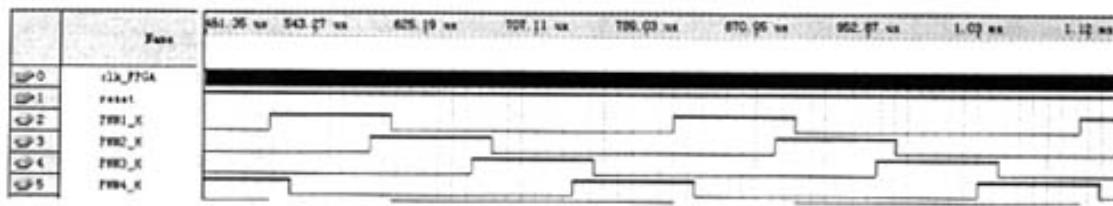


图 5.3 四模块载波移相 PWM

在实际设计中用的原理图如下图 5.4 所示，总共用到 4 个 PWM IP 核。要实现三相 PWM 载波移相，总共需要 12 个 PWM IP 核，连接方式同图 5.4。

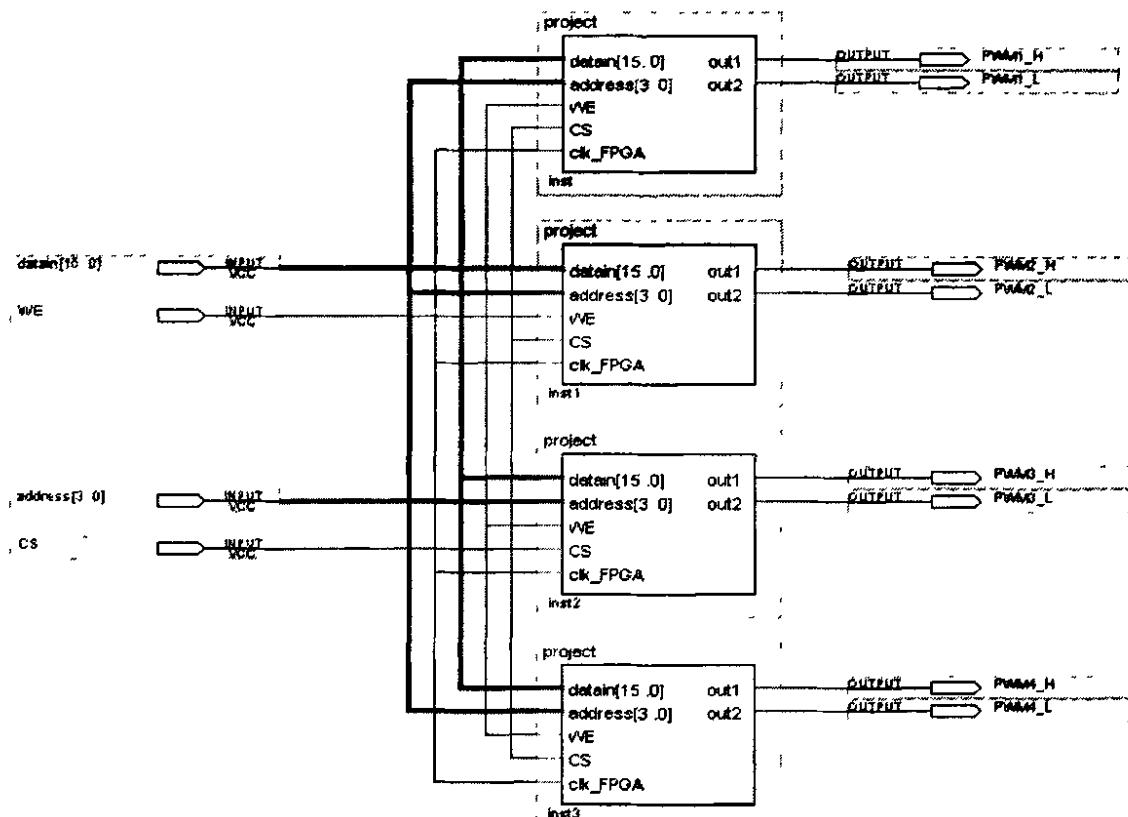
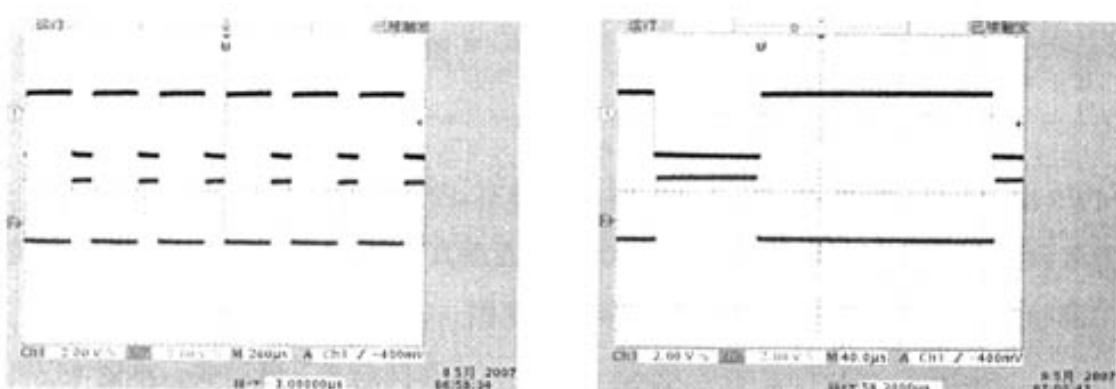
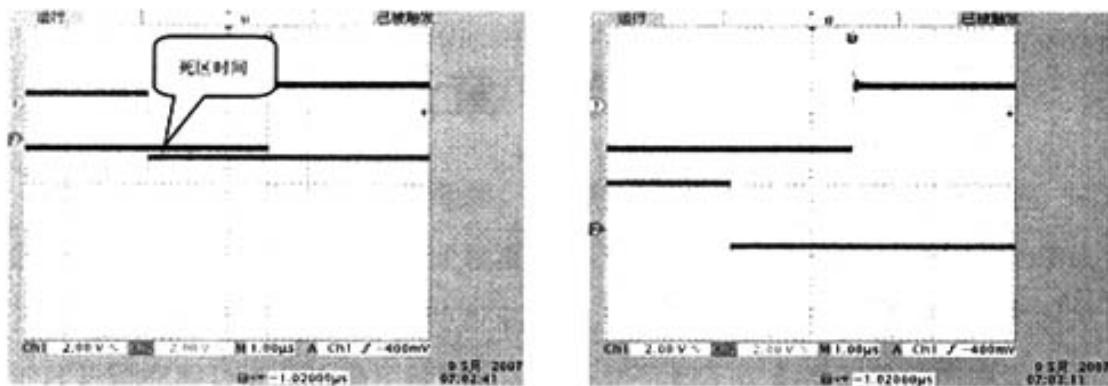


图 5.4 单相的 PWM 载波移相实现

5.3 实验波形



(a)开关频率 3kHz



(b)死区时间设置为 3us

图 5.5 开关频率 3kHz 的上下桥臂 PWM 波形

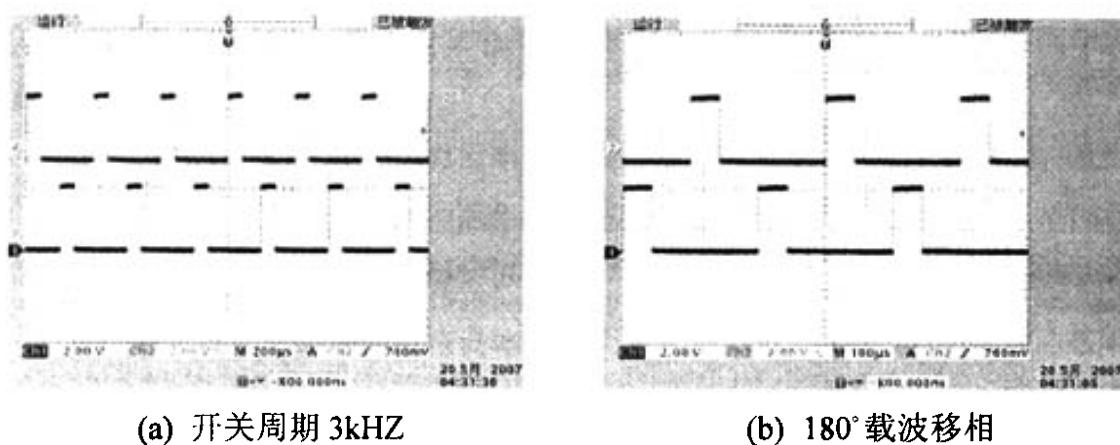


图 5.6 开关频率 3kHz 的 180° 载波移相 PWM 波形

图 5.6 是三相半桥逆变器同一个桥臂的上下开关器件的 PWM 波形，开关频率为 3kHz，死区时间设定为 3us。图 5.6 是其中两个三相逆变器模块的一相 PWM 波形（180° 载波移相）。通过实验证，由 DSP 和 FPGA 组成的 PWM 波形发生器可以安全可靠的工作，PWM 波形的频率，死区时间都可以方便地进行设定，4 模块载波移相功能也得以实现。

5.4 本章小结

本章与第四章是紧密相关的，在载波移相 FPGA 设计的基础上，对单相 PWM 发生电路进行了一个完整的仿真验证，并针对大功率风力发电变流器的实际系统（4 个三相半桥的模块级并联），用多个 PWM IP 核组合的方式实现载波移相的 PWM 控制，并得到了实验证。

第六章 总结与展望

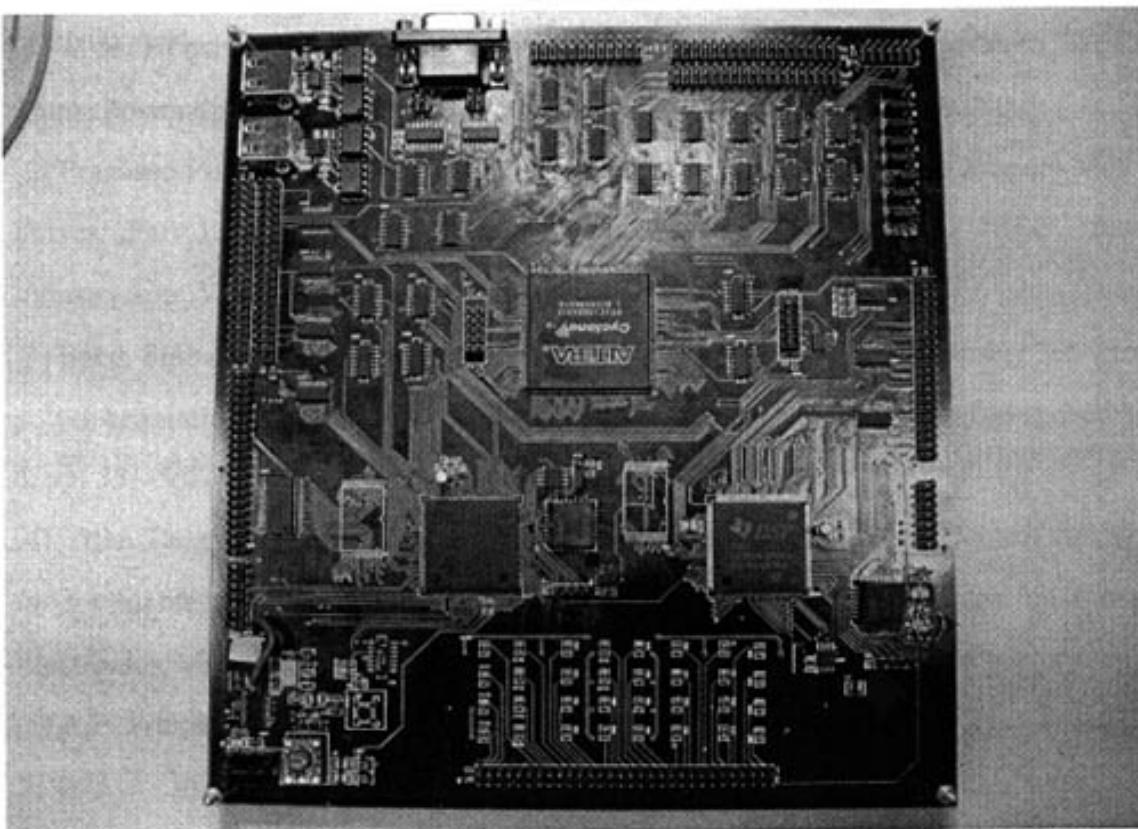
作为清洁无污染的可再生能源，风能越来越受到世界各国的普遍重视，风力发电技术也越来越成为电力电子发展的一个研究热点。本文主要针对大功率风力发电变流器的控制原理进行数字控制设计，通过对变流器的控制原理和调制技术的理论研究和仿真分析确定控制方案，并进行数字控制器的硬件电路设计和 6 层的双 DSP+FPGA 核心控制板 PCB 设计，在软件方面，主要完成了载波移相的 FPGA 编程实现，并完成了这部分硬件电路的实验验证工作。

本课题是一个大功率风力发电变流器的主电路和控制设计、调试的横向课题。主要工作如下：

- 1) 通过文献阅读了解风力发电的主要技术，功率变流器主电路结构，重点研究了功率变流器的控制原理，调制技术和对永磁同步电机的单位因数控制，并进行了仿真验证。
- 2) 数字控制器的硬件电路设计，设计了 6 层的双 DSP+FPGA 的核心板和 4 层的外围接口板。
- 3) 了解数字控制技术的发展和现状，主要研究了 FPGA 的特征、结构和设计流程，并在 Quartus II 开发平台上用硬件设计语言和原理图相结合的方式完成载波移相的 FPGA 设计。
- 4) 完成 SPWM 的 FPGA 实现的功能仿真和时序仿真，并在核心板上完成这部分的调试，功能得以验证。

在今后的工作中，可以考虑改进控制，采用电压空间矢量的调制方法，这样不但能提高直流电压利用率，还有更快的动态响应。另外，进一步优化 PWM IP 核的算法和程序结构，核心控制板的布局和布线也有待进一步修改和改进，提高整个控制系统性能。接下来搭建小模型，在小模型上对以上功能进行进一步的调试和验证，为整个系统调试做好准备。

附录 双 DSP+FPGA 核心控制板



参考文献

- [1] V. B. Honsinger, "Permanent magnet machines: Asynchronous operation," IEEE Trans. PowerApp. Sysr., vol. PAS-99, no. 4, pp. 1503-1509, July/Aug. 1980.
- [2] Pragasen Pillay, "Modeling, Simulation, and Analysis of Permanent Magnet Motor Drives ,Part I: The Permanent-Magnet Synchronous Motor Drive" IEEE Trans. IndustryApp. VOL. 25, NO. 2, March/April 1989
- [3] Spee, Shibashis Bhowmik and Johan H.R. Enslin, "Novel control doubly fed wind power generation system," Renewable Energy, Vol. 2 strategies for variable-speed No. 6, pp. 551-562, 1992
- [4] Yifan Tang and Longya Xu, "A flexible active and reactive power control strategy for a variable speed constant frequency generating system," IEEE Traps. on Power Electronics, Vol. 10, No. 4, pp 472 — 78, 1995
- [5] A.E. Fitzgerald, Charles Kingsley, Jr. Stephen D. Umans 等著 刘新正, 苏少平, 高琳等译. 电机学: 第六版. 电子工业出版社, 2004 年 1 月
- [6] 李晶, 宋家骅, 王伟胜. 考虑变频器特性的变速恒频双馈风力发电机组控制策略的研究与仿真. 电网技术, 2004 年 11 月.
- [7] 任万强. 电力电子实验室多功能控制器的研制 [学位论文]. 华北电力大学, 1997
- [8] 徐志军, 徐光辉, CPLD/FPGA 的开发与应用. 北京: 电子工业出版社, 2002
- [9] 颜允盛著, 贾洪峰译. 数字信号处理器—一体系结构、实现与应用. 清华大学出版社, 2005
- [10] Rene Spee, Shibashis Bhowmik and Johan H.R. Enslin, "Adaptive control strategies for variable-speed doubly fed wind power generation system," Proceeding of 1994 IEEE industry Application Society Annual Meeting, 29} IAS, pp. 545-552, 1994
- [11] Yifan Tang and Longya Xu, "A flexible active and reactive power control strategy for a variable speed constant frequency generating system," IEEE Traps. on Power Electronics, Vol. 10, No. 4, pp 472 — 78, 1995

- [12] B. P. McGrath, D. G. Holmes. Multicarrier PWM strategies for multilevel inverters[J]. IEEE T-IE, 2002, 49(4): 858—867.
- [13] 张新房, 徐大平, 柳亦兵. 定桨距变速风力发电机组的控制策略研究, 华北电力大学学报, 2004.9
- [14] 曹仁贤, 李维华等. 变速风力发电系统的电源变换技术, 变频器世界, 2004.11
- [15] 冶鹏. 直接驱动式风力发电机组简介, 风力发电, 2004 第 4 期
- [16] 桓毅, 杠至中. 风力发电机及其控制系统的对比分析, 中小型电机, 2002
- [17] 夏宇闻. Verilog 数字系统设计教程. 北京航天航空大学出版社, 2003
- [18] Texas Instruments Incorporated 著 张卫宁译. TMS320C28x 系列 DSP 的 CPU 与外设. 清华大学出版社, 2004 年 9 月
- [19] Robert W. Erickson and Dragan Maksimovic. Fundamentals of Power Electronics. University of Colorado Boulder, Colorado.1999
- [20] 胡海兵. 电力电子集成系统中的数字控制平台研究. 浙江大学博士论文. 2007
- [21] 王诚, 吴继华, 范丽珍等. Altera FPGA/CPLD 设计 (基础篇) .人民邮电出版社. 2005 年 7 月
- [22] 叶剑利. CPLD 在电力电子变换技术中的应用. 浙江大学硕士论文. 2004
- [23] 王金明. 数字系统设计与 Verilog HDL(第 2 版). 电子工业出版社. 2005
- [24] 吴多明, 韩朝伦等. 印刷电路板 (PCB) 设计规范. 深圳市华为技术有限公司. 1999
- [25] Z. Chen and E. Spooner, "Wind turbine power converters: a comparative study," in Proc. 1998 IEE Power Electronics and Variable Speed Drives, Seventh International Conference, pp. 471 – 476.
- [26] S. Song, S. Kang, and N. Hahm, "Implementation and control of gridconnected AC-DC-AC power converter for variable speed wind energyconversion system," in Proc. 2003 IEEE Applied Power Electronics Conference and Exposition, pp.154 - 158 vol.1
- [27] E. Muljada, C.P. Butterfield, Y. Wan, "Axial-flux modular permanent magnet generator with a toroidal winding for wind-turbine applications," IEEE Trans. on

- Industry Applications, Vol. 35, No. 4, July/August 1999 pp831-836.
- [28] Aliprantis D., Papathanassiou S., Papadopoulos M., Kladas A., "Modeling and control of a variable-speed wind turbine equipped with permanent magnet synchronous generator", ICEM'2000, Helsinki, Finland, August 2000, pp. 558-562.
- [29] L. J. Borle and C. V. Nayar, "Zero average current error control power flow for AC-DC power converter," IEEE Trans. Power Electron., vol.10, pp. 725-732, Nov. 1995.
- [30] Kelvin Tan, Syed Islam, "Optimum Control Strategies in Energy Conversion of PMSG Wind Turbine System Without Mechanical Sensors", IEEE Trans. Power Electron., vol.19, No.2 June
- [31] M'onica Chinchilla, Santiago Arnaltes, "Control of Permanent-Magnet Generators Applied to Variable-Speed Wind-Energy Systems Connected to the Grid", IEEE Trans. Power Electron., vol.21, No.1 March 2006.
- [32] Digital Signal Processing Application with the TMS320 Family: Theory, Algorithms, and Implementations, Volume 2, Texas Instruments, 1990
- [33] 叶启明, 大型风力发电机组系统的结构与特点, 华中电力, 2002, (2)
- [34] 马洪飞, 徐殿国, 苗立杰, 几种变速恒频风力发电系统控制方案的对比分析, 电工技术杂志, 2000.(10)
- [35] 齐丽丽, 国际风力发电的现状及展望, 辽宁气象, 2003, (4): 36-38

硕士在读期间发表的论文

1. 冯哲峰, 杨恩星, 陈国柱 大功率双 PWM 永磁直驱风力发电机的单位功率因数控制 机电工程 (已录用)

致谢

本论文是在导师陈国柱教授的悉心指导下完成的。在两年的硕士研究生阶段，导师渊博的知识、丰富的经验、严谨的治学、开阔活跃的思维和兢兢业业的工作态度一直影响和激励着我，成为我学习的榜样和不断进取的动力。授人以鱼不如授人以渔，导师教我的学习方法和处事之道，我想我会受用一生的。在此，谨向陈国柱教授致以我最深的敬意和衷心的感谢！

在课题的进行过程中我还得到了杨恩星博士的指导和关怀，他的支持给予了我莫大的帮助，在此深表谢意。对关心我，帮助我的裴志凌博士，已经毕业的周玉飞师兄和勒成梁师兄，钱志俊、李小青、洪帅、韩龙飞以及施贻蒙、徐晓斌、平定刚、宋冲、谷雨等实验室的朋友表示衷心感谢！同时还要感谢电力电子实验室各位老师、同学及我的朋友们对我的支持和帮助！

最后，向一直关心和支持我的父母表示衷心感谢！

冯哲峰

2007年5月

于求是园